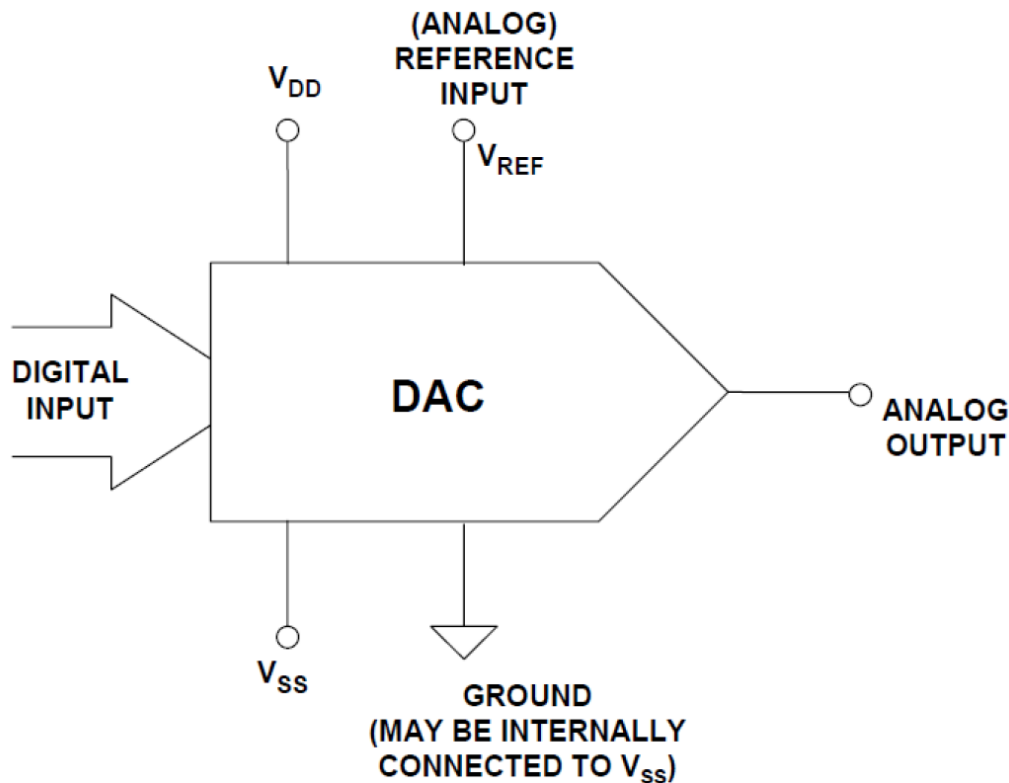


Interfaz analógica digital y digital analógica

Conversor digital analógico (DAC)

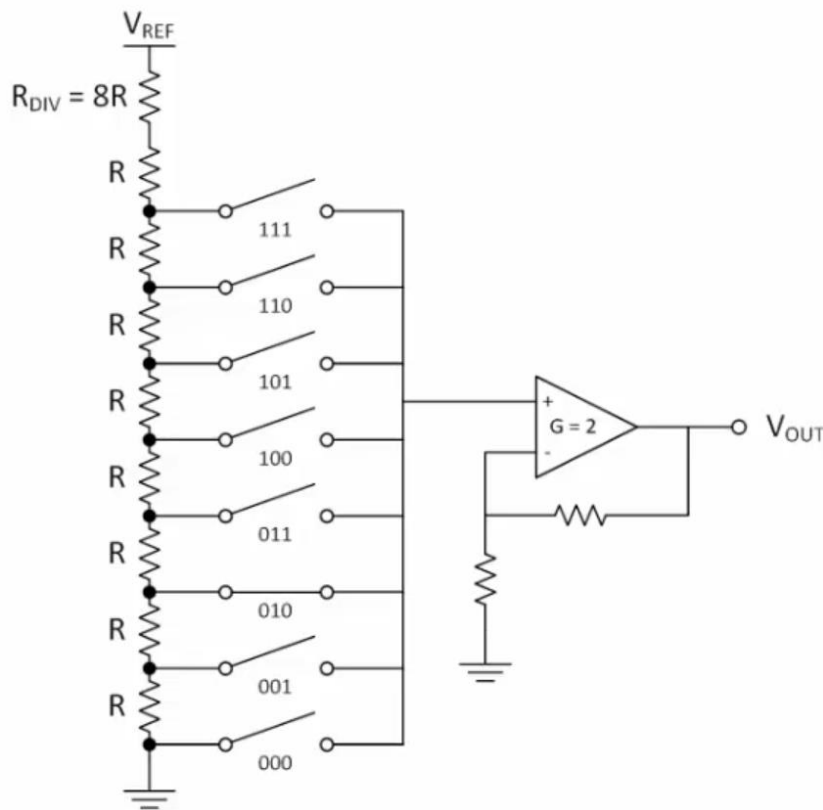


- Un conversor digital analógico (DAC) va a poner en su salida una tensión que va a ser una fracción de V_{REF} en función de la entrada digital.
- Generalmente el bit menos significativo (LSB) va a representar un valor de tensión y el valor de la entrada digital va ser la tensión generada en la salida analógica (AO).

$$\square LSB = \frac{V_{REF}}{2^N} \left[\frac{V}{\text{cuentas}} \right]$$

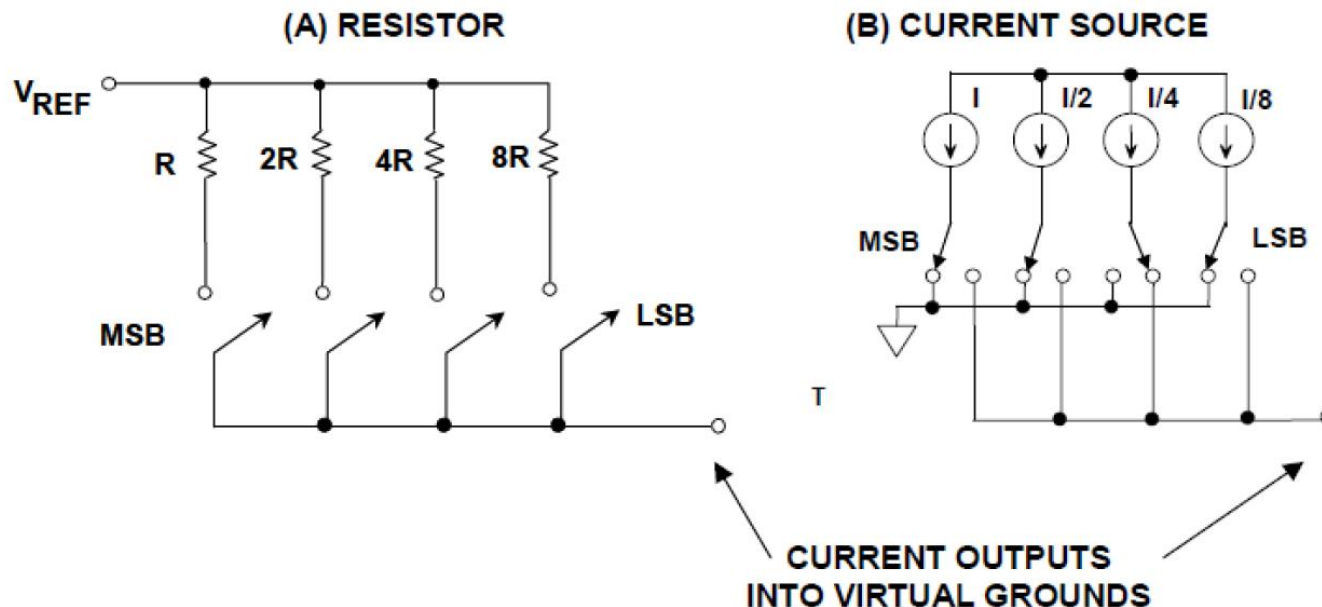
$$\square A_O = N \cdot LSB = \frac{N \cdot V_{REF}}{2^N} [V]$$

DAC por cadena de resistencias



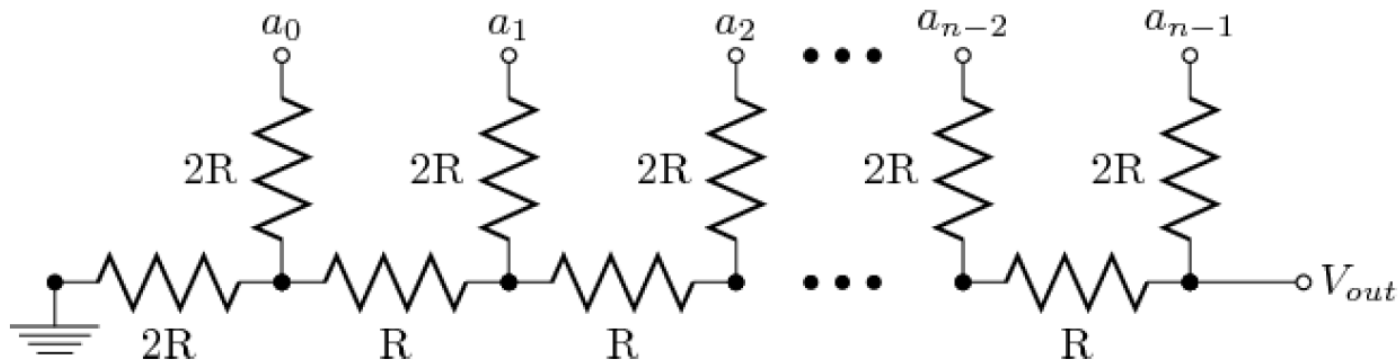
- El DAC por cadena de resistencias (string DAC) necesita una resistencia y una llave por cada código, por lo que se requieren 2^N resistencias y llaves para el DAC.
- La linealidad depende casi exclusivamente del diseño del chip ya que no es fácil/práctico ajustar 2^N resistencias.
- El pin de V_{REF} es un pin de alta impedancia, es de bajo consumo pero muy susceptible a señales externas.

Resistencias de pesos binarios



- En lugar de utilizar 2^N resistencias iguales se pueden utilizar N resistencias con pesos binarios.
- Al ser resistencias de valores muy diferentes (A medida que aumenta la cantidad de bits más) las corrientes en las resistencias es muy diferente, así como las derivas, ruido, etc., que hacen muy complejo un comportamiento estable en todo el rango de operación. No siendo una estrategia usual para los DAC comerciales.

DAC por red R-2R

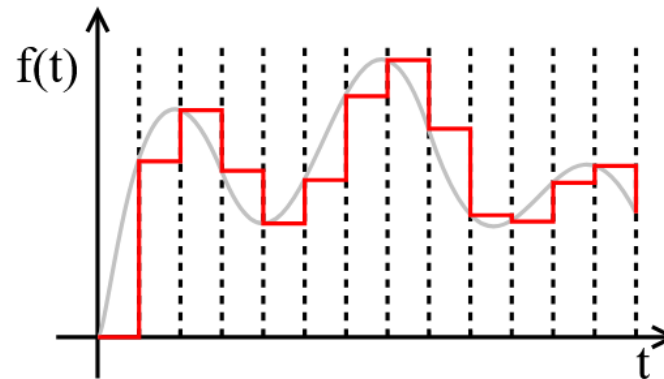
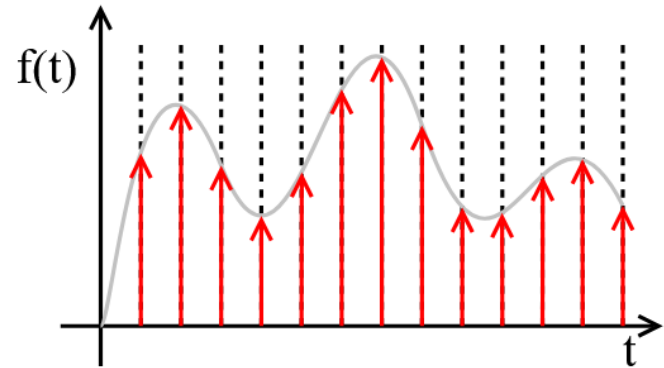


- Cada uno de los bits a_n puede valer 0V o V_{REF} .
- Se necesitan 2 valores de resistencias para armar la red, independientemente de la cantidad de bits.
- Se necesitan $2N$ resistencias para armar una red de N bits.
- $V_{out} = \frac{A \cdot V_{REF}}{2^N}$
- Para obtener la expresión de arriba, aplicar el teorema de Thévenin desde el bit menos significativo (a_0) al más significativo (a_{n-1})

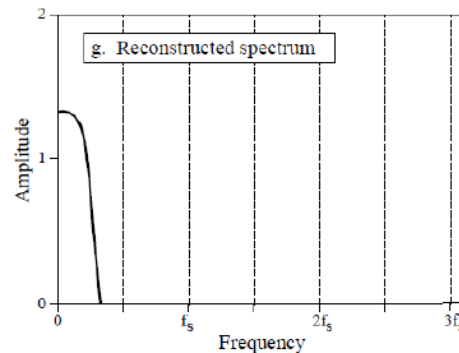
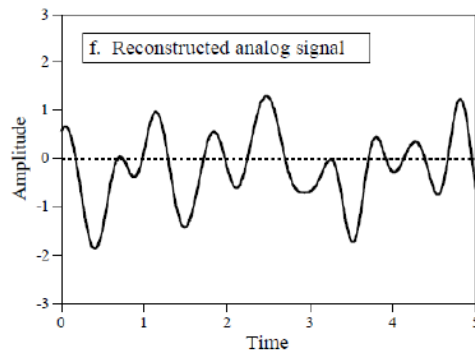
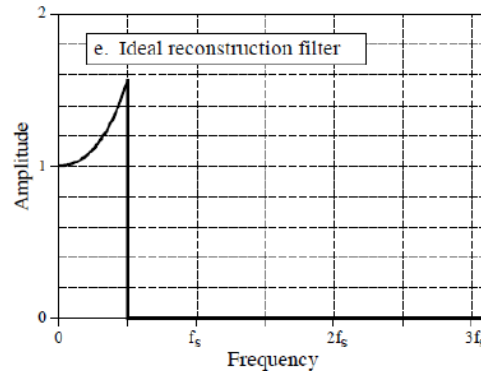
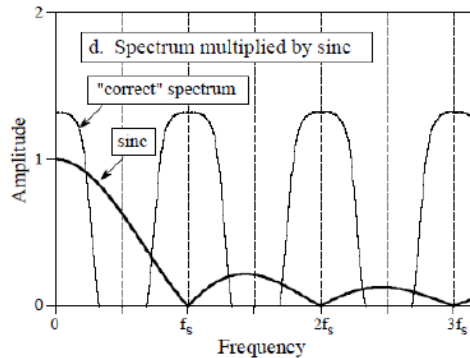
DAC. Generación de señales.

- Idealmente un DAC tendría que generar un tren de deltas para poder reconstruir una señal.
- Cómo físicamente no se puede generar un tren de deltas lo más usual es el “retenedor de orden cero”, es decir, poner un valor y mantenerlo hasta el momento de actualizar.

$$\square H(f) = \left| \frac{\text{sen}(\pi f / f_s)}{\pi f / f_s} \right|$$



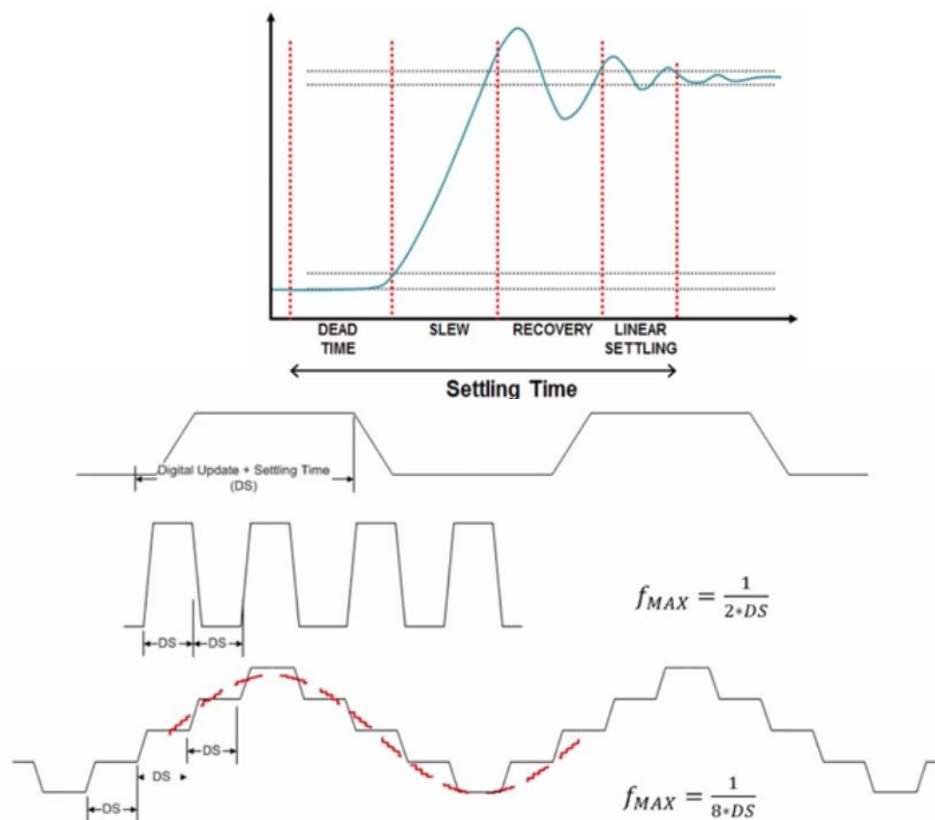
DAC. Generando señales (2)



- Las principales consecuencias del retenedor de orden cero son:
 - La generación de copias del espectro original en Kf_s con K entero
 - Se multiplica al espectro por la sinc $H(f)$ afectando su las amplitudes del mismo.
- Para generar una señal con el espectro más ajustado al real se debe aplicar a la salida del DAC un **filtro pasabajos analógico** conocido como filtro de reconstrucción.

DAC ¿Qué tan rápido lo puedo actualizar?

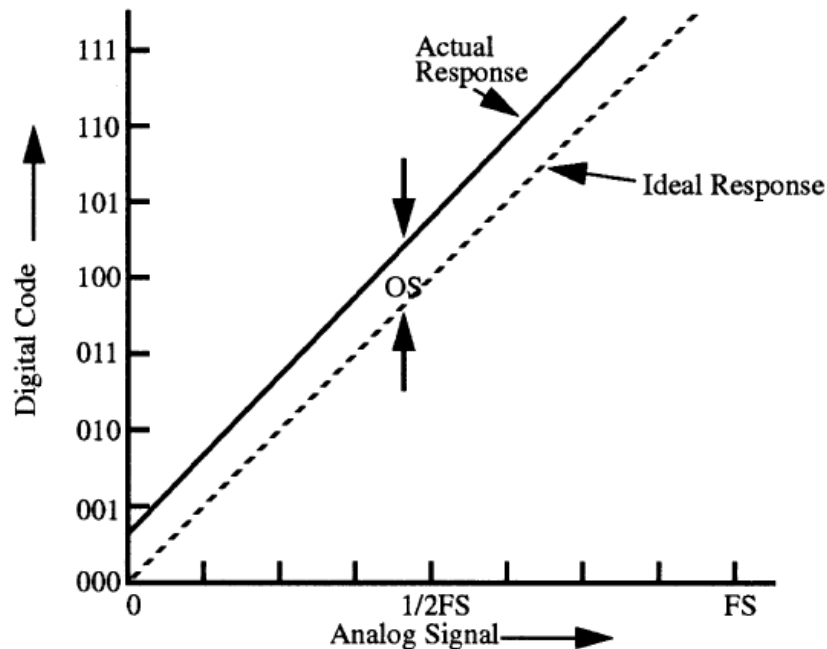
- Para minimizar los efectos del retenedor de orden cero es conveniente actualizar el DAC tan rápido cómo se pueda.
- El DAC tiene dos tiempos a conocer el tiempo que tarda la interfaz analógica en dejar un valor estable (**settling time**) y el tiempo que se tarda en transferir un comando por medio de la interfaz digital (**digital update**). La suma de estos dos tiempos nos da el tiempo de actualización (**DS en la figura**).



DAC. Errores.

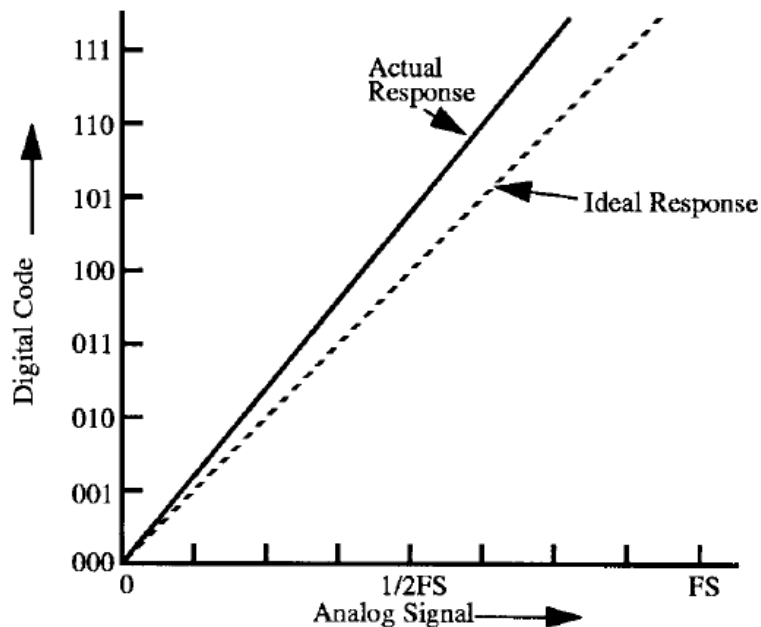
- Los conversores digitales a analógicos van a presentar las siguientes desviaciones del comportamiento ideal:
 - ☐ Error por offset.
 - ☐ Error en ganancia.
 - ☐ No linealidad integral
 - ☐ No linealidad diferencial
 - ☐ Error por no monotonicidad.

Error por offset



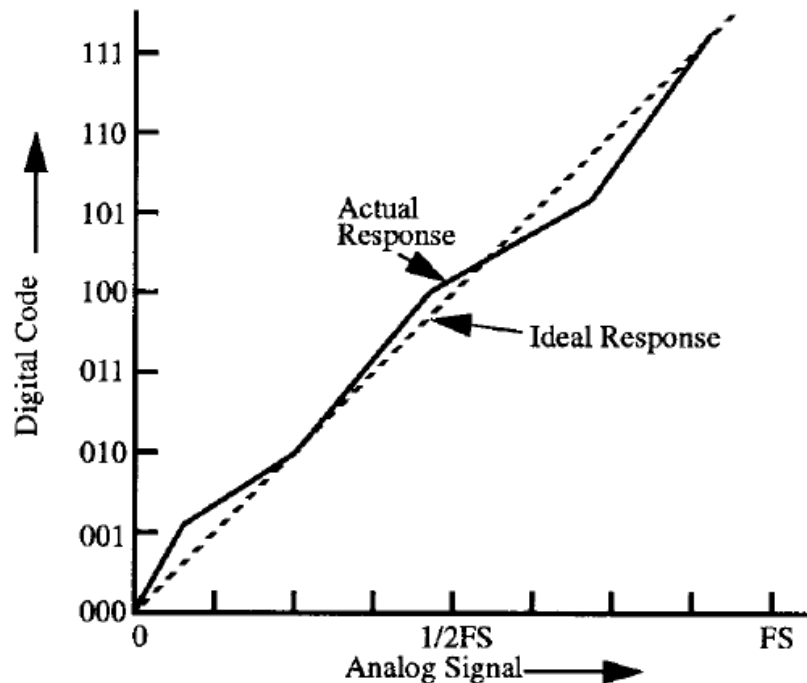
- Se va a definir el error por offset al desplazamiento del cero de la transferencia
- Se puede corregir, tanto por técnicas analógicas como digitales.

Error de ganancia



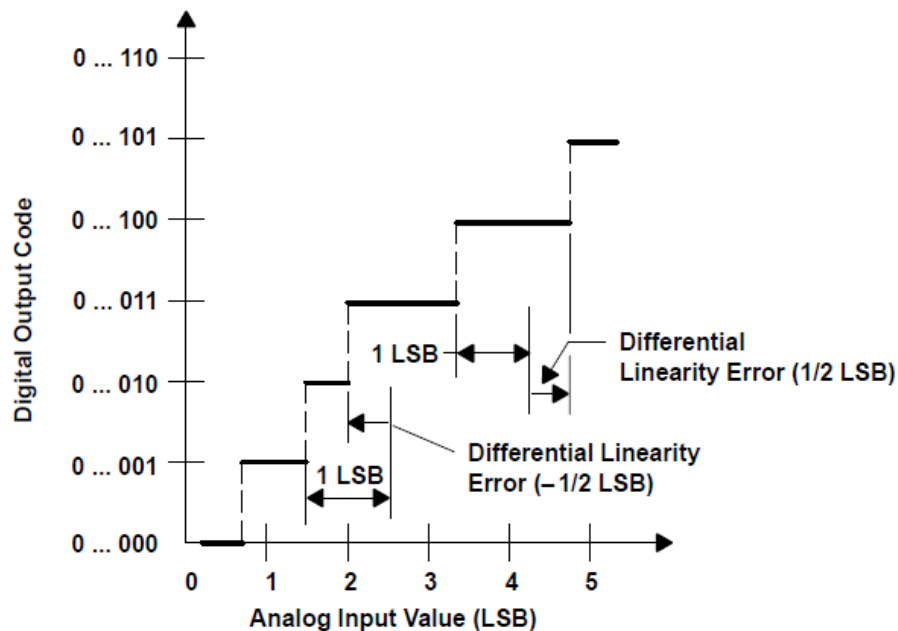
- El error por ganancia es el apartamiento de la pendiente de la pendiente ideal.
- También puede ser corregido.

Error por no linealidad integral.



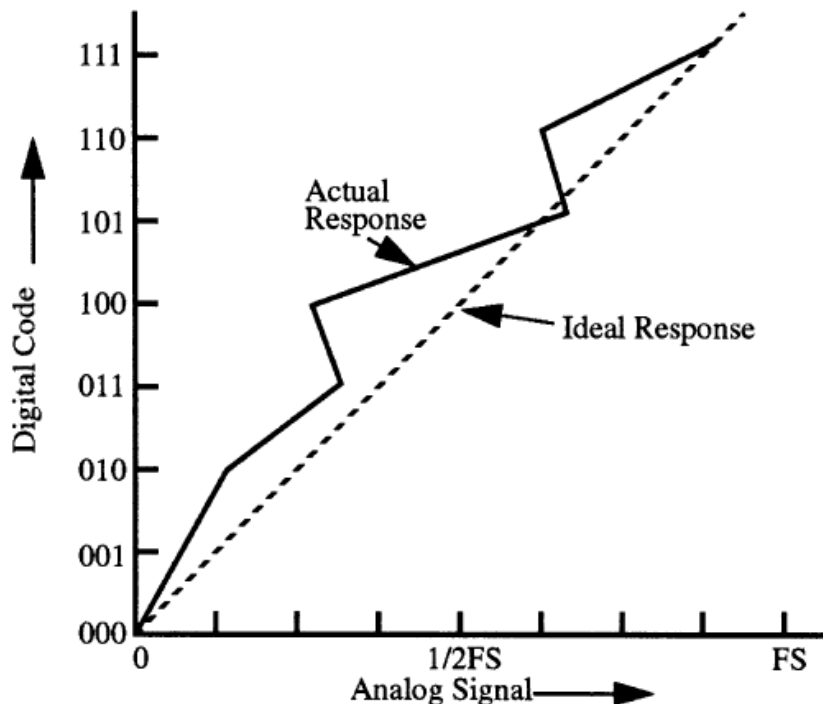
- La no linealidad integral (INL) se puede definir como el máximo apartamiento de una transferencia lineal ideal.

Error por no linealidad diferencial.



- La no linealidad diferencial (DNL) es una medida de la no uniformidad entre los diferentes bits del conversor.

Error por no monotonicidad.



- El error por no monotonicidad es el que se da cuando en la curva de transferencia hay cambios en la pendiente.

Conversión analógica digital.

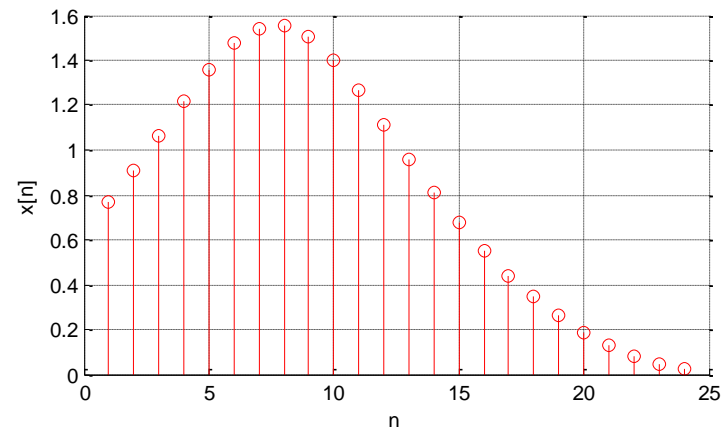
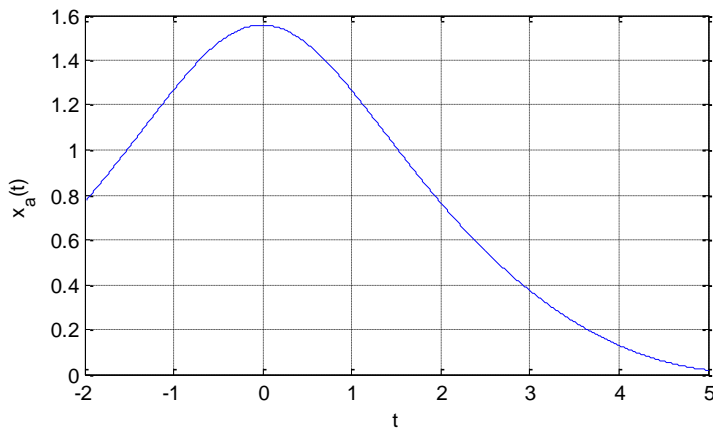
Definiciones.

- La conversión analógica digital (A/D).
Puede verse como un proceso de tres pasos.
 - Muestreo.
 - Cuantificación
 - Codificación.

Conversión AD. Muestreo

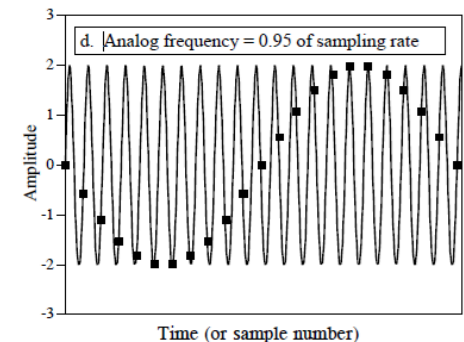
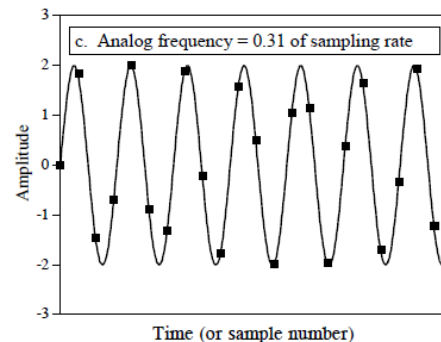
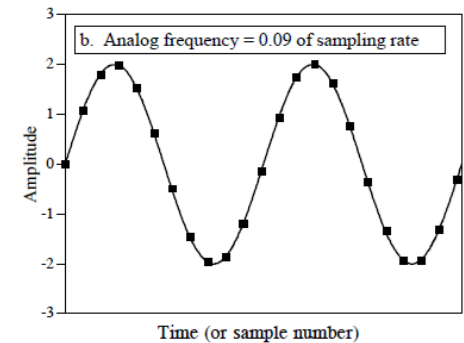
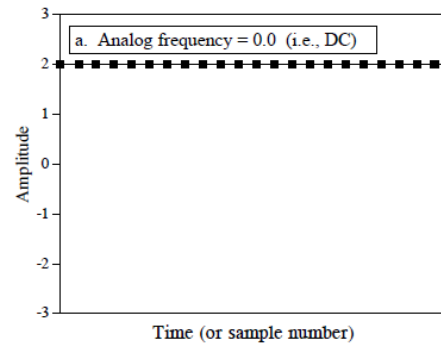
- **Muestreo.** Es el proceso por el cual se **discretiza la variable independiente** (tiempo generalmente). Se puede muestrear una señal de diferentes maneras. Nos vamos a enfocar en el **muestreo periódico o uniforme**.

$$x(n) = x_a(nT_s), \quad -\infty < n < \infty$$



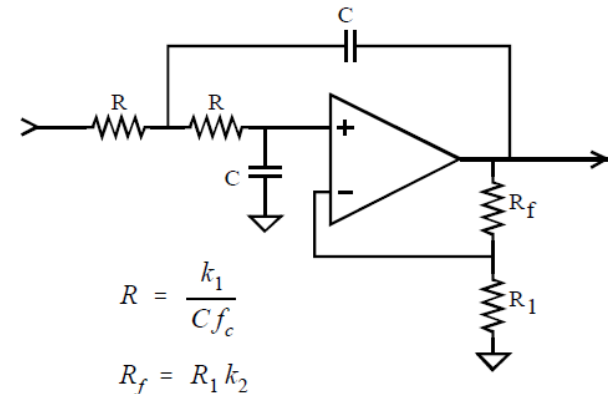
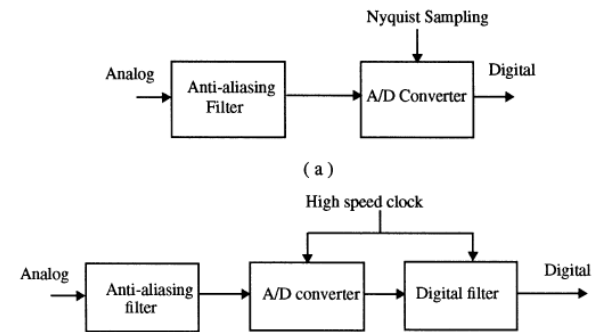
Conversión AD. Muestreo

- **Teorema del muestreo.** Una señal puede ser reconstruida a partir de sus muestras (sin pérdida de información), si la frecuencia de muestreo ($1/T_s$) es del doble o más de la máxima frecuencia de la señal.
- **Aliasing.** Cuando no se cumple con el teorema del muestreo, las muestras tomadas de una señal continua, pueden representar dos señales diferentes.

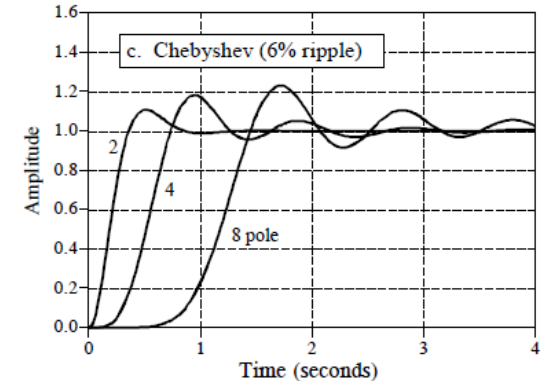
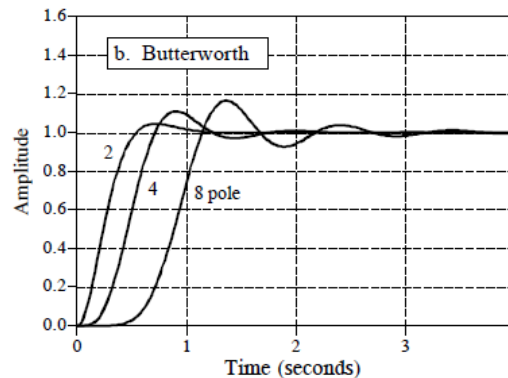
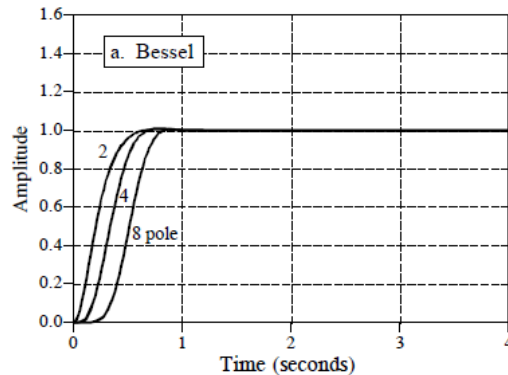
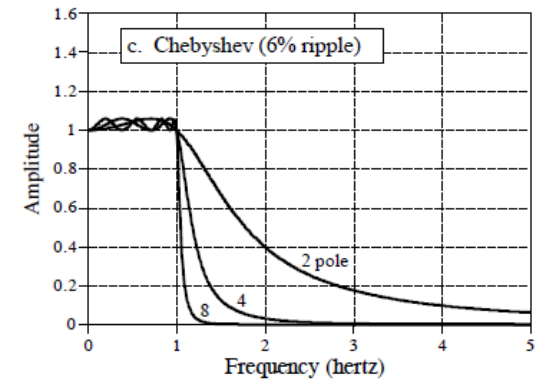
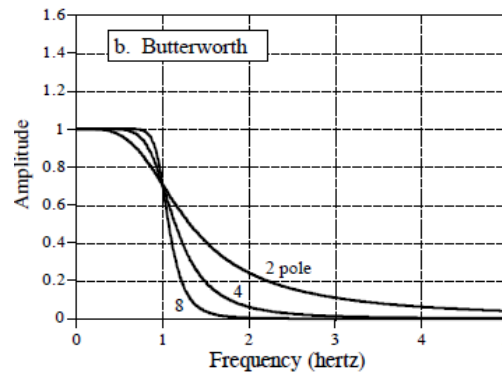
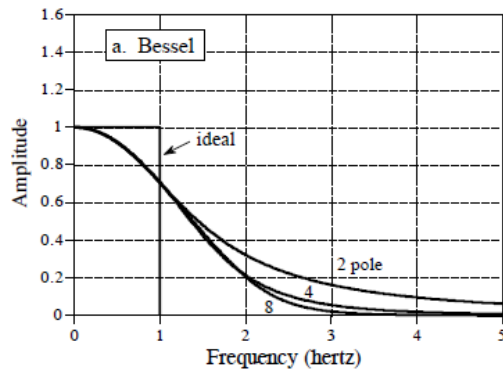


Conversión AD. Filtro Antialias

- El filtro antialias, es un **filtro pasabajos** que tiene por tarea limitar la máxima frecuencia a ser muestreada por el sistema.
- Para elegir el filtro antialias es necesario conocer si la información está codificada en **tiempo o en frecuencia**.
- Se suelen utilizar filtros del tipo **Chebyshev, Butterworth o Bessel**.

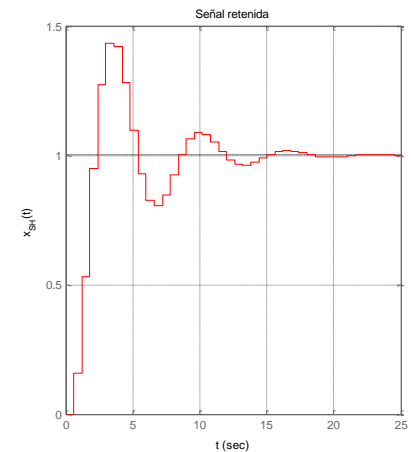
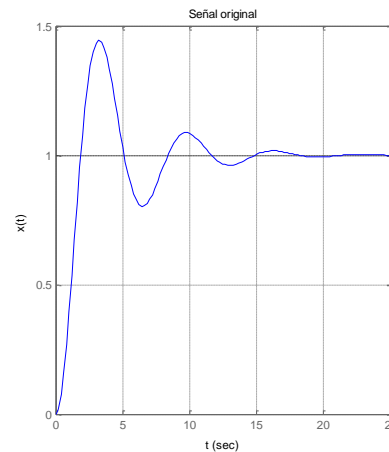
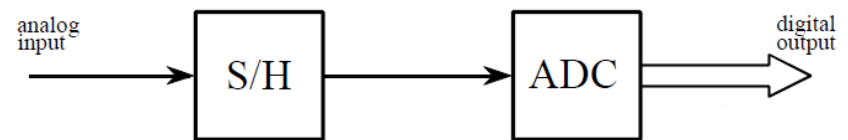


Conversión AD. Filtro Antialias



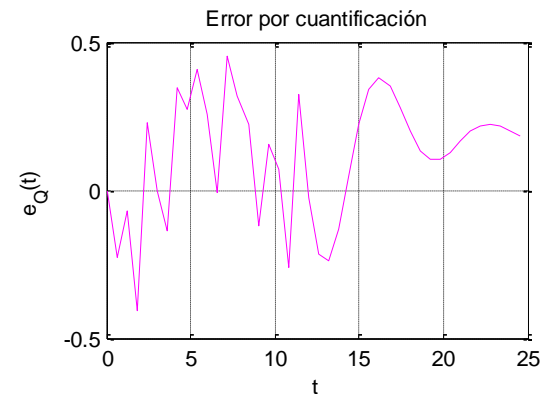
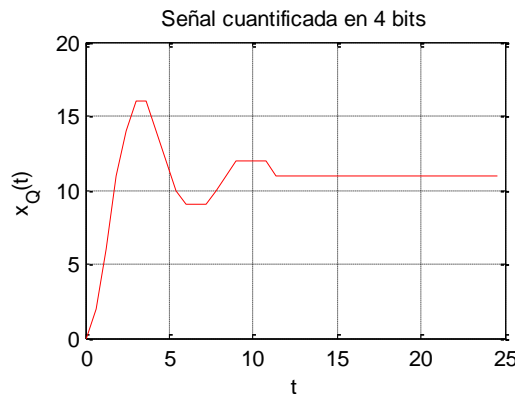
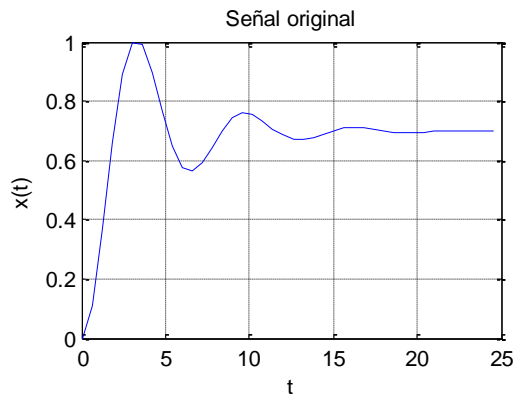
Conversión AD. Sample & Hold

- Este circuito va a retener un valor de la señal analógica para que durante el tiempo que dura el muestreo, esta permanezca constante.
- El circuito de sample and hold, está colocado a la entrada del conversor AD, esto se debe a que no se puede muestrear con un tren de impulsos unitarios.

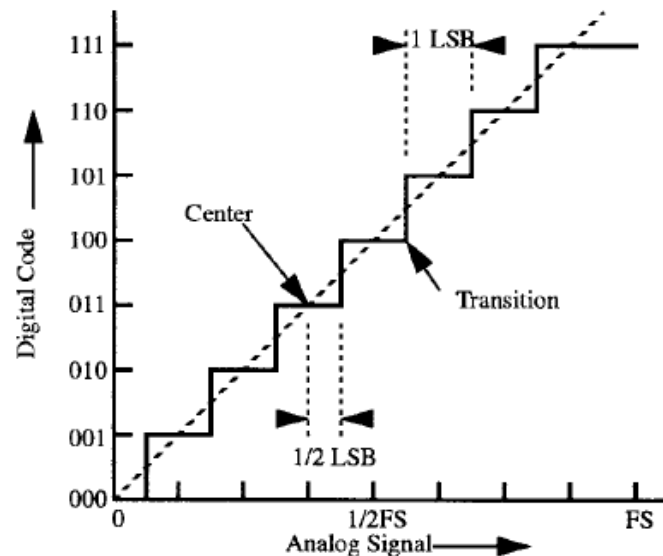


Conversión AD. Cuantificación.

- **Cuantificación.** Es el proceso por el cual se **discretiza la variable dependiente** (tensión o corriente). Es un proceso no reversible, a consecuencia de este proceso se agregará ruido a la señal, este ruido es conocido como **ruido de cuantificación**.

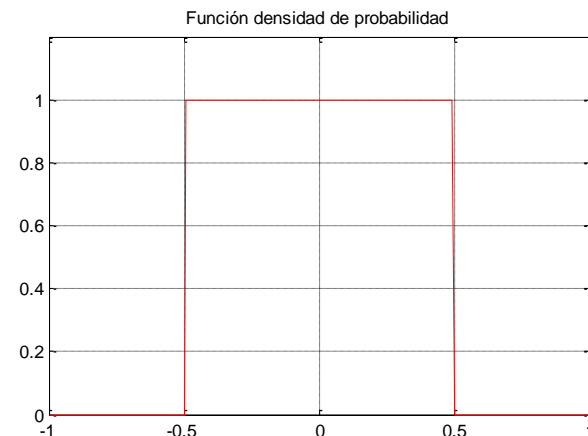


Conversión AD. Cuantificación.

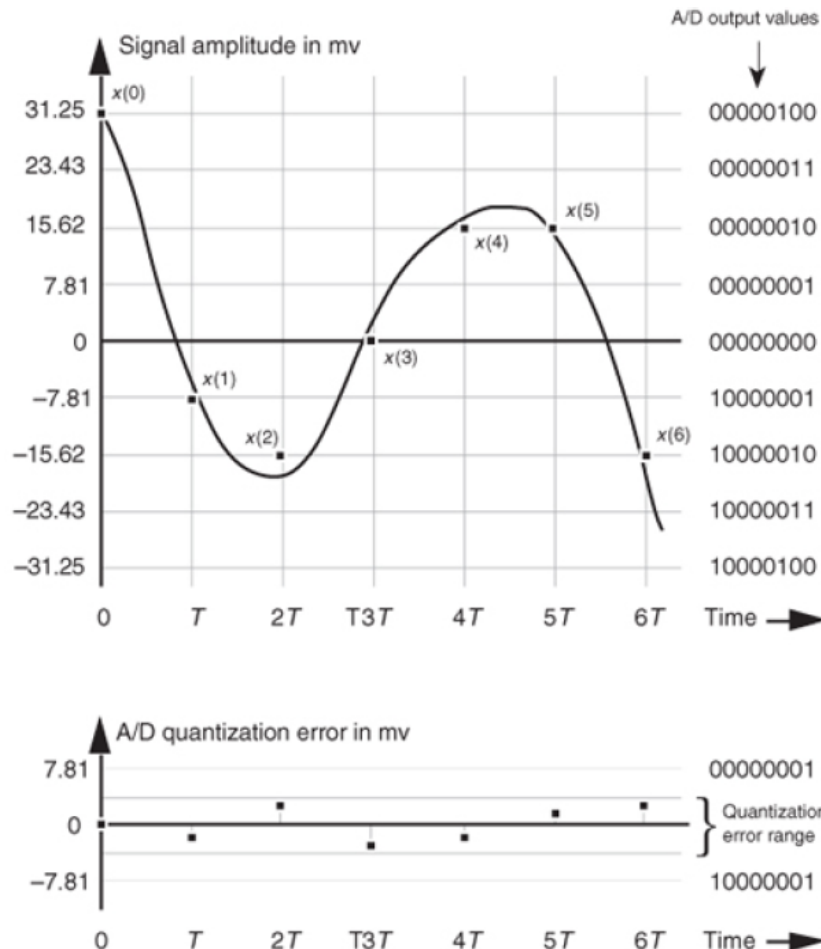


- **Ruido por cuantificación.** El ruido por cuantificación, se modela como una señal aleatoria uniforme con las siguientes características.

$$\mu = 0 \quad \sigma = \frac{1}{\sqrt{12}} LSB$$



Conversión analógica digital.



- Sí suponemos que tenemos un conversor analógico digital que su **rango** de entrada es desde -1V a 1V y de 8 bits.
- Responda:
 - ☐ ¿Qué tensión representa su LSB?
 - ☐ ¿Por qué está acotado el error de cuantificación a esos valores?

Ruido en conversores. Caracterización.

- Relación señal a ruido (SNR).
- Relación Señal a ruido más distorsión (SINAD).
- Distorsión armónica total (THD).
- Distorsión armónica total más ruido (THD+N) .
- Número efectivo de bits (ENOB).

$$SNR = \frac{P_{SEÑAL}}{P_{RUIDO}} \text{ o bien } SNR = \frac{\mu}{\sigma}$$

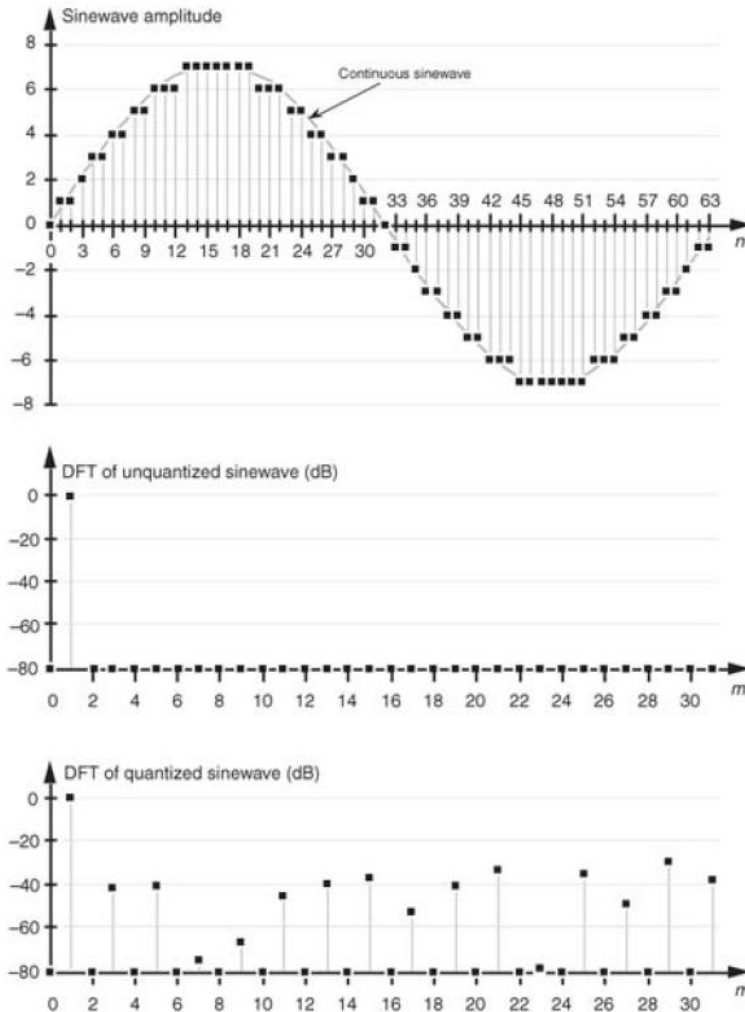
$$SINAD = \frac{P_{SEÑAL} + P_{RUIDO} + P_{DISTORSIÓN}}{P_{RUIDO} + P_{DISTORSIÓN}}$$

$$THD = \frac{P_{TOTAL} - P_{f_s}}{P_{f_s}}$$

$$THD + N = \frac{P_{TOTAL} - P_{f_s} + P_{RUIDO}}{P_{f_s}}$$

$$ENOB = \frac{SNR - 1,76}{6,02}$$

Conversión analógica digital. ENOB



- $SNR_{A/D} = 10 \cdot \log_{10} \left(\frac{\sigma_{señal}^2}{\sigma_{ruido A/D}^2} \right)$
- $\sigma_{ruido A/D}^2 = \frac{LSB^2}{12}$
- $LSB = \frac{2V_p}{2^b} \Rightarrow \sigma_{ruido A/D}^2 = \frac{V_p^2}{3.2^{2b}}$
- $LF = \frac{\sigma_{señal}}{V_p} \Rightarrow \sigma_{señal}^2 = (LF)^2 \cdot V_p^2$
- $SNR_{A/D} = 6.02 \cdot b + 4.77 + 20 \log_{10}(LF)$
- Sí consideramos una señoidal que cubra todo el rango del ADC
 - $LF = \frac{V_p/\sqrt{2}}{V_p} = \frac{1}{\sqrt{2}}$
 - $SNR_{A/D MAX} = 6.02 \frac{dB}{bits} b[bits] + 1.76 dB$
- De la mejor relación señal a ruido podemos obtener el número efectivo de bits (ENOB)
 - $b_{eff} = ENOB = \frac{SNR - 1.76}{6.02}$

Número efectivo de bits.

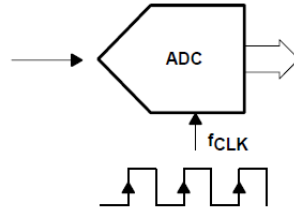
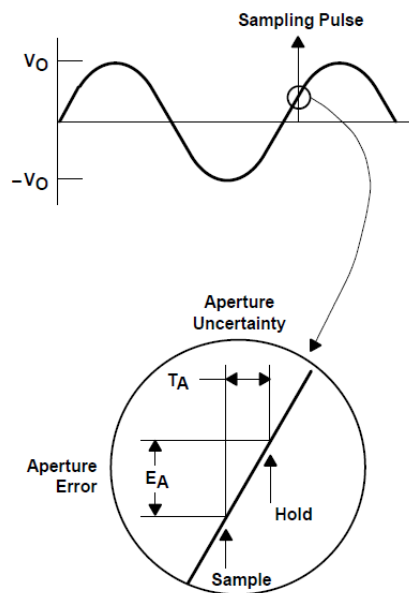
Consideraciones

- Para una dada cantidad de bits (N). No se va a poder tener una relación señal a ruido mejor que $6.02 \frac{dB}{bits} b[bits] + 1.76dB$
- El número efectivo de bits se define para un ruido de cuantificación uniforme y estacionario.
- El número efectivo de bits va a estar dado para una señal **senoidal y de todo el rango** del conversor analógico digital.
- Si la señal es menor que el rango del ADC el número efectivo de bits va a ser menor.
- Para este cálculo sólo se considera el ruido de cuantificación. Una señal real va a tener un nivel de ruido propio aparte del ruido de cuantificación.

ADC. Errores.

- Los conversores digitales a analógicos van a presentar las siguientes desviaciones del comportamiento ideal:
 - ☐ Error por offset.
 - ☐ Error en ganancia.
 - ☐ Error por no linealidad integral
 - ☐ Error por no linealidad diferencial
 - ☐ Error por no monotonicidad.
 - ☐ Error por tiempo de seteo.

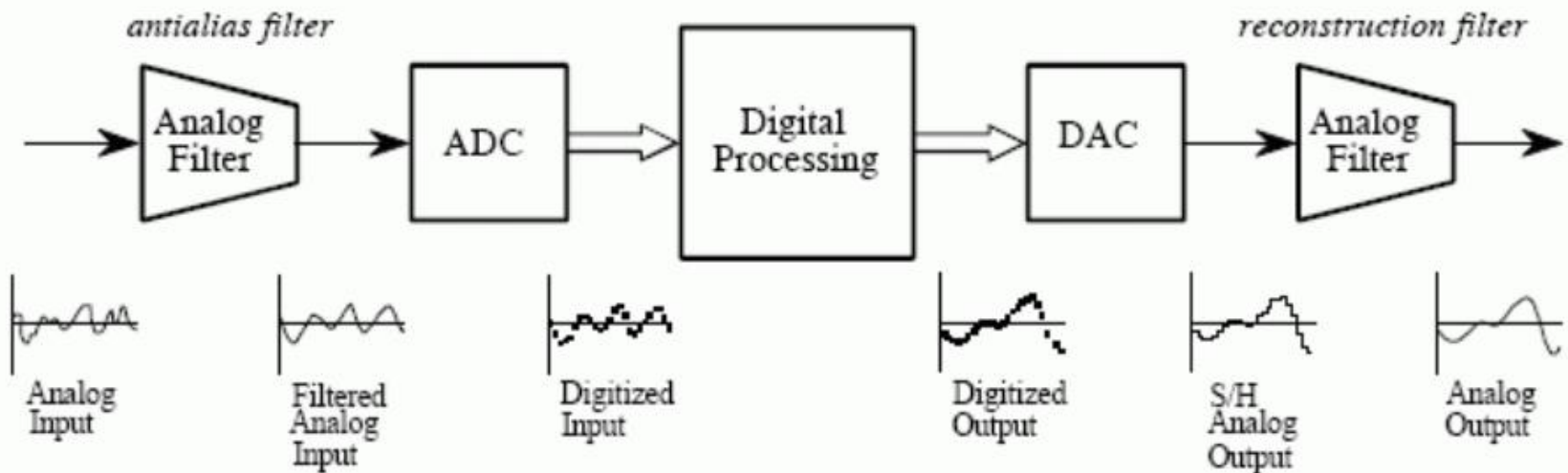
Conversión AD. Tiempo de seteo



$$\begin{aligned}
 V &= V_O \sin 2\pi f t \\
 \frac{dV}{dt} &= 2\pi f V_O \cos 2\pi f t \\
 \left. \frac{dV}{dt} \right|_{\max} &= 2\pi f V_O \\
 E_A = T_A \frac{dV}{dt} &= 1/2 \text{ LSB} = \frac{2V_O}{2^{n+1}} \\
 \frac{2V_O}{2^{n+1}} &= 2\pi f V_O T_A \Rightarrow \\
 f &= \frac{1}{T_A 2^{n+1}}
 \end{aligned}$$

- El tiempo de seteo es el tiempo que se tarda en adquirir un punto de la señal.
- En el caso ideal se muestrea con un tren de $\delta(t)$.
- En el muestreo real se va a convertir la señal proveniente del sample & hold.
Determinando la frecuencia máxima del dispositivo.

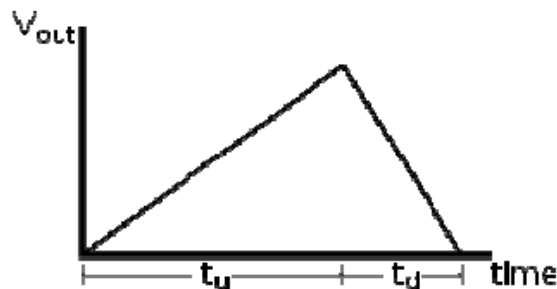
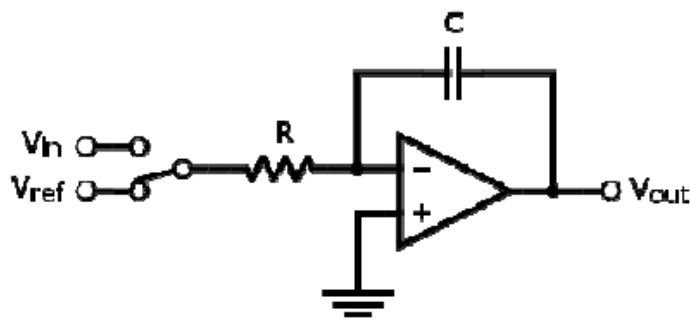
Sistema de procesamiento digital de señales - resumen



Arquitecturas de conversores AD.

- Por integración.
- Flash
- Aproximaciones sucesivas.
- Pipeline
- Sigma Delta.

Conversor analógico digital por integración (doble rampa)



- Se asume que la magnitud a medir (V_{IN}) permanece constante.
- Se conecta la entrada del integrador durante un tiempo fijo y conocido t_u .
- Se conecta la entrada del integrador a V_{REF} (que debe ser negativa) y se mide el tiempo de descarga del integrador t_d hasta que la tensión de salida queda en 0V.
- $$t_d = V_{IN} \frac{t_u}{-V_{REF}}$$
- Donde t_d es proporcional a V_{IN} y dos parámetros conocidos y fijos.

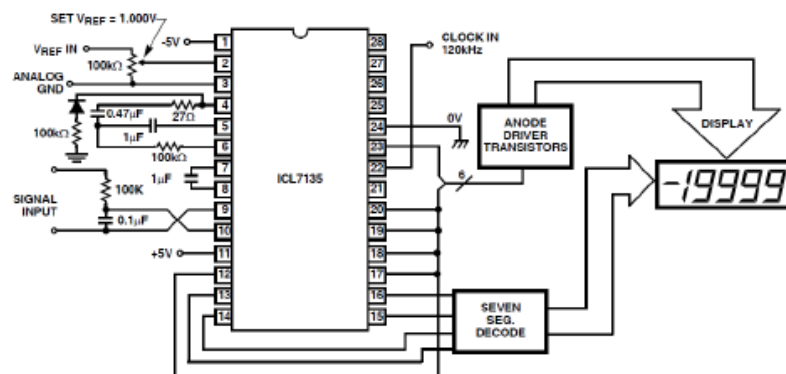
Conversor analógico digital por integración (doble rampa)

- Son conversores de alta resolución, pero muy lentos. Su uso típico es en voltímetros (señales de poca variación en el tiempo).
- La precisión del ADC va a estar limitada por la detección del cero y la calidad del capacitor integrador.

Ejemplo conversor doble rampa. ICL7135. Conversor de 4 1/2 dígitos

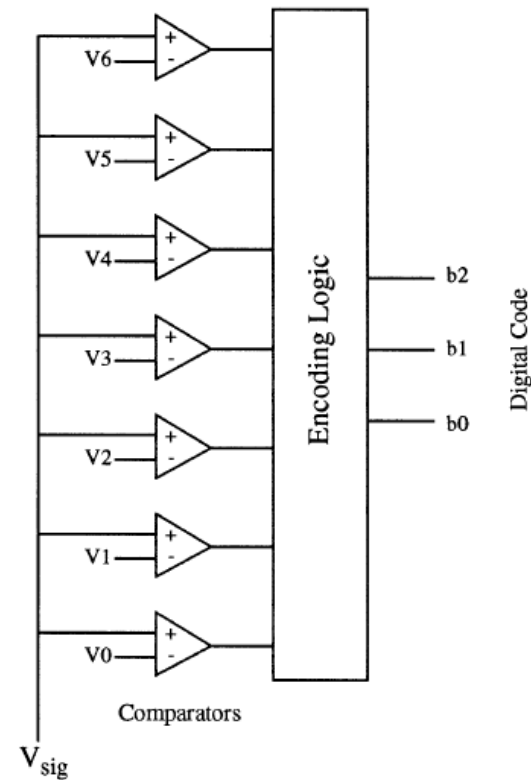
Features

- Accuracy Guaranteed to ± 1 Count Over Entire ± 20000 Counts (2.0000V Full Scale)
- Guaranteed Zero Reading for 0V Input
- 1pA Typical Input Leakage Current
- True Differential Input
- True Polarity at Zero Count for Precise Null Detection
- Single Reference Voltage Required
- Overrange and Underrange Signals Available for Auto-Range Capability
- All Outputs TTL Compatible
- Blinking Outputs Gives Visual Indication of Overrange
- Six Auxiliary Inputs/Outputs are Available for Interfacing to UARTs, Microprocessors, or Other Circuitry
- Multiplexed BCD Outputs
- Pb-Free Plus Anneal Available (RoHS Compliant)

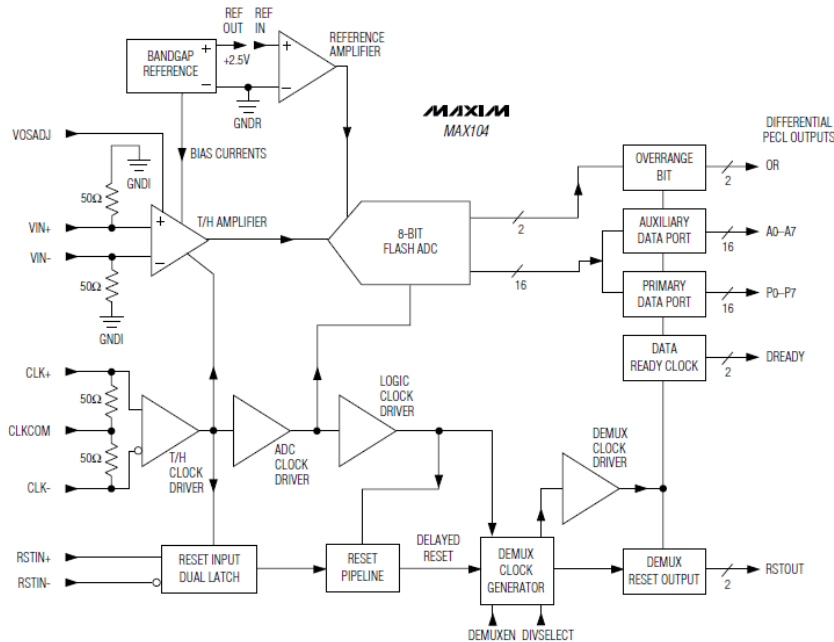


Conversión AD. Conversor Flash.

- Es el conversor AD más veloz de todos.
- Está compuesto por $2^n - 1$ comparadores, $2^n - 1$ referencias de tensión y un codificador digital.
- No suelen ser de más de 8 bits.
- Se los utiliza en aplicaciones del orden de los Gigahertz (radar por ejemplo).



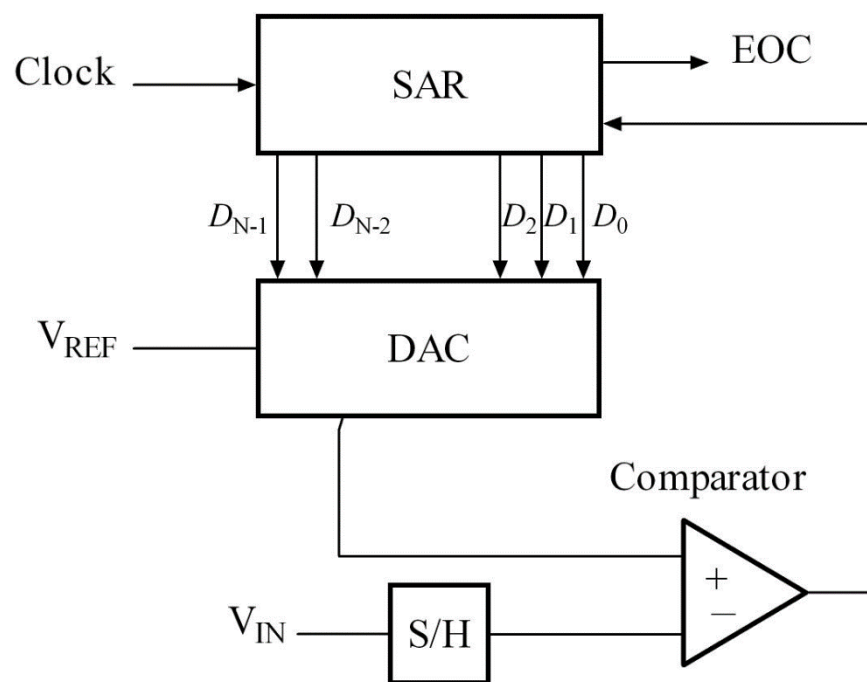
Ejemplo Conversor AD Flash.



- ◆ 1Gsps Conversion Rate
- ◆ 2.2GHz Full-Power Analog Input Bandwidth
- ◆ >7.5 Effective Bits at $f_N = 500\text{MHz}$ (Nyquist Frequency)
- ◆ $\pm 0.25\text{LSB}$ INL and DNL
- ◆ 50Ω Differential Analog Inputs
- ◆ $\pm 250\text{mV}$ Input Signal Range
- ◆ On-Chip, +2.5V Precision Bandgap Voltage Reference
- ◆ Latched, Differential PECL Digital Outputs
- ◆ Low Error Rate: 10^{-16} Metastable States at 1Gsps
- ◆ Selectable 8:16 Demultiplexer
- ◆ Internal Demux Reset Input with Reset Output
- ◆ 192-Contact ESBGA Package

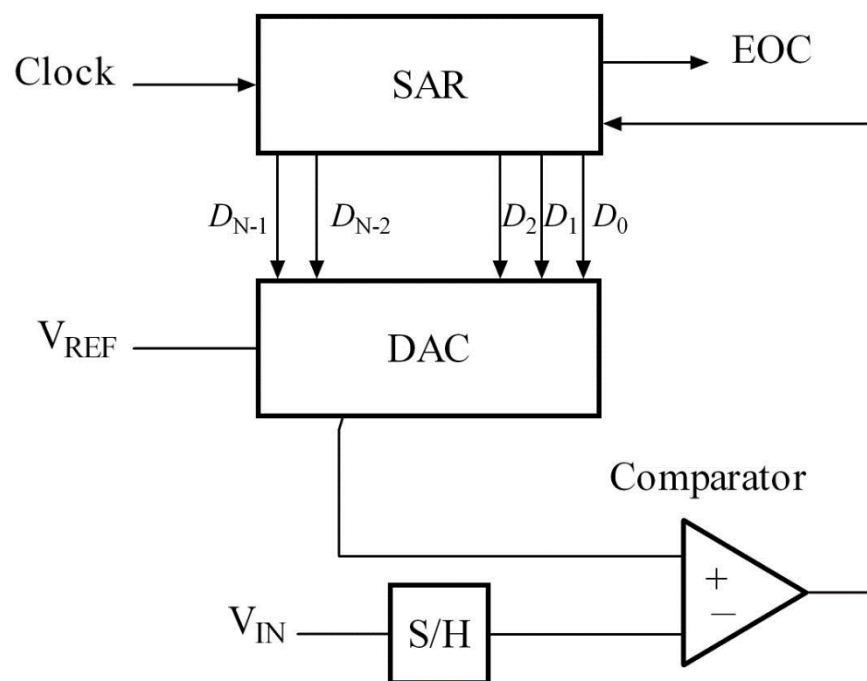
Conversión AD. Aproximaciones sucesivas.

- Es el conversor analógico digital más usado.
- Es el tipo de conversores que se suelen integrar en microcontroladores.
- La resolución está determinada por el DAC y el comparador.
- Suelen trabajar con frecuencias de muestreo menores a 1Mhz.
- Necesita señales de control para arrancar la conversión y un aviso de fin de conversión.



Conversión AD. Aproximaciones sucesivas. Funcionamiento

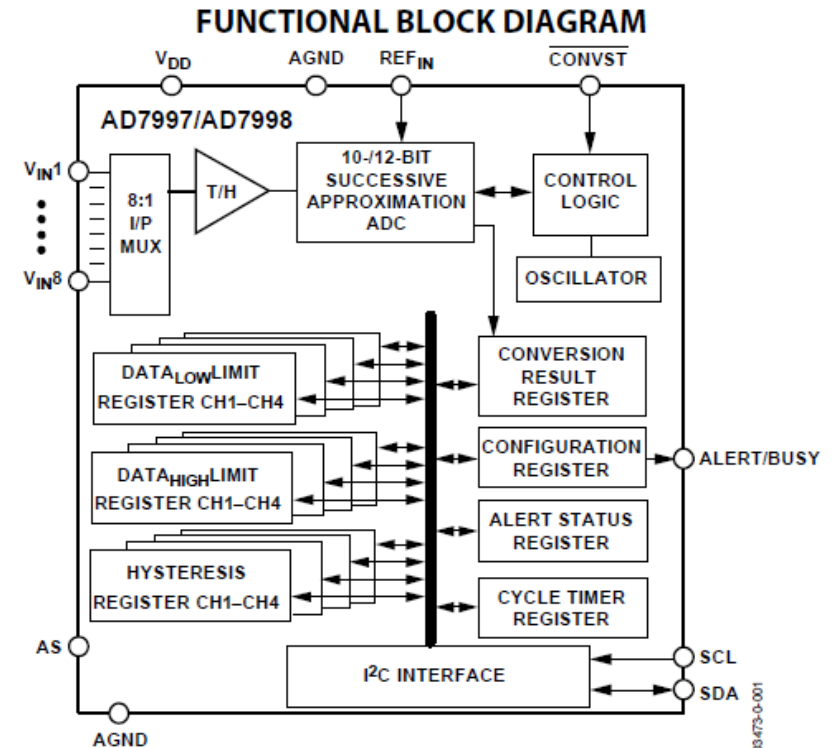
- La lógica de aproximaciones sucesivas pone el DAC en $V_{ref}/2$, ese valor es comparado con V_{IN} y se obtiene el bit más significativo.
- Luego la lógica del SAR pone el DAC en $V_{ref}/4$ y del comparador se obtiene el segundo bit y así sucesivamente.



Ejemplo. ADC SAR.

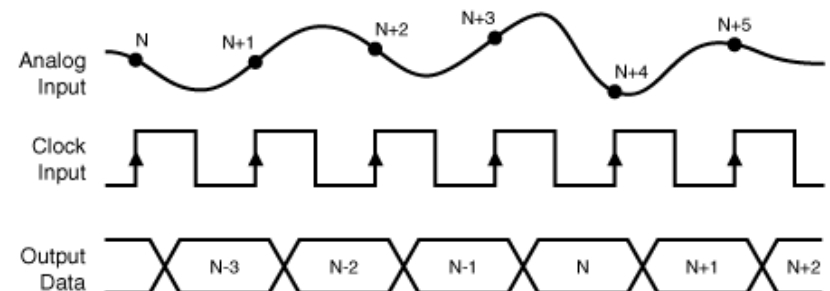
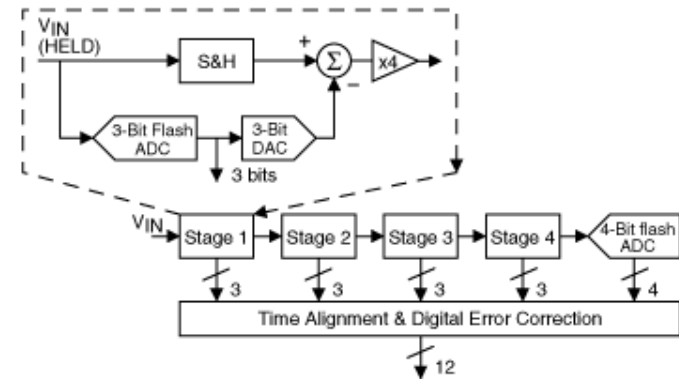
FEATURES

- 10- and 12-bit ADC with fast conversion time: 2 μ s typ
- 8 single-ended analog input channels
- Specified for V_{DD} of 2.7 V to 5.5 V
- Low power consumption
- Fast throughput rate: up to 188 kSPS
- Sequencer operation
- Automatic cycle mode
- I²C[®]-compatible serial interface supports standard, fast, and high speed modes
- Out-of-range indicator/alert function
- Pin-selectable addressing via AS
- Shutdown mode: 1 μ A max
- Temperature range: -40°C to +85°C
- 20-lead TSSOP package
- See the [AD7992](#) and [AD7994](#) for 2-channel and 4-channel equivalent devices, respectively

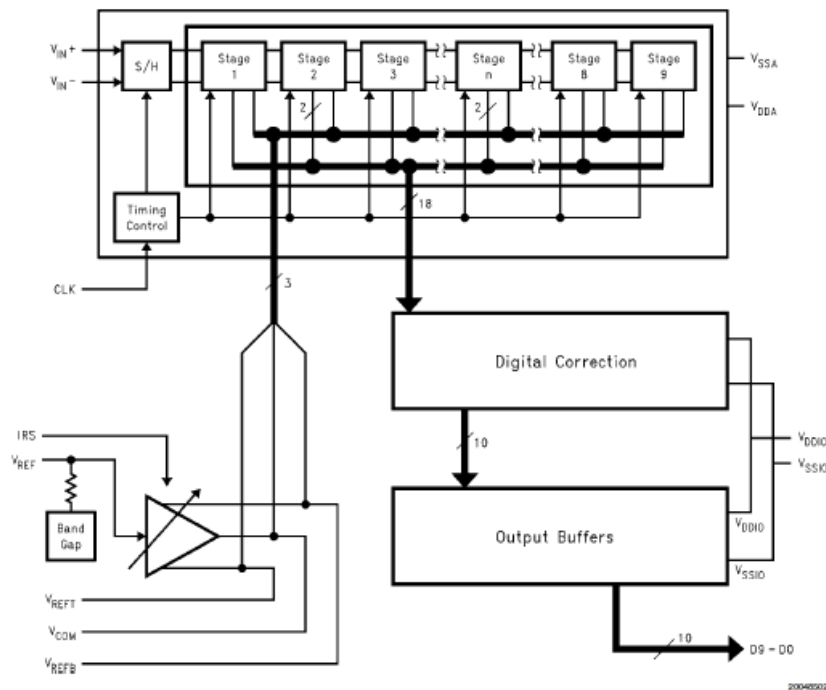


Conversión AD. Pipeline.

- Este tipo de conversor alcanza altas velocidades de conversión (~100Mhz) y de hasta 16 bits a expensas de **latencia en la conversión**.
- Se convierten los primeros 3 bits (en este ejemplo) la diferencia de la señal con el valor de los 3 bits medidos se amplifica x4 y pasa a la etapa siguiente que obtiene otros 3 bits y así sucesivamente.
- De las primeras 4 etapas se obtienen dos bits de información de cada una (hay solapamiento de bits con las siguientes) y 4 bits del último conversor.



Ejemplo Conversor AD Pipeline.



Features

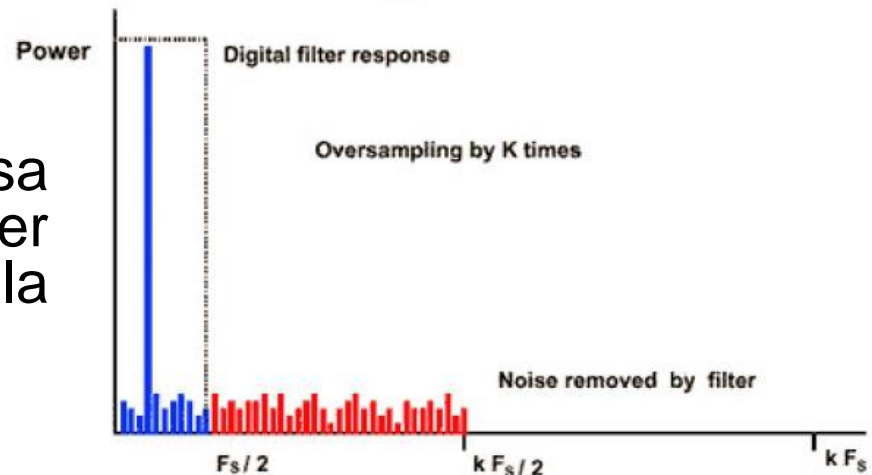
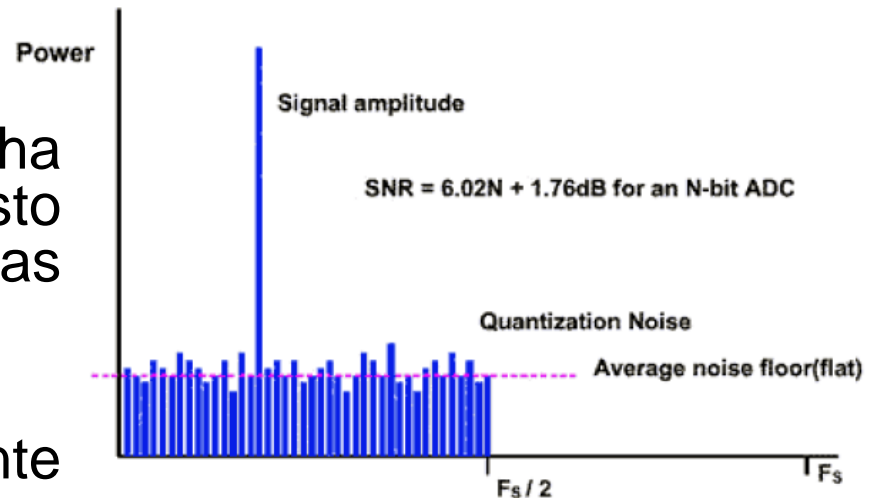
- Single +3.0V operation
- Selectable full-scale input swing
- 400 MHz -3 dB input bandwidth
- Low power consumption
- Standby mode
- On-chip reference and sample-and-hold amplifier
- Offset binary or two's complement data format
- Separate adjustable output driver supply

Key Specifications

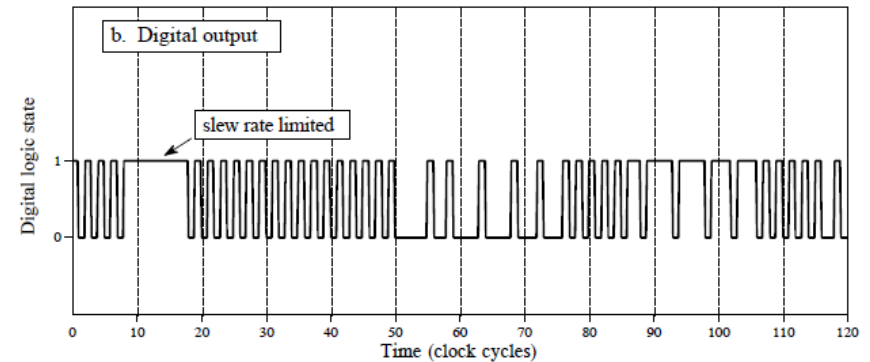
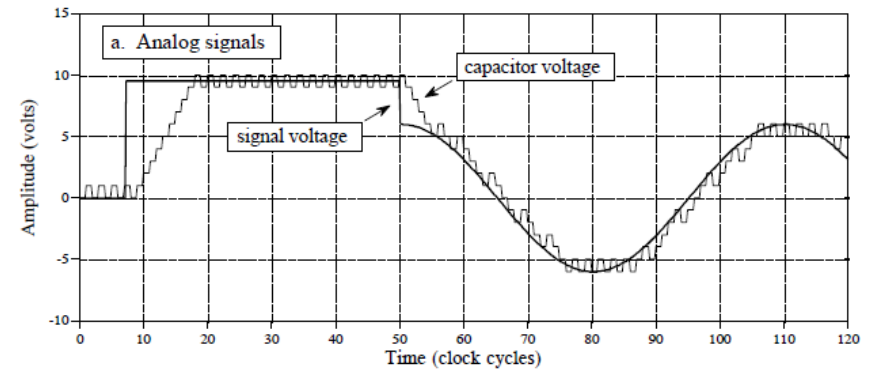
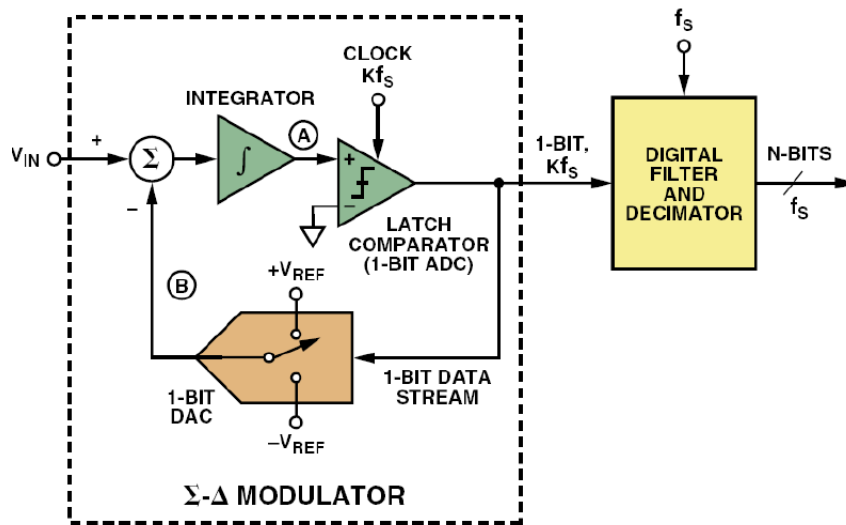
- | | |
|------------------------------|-----------------|
| ■ Resolution | 10 Bits |
| ■ Conversion Rate | 80 MSPS |
| ■ Full Power Bandwidth | 400 MHz |
| ■ DNL | ±0.25 LSB (typ) |
| ■ SNR ($f_{IN} = 10$ MHz) | 59.5 dB (typ) |
| ■ SFDR ($f_{IN} = 10$ MHz) | -78.7 dB (typ) |
| ■ Power Consumption, 80 MspS | 78.6 mW |

Conversor analógico digital sigma delta

- Son conversores de mucha más resolución que el resto de las tecnologías (típicamente de 24bits)
- Se utilizan principalmente en el rango de las frecuencias de audio.
- Su funcionamiento se basa en **sobremuestrear** y hacer procesamiento digital de la señal a adquirir.

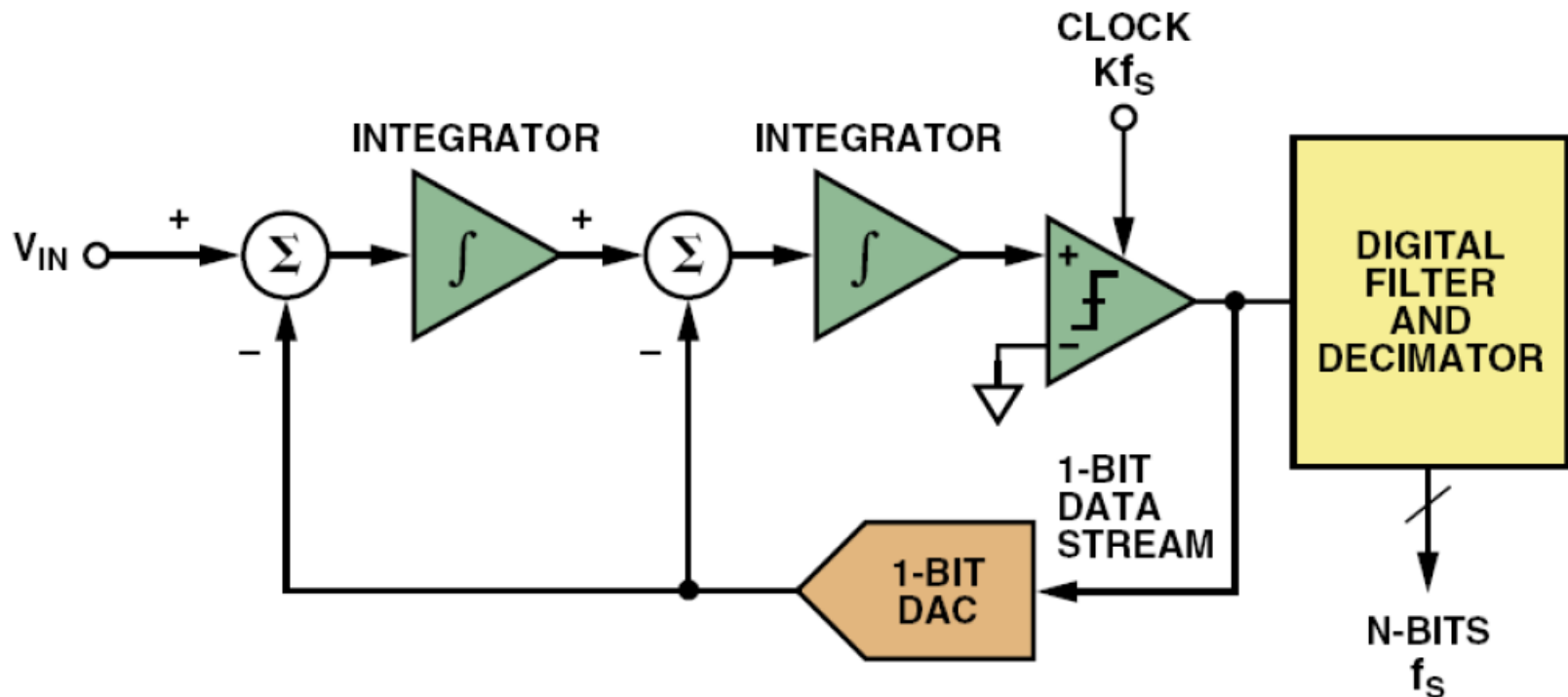


Modulador sigma delta de 1 bit.

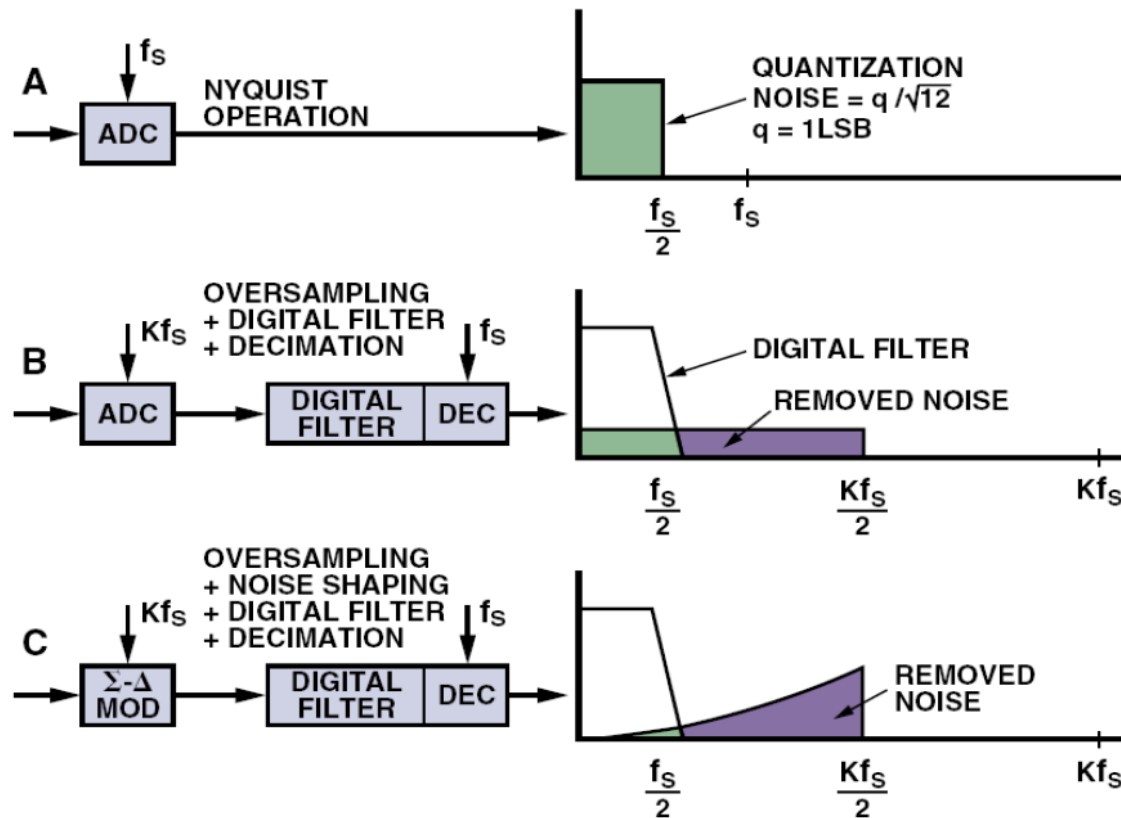


<https://www.kaggle.com/esalarcon1900/modulador-sigma-delta>

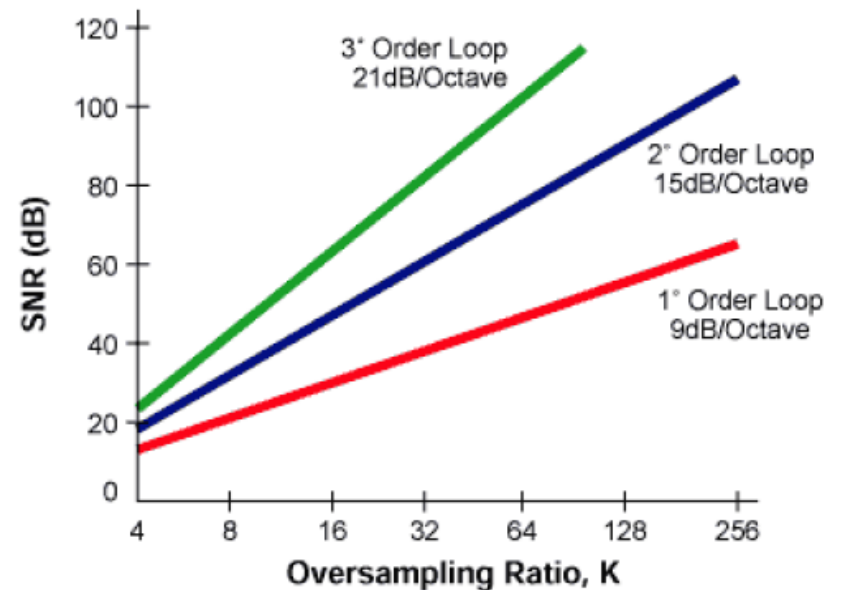
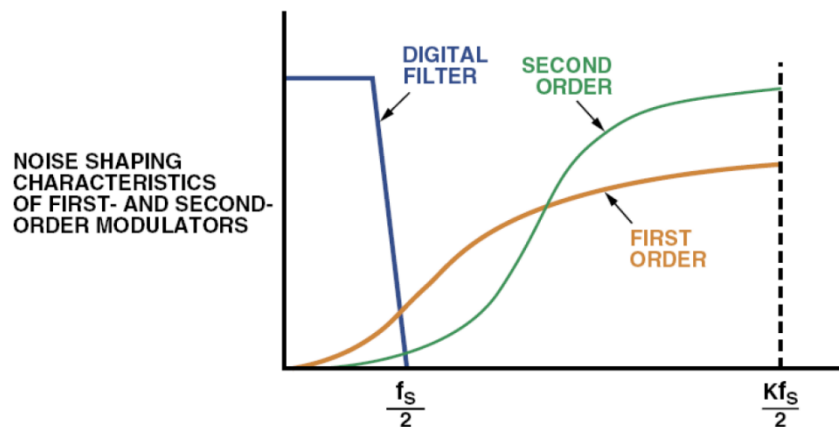
Modulador sigma delta de 2 bits.



Sigma Delta. Conformación de ruido.



Sigma Delta. Conformación de ruido.



Conversores AD en STM32F103C8.

- El STM32F103C8 tiene dos conversores AD por aproximaciones sucesivas con las siguientes características:
 - 12 bits
 - Tiempo de conversión 1 μ s a 56 MHz (1.17 μ s a 72 MHz)
 - Rango de 0 a V_{DD} (0 a 3.3V)
 - 18 entradas multiplexadas (para los dos conversores, 16 canales, sensor de temperatura y V_{REF})

Table 49. ADC accuracy^{(1) (2) (3)}

| Symbol | Parameter | Test conditions | Typ | Max ⁽⁴⁾ | Unit |
|--------|------------------------------|--|-----------|--------------------|------|
| ET | Total unadjusted error | $f_{PCLK2} = 56 \text{ MHz}$, $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 2.4 \text{ V to } 3.6 \text{ V}$ Measurements made after ADC calibration | ± 2 | ± 5 | LSB |
| EO | Offset error | | ± 1.5 | ± 2.5 | |
| EG | Gain error | | ± 1.5 | ± 3 | |
| ED | Differential linearity error | | ± 1 | ± 2 | |
| EL | Integral linearity error | | ± 1.5 | ± 3 | |

1. ADC DC accuracy values are measured after internal calibration.
2. Better performance could be achieved in restricted V_{DD} , frequency and temperature ranges.

Referencias

- Steven W. Smith. *The Scientist and Engineer's Guide to Digital Signal Processing*. <http://www.dspguide.com>
- Vijak K. Madisetti, Douglas B. Williams. *Digital Signal Processing Handbook*. Chapman & Hall/CRCnetBase.
- Richard G. Lyons. *Understanding Digital Signal Processing, Third Edition*. Prentice Hall
- J.G. Proakis, D.G. Manolakis. *Tratamiento digital de señales*. Prentice Hall.
- Texas Instruments. *Understanding Data Converters*. <http://focus.ti.com/lit/an/slaa013/slaa013.pdf>
- Nxp Semiconductors. *LPC17xx User manual*. <http://www.nxp.com>