

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA

Circuitos Digitais – INF01058

LAB 07 – Divisor de frequência

Ana Cláudia Rodrigues — 343123
Bruno Samuel Ardenghi Gonçalves — 550452

1 Introdução

Neste laboratório desenvolvemos um divisor de frequência usando circuitos sequenciais, com o intuito de, a partir de uma entrada de 50 MHz, obter um sinal de saída de 2,98 Hz. Isso foi feito por meio da implementação de *flip-flops* em cascata. O projeto foi implementado e simulado pelo software Quartus, posteriormente sintetizado e testado em uma FPGA Cyclone III D0 (modelo EP3C16F484C6).

1.1 Entradas

- CLK: Clock com frequência f .
- PRN: Quando em 0, força a saída para 1 (*preset* negado).
- CLRN: Quando em 0, força a saída para 0 (*clear* negado).

1.2 Saídas

- CLK_OUT: Clock com frequência $\frac{f}{2^{24}}$.

1.3 Módulos e funções

- *Flip-flop* tipo D ativado pela borda (24)

$$Q_k(t+1) = D_k = \overline{Q_k(t)}$$

2 Resultados

Total de elementos lógicos	50
Total de pinos	4
Área total	54
Total de registradores	24

Tabela 1: Consumo de recursos da FPGA em área

Frequencia máxima	119.53 MHz
Atraso crítico	7.966 (PRN \rightarrow CLK_OUT)

Tabela 2: Frequência máxima de operação e atraso crítico (*slow*, 85°C)

3 Capturas de tela

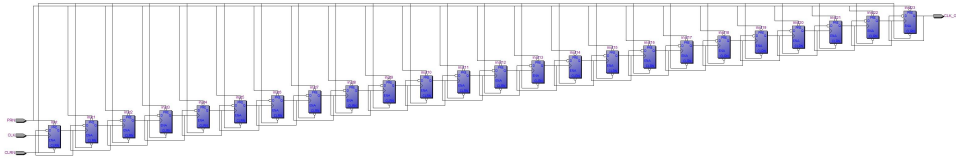


Figura 1: Captura de tela do netlist

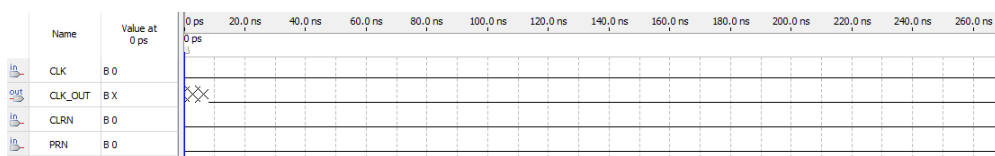


Figura 2: Captura de tela da simulação em forma de onda com atraso

4 Arquivo de restrições

```
create_clock -name clk -period 20 [get_ports CLK]

set_input_delay -clock clk -max 0.2 [all_inputs]
set_input_delay -clock clk -min 0.01 [all_inputs]
set_output_delay -clock clk -max 0.2 [all_outputs]
set_output_delay -clock clk -min 0.01 [all_outputs]
```

Listing 1: constraints.sdc