

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA

Circuitos Digitais – INF01058

LAB 06 – Display de 7 segmentos

Ana Cláudia Rodrigues — 343123
Bruno Samuel Ardenghi Gonçalves — 550452

1 Introdução

Neste laboratório desenvolvemos um decodificador de binário para a representação hexadecimal em um display de 7 segmentos. Para verificação do projeto, foi utilizada a saída da ULA (com operação aritmética de soma e operações lógicas de AND, OR e NOT) elaborada previamente (laboratório 5). O projeto foi implementado e simulado pelo software Quartus, posteriormente sintetizado e testado em uma FPGA Cyclone III D0 (modelo EP3C16F484C6).

1.1 Entradas

- S_{3-0} : "código" de entrada de 4 bits (saída da ULA, entrada do decodificador)

1.2 Saídas

- S_{A-G} : segmentos do display (onde o resultado será exibido)

1.3 Módulos e funções

- Decodificador 4:16
OBS: decodificação feita de modo a gerar correspondência binário-hexadecimal
- Função ISOP (ou IPOS) para implementação das saídas do display

- $S_A = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D}$
- $S_B = \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D}$
- $S_C = \overline{A}BC + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D}$
- $S_D = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}BC\overline{D}$
- $S_E = \overline{B}\overline{C}D + \overline{A}D + \overline{A}B\overline{C}$
- $S_F = \overline{A}\overline{B}\overline{C}D + \overline{A}C\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D}$
- $S_G = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C} + \overline{A}BC\overline{D}$

2 Resultados

Total de elementos lógicos	18
Total de pinos	19
Área total	37

Table 1: Consumo de recursos do FPGA em área

Frequencia máxima	129.8 MHz
Atraso crítico	7.204 ($A_1 \rightarrow S_G$)

Table 2: Frequência máxima de operação e atraso crítico (Slow, 85°C)

3 Capturas de tela

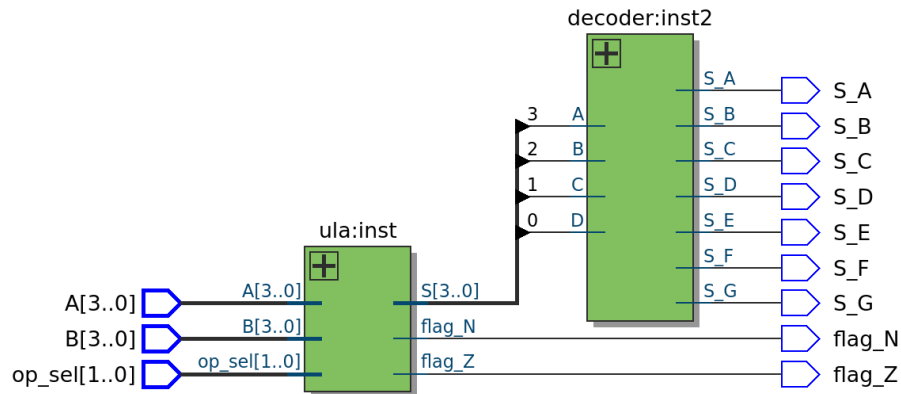


Figure 1: Captura de tela do netlist

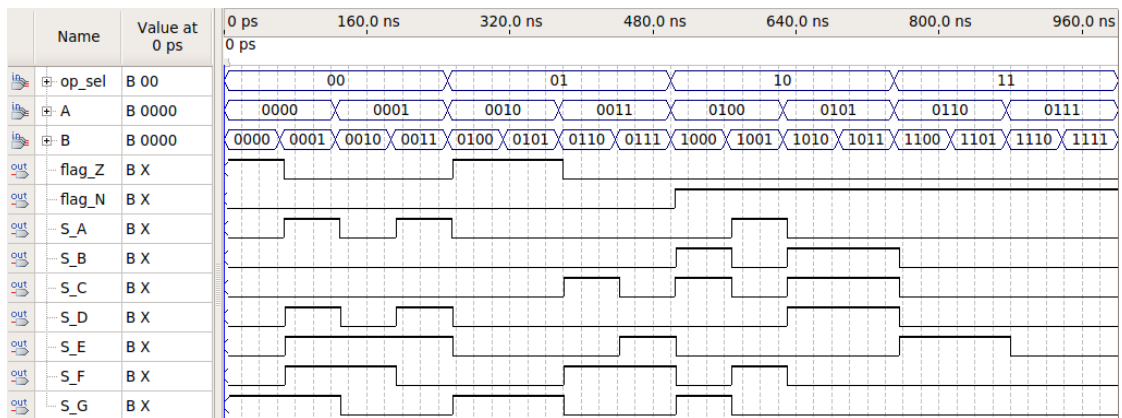


Figure 2: Captura de tela da simulação em forma de onda com atraso

4 Arquivo de restrições

```
create_clock -name clk -period 10
set_clock_uncertainty -from clk 0.1

set_input_delay -clock clk -max 0.2 [all_inputs]
set_input_delay -clock clk -min 0.01 [all_inputs]
set_output_delay -clock clk -max 0.2 [all_outputs]
set_output_delay -clock clk -min 0.01 [all_outputs]
```

Listing 1: constraints.sdc