



UNIVERSIDAD DE COSTA RICA  
ESCUELA DE INGENIERÍA ELÉCTRICA  
MICROPROCESADORES  
IE0623

EIE  
Escuela de  
Ingeniería Eléctrica

**Indicaciones Generales:** Es requisito indispensable, para la calificación de su examen, que la solución sea presentada de una manera ordenada y clara. Puede disponer UNICAMENTE de cuaderno de examen u hojas, lapiceros, el set de instrucciones del 9S12 sin ninguna anotación y el Resumen de Periféricos.

**I PARTE (50 pts).**  
**Diseño de un programa.**

**PROBLEMA A RESOLVER.**

El dispositivo NCV7751 de On Semiconductor es una interfaz de salida que incluye 12 canales de alta potencia de hasta 60 V y 1.5 A por canal. Esta interfaz es típicamente utilizada para controlar relés y otras cargas inductivas y, en consecuencia incluye protecciones de voltaje contraelectromotriz. Este dispositivo tiene una interfaz de comunicaciones SPI para ser interconectado con microcontroladores.

Este versátil dispositivo incluye protecciones de cortocircuito y circuito abierto para cada salida, mismas que generan condiciones de alarma a ser reportadas al microcontrolador. Para efectos de sus comunicaciones el dispositivo cuenta con una interfaz SPI que permite ajustar la trama a 16, 24 o 32 bits, utilizando para ello dos entradas de selección denominadas CSB1 y CSB2.

Para efectos de controlar las salidas a 24 bits, se hace CSB1 =1 y se usa la entrada CSB2 (activa en estado bajo) como selector de esclavo (SS). La trama de 24 bits enviada al dispositivo incluye dos bits de control para cada una de las salidas y el dispositivo retorna una trama con dos bits de estado por cada salida como respuesta a la trama recibida. Los dos pares de bits de las tramas de entrada/salida son:

Trama de entrada (Control de salidas)			Trama de Salida (Respuesta de Estatus)		
Bit $i+1$	Bit $i$	Función	Bit $i+1$	Bit $i$	Estado
1	0	ON	0	0	Operación Normal
1	1	OFF	1	0	Circuito Abierto
1	0	Standby	0	1	Sobrecarga

Donde ON se refiere a que activa la salida, OFF es que la apaga y Standby es que no modifica el estado de la salida. En la Figura #1 (a) se muestran los diagramas de tiempo de la interfaz de comunicaciones SPI para este dispositivo. Donde TER indica que no se ha iniciado una recepción de trama. Además en la parte (b) de la figura se muestra el orden de los dos bits de cada canal en la trama de comunicaciones.

Utilizando la interfaz SPI0 a 200 Kbps se ha conectado un 9S12, con un cristal de 8 Mhz y un PLL con un multiplicador de 5, a un NCV7751 (Interfaz de Reles: IR), donde se debe usar una salida GPIO (PTT0) para controlar CBS2 debido a que la trama es mayor a 8 bits, como se muestra en el diagrama parcial de la Figura #2.



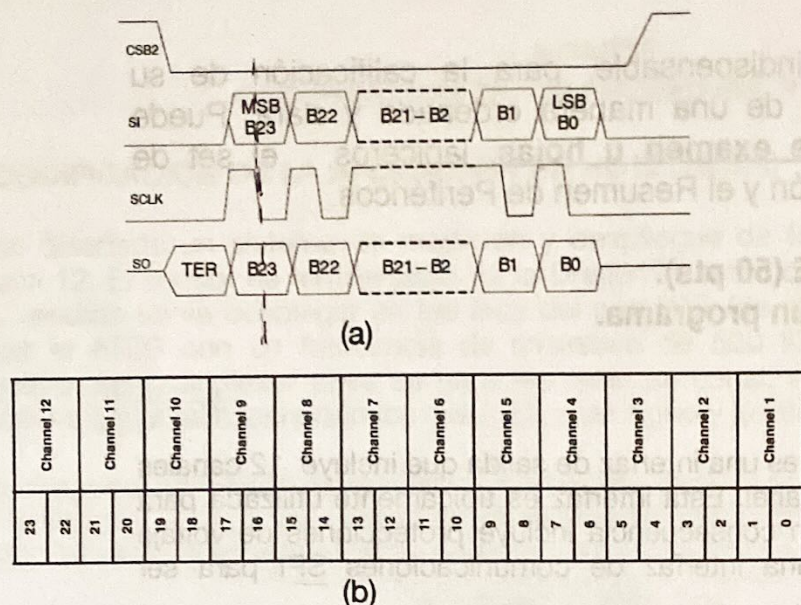


Figura #1

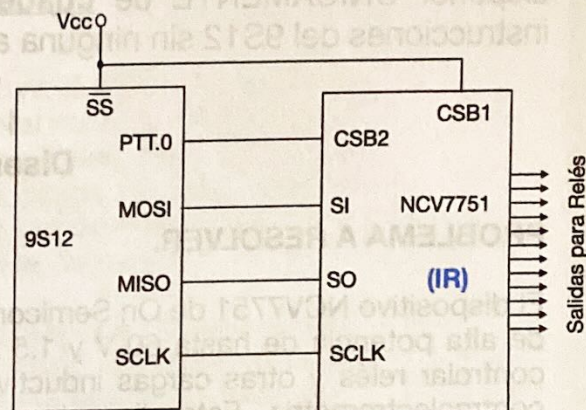


Figura #2

Los datos a transmitir por la SPI del 9S12 a la IR son puestos por una máquina de estados denominada Controlador\_ME (que **NO** es parte del alcance de este examen) en un arreglo denominado Control\_Reles y los datos recibidos por la SPI deben ser almacenados en un arreglo denominado Estado\_Reles para que sean posteriormente procesados por Controlador\_ME, ambos arreglos deben ser accedidos por direccionamiento indexado. Se va a desarrollar una máquina de estados (TareaReles) para comunicarse con la IR, para esto se cuenta con un puntero para el estado presente denominado EstPres\_TR. Entonces:

- (15 pts) Diseñe el programa principal que configure el hardware indicado en la Figura #2, defina la pila e inicie el estado de partida de la máquina de estados. Incluya un despachador de tareas que llame a la TareaReles. Incluya la memoria de cálculo y la justificación de los valores a cargar en los registros de control de los periféricos.
- (35 pts) Diseñe una máquina de cuatro estados, denominada TareaReles, que permita transmitir el arreglo Control\_Reles a la IR y recibir la información de estado de la IR almacenando dicha información en el arreglo Estado\_Reles.

Considere que el despachador de tareas estará en el futuro despachando otras tareas que utilizan los recursos del procesador. Solo debe utilizar las estructuras de datos del enunciado, no debe utilizar la pila como almacenamiento temporal. Diseñe los diagramas de flujo de manera explícita basado en la arquitectura de Freescale. Utilice solo una acción por cada instrucción a codificar.