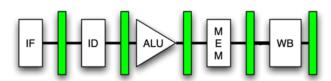
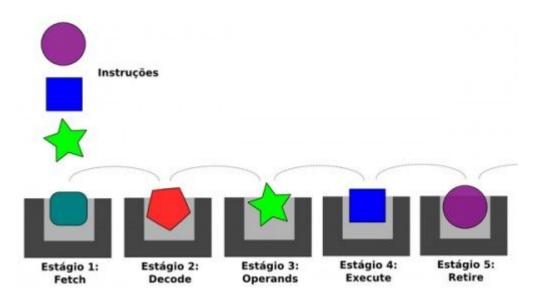
## **Pipeline**

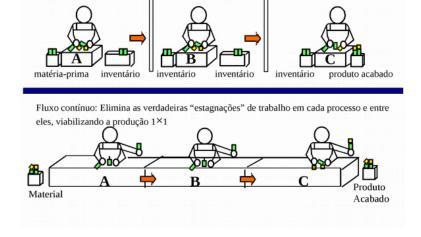




A linha de produção é um conjunto de operações sequenciais estabelecidas numa fábrica em que as matérias primas são colocadas através de um processo sofrendo transformações para se obter um produto final que é adequado para o consumo, ou componentes que são montados para fazer um artigo acabado.

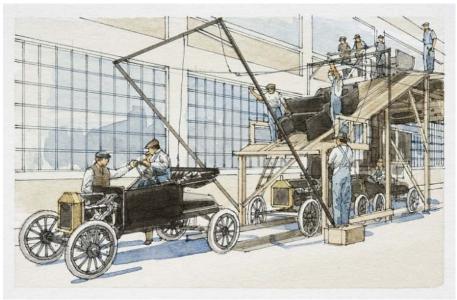


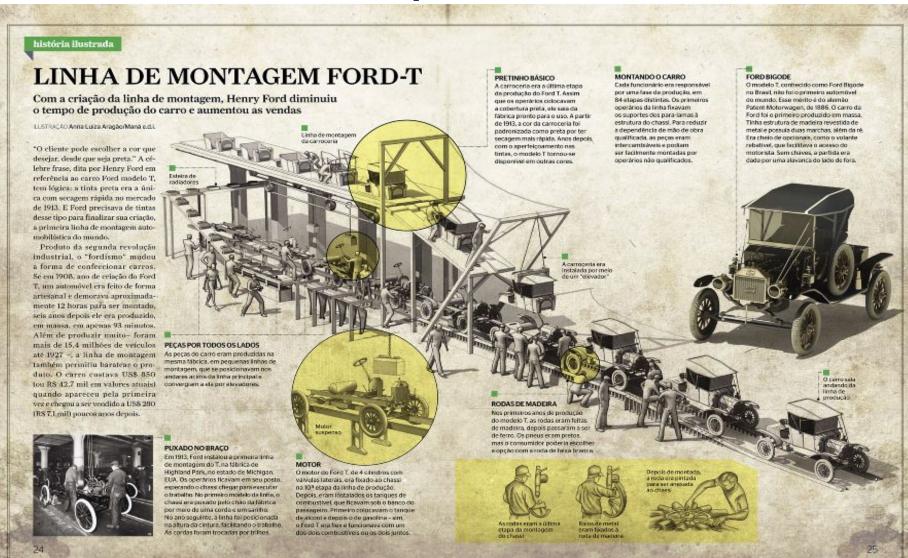
Linha de produção pode ser entendida como uma forma de produção em série, onde vários operários, com ajuda de máquinas, especializados em diversas funções específicas e repetitivas, trabalhando de forma sequencial, chega-se a um produto semi-acabado ou acabado; ocorre quando um estabelecimento industrial com o auxílio de máquinas transformam as matérias-primas e produtos semi-acabados em produtos acabados destinados ao consumo.



A forma mais característica, a da montagem em série, foi inventada por Henry Ford, empresário estadunidense do setor automobilístico. Graças a ela, Ford conseguiu produzir em massa seu famoso carro Ford T.







Na forma da montagem em série a indústria é associada a uma máquina, com cada operário se especializando pela repetição em uma determinada função. Criticada por "desumanizar" o homem, sofreu um dos mais famosos ataques quando Charles Chaplin realizou o filme Tempos Modernos, fazendo com que o seu personagem Carlitos sofresse uma crise nervosa ao trabalhar como autômato numa linha de produção.

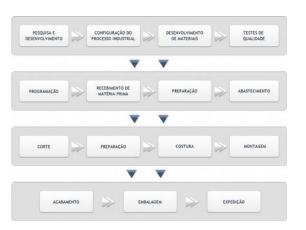
Autômato: Aquele que não age nem pensa por conta própria.

Mero repetidor de ações.













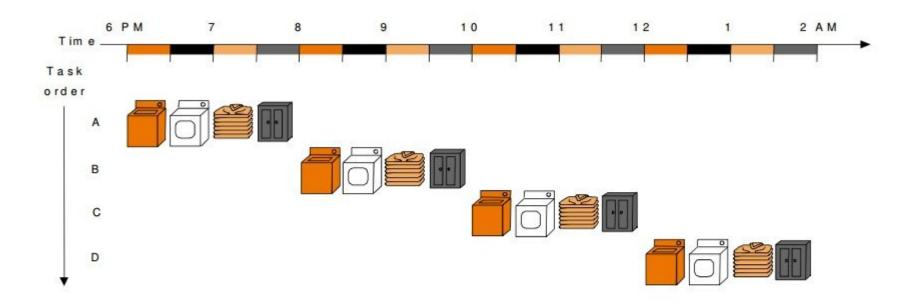
- Exemplo: Lavanderia
  - Lavagem: 30 min
  - Secagem: 30 min
  - Passar a ferro: 30 min
  - guardar: 30 min



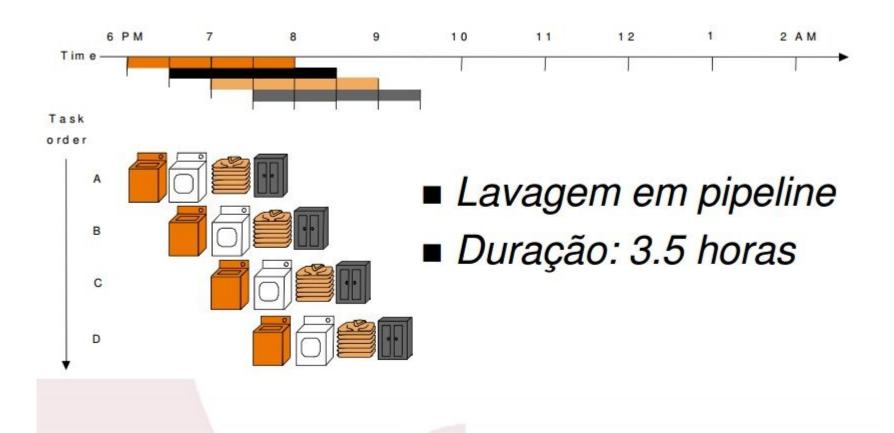




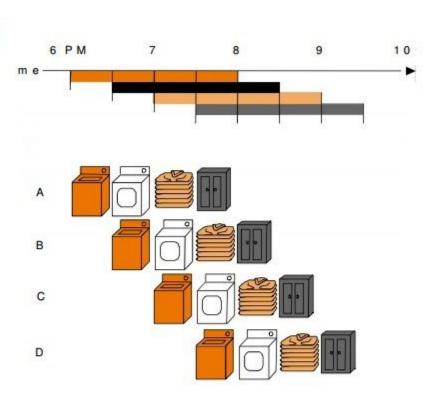




- Lavagem sequencial
- Duração: 8 horas



- Pipelining não diminui o tempo de execução de uma tarefa, ele melhora a taxa de execução de um conjunto de tarefas
- Tarefas múltiplas simultâneas usando diferentes recursos
- Aumento no desempenho= Número de estágios
- Taxa é limitada pelo estágio mais lento
- Tempo para "encher" e "esvaziar" o pipeline reduz o desempenho
- Espera quando houver dependências



## **Pipeline**

Até o 386, os processadores da família x86 eram capazes de processar apenas uma instrução de cada vez. Uma instrução simples podia ser executada em apenas um ciclo de clock, enquanto instruções mais complexas demoravam vários ciclos de clock para serem concluídas. Seria mais ou menos como montar um carro de maneira artesanal, peça por peça. Para melhorar o desempenho do 486, a Intel resolveu usar o pipeline, uma técnica inicialmente usada em processadores RISC, que consiste em dividir o processador em vários estágios distintos. O 486, possui um pipeline de 5 níveis, ou şeja, é dividido em 5 estágios.

Instruções

Estágio 1: Estágio 2: Estágio 3: Estágio 4: Estágio 5: Fetch Decode Operands Execute Retire

## **Pipeline**

Quando é carregada uma nova instrução, ela primeiramente passa pelo primeiro estágio, que trabalha nela durante apenas um ciclo de clock, passando-a adiante para o segundo estágio.

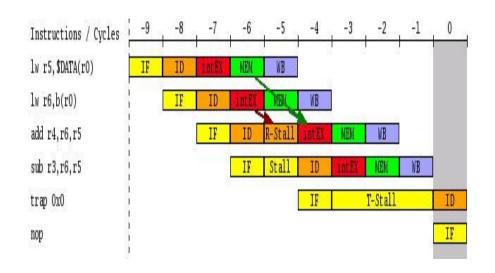
#### Ciclos de Clock:

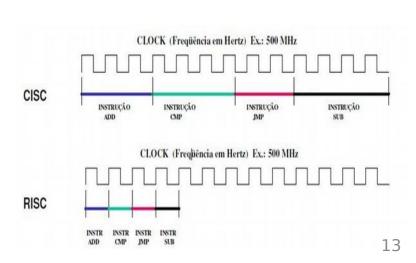
Basicamente, o clock é um pulso elétrico que sincroniza as atividades do computador. A cada "pulso de clock", os dispositivos executam suas tarefas, param e aguardam o próximo ciclo de clock.

					Ci	cl	05	d	0	clo	ocl	k				
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
Instruction fetch	11					12					13					
Instruction decode		11	110				12				F4.	13				Execução
Operand fetch			11					12					13			sem pipelining
Execute				11			13		12		奥			13		sem pipeiming
Result Store				-	11					12					13	
												ly.				
	1	2	3	4	5	6	7	8	9	10	1	1	12	13	14	15
Instruction fetch	11	12	13	14	15	16	17	18	19	110	11	1	465			
Instruction decode		11	12	13	14	15	16	17	18	19	130	0	11			Execução
Operand fetch		100	11	12	13	14	15	16	17	18	19	1	10	111		com pipelining
Execute				11	12	13	14	15	16	17	18	3	19	110	111	com pipeining
Result Store					11	12	13	14	15	16	17	7	18	19	110	111

## **Pipeline**

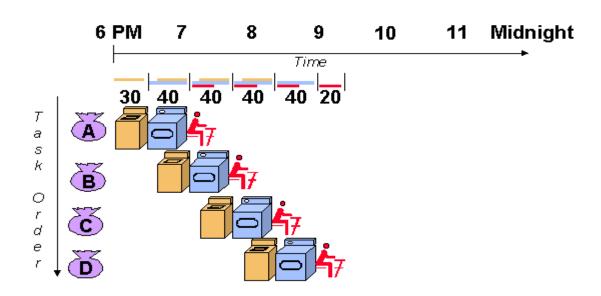
A instrução continua então sendo processada sucessivamente pelo segundo, terceiro, quarto e quinto estágios do processador. A vantagem desta técnica, é que o primeiro estágio não precisa ficar esperando a instrução passar por todos os demais para carregar a próxima, e sim carregar uma nova instrução assim que se livra da primeira, ou seja, depois do primeiro pulso de clock.





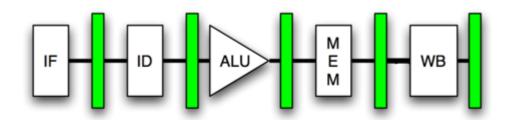
## **Pipeline**

As instruções trafegam dentro do processador na ordem em que são processadas. Mesmo que a instrução já tenha sido processada ao passar pelo primeiro ou segundo estágio, terá que continuar seu caminho e passar por todos os demais. Se por acaso a instrução não tenha sido completada mesmo após passar pelos 5 estágios, voltará para o primeiro e será novamente processada, até que tenha sido concluída.



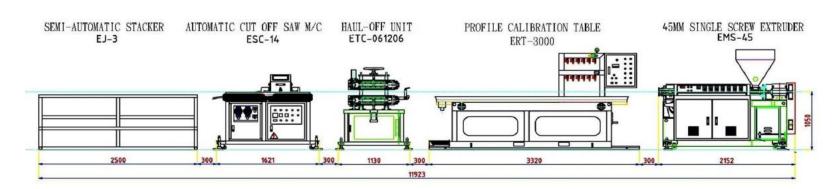
## **Pipeline**

Desta maneira, conseguimos que o processador seja capaz de processar simultaneamente, em um único ciclo de clock, várias instruções que normalmente demorariam vários ciclos para serem processadas. Voltando ao exemplo do carro, seria como se trocássemos a produção artesanal por uma linha de produção, onde cada departamento cuida de uma parte da montagem, permitindo montar vários carros simultaneamente. O uso dos 5 estágios de pipeline no 486 não chegava a multiplicar por cinco a performance do processador, na verdade a performance não chegava nem mesmo a dobrar, mas o ganho é bem significativo.



## **Pipeline**

Os processadores atuais utilizam um número muito maior de estágios de pipeline. O Pentium II possui 10, o Athlon Thunderbird possui 12 e o Pentium 4 possui 20. No Pentium 4 por exemplo, cada estágio processa uma pequena parte da instrução, que só são concluídas pelo último estágio, a cada ciclo, cada um dos estágios passa a instrução para a frente e recebe uma nova. Cada instrução demora 20 ciclos para ser processada, mas em compensação são processadas 20 instruções ao mesmo tempo, em fila.



## **Pipeline**

Mais estágios permitem que o processador seja capaz de atingir frequências mais altas, já que cada estágio fará menos trabalho por ciclo, suportando mais ciclos por segundo, mas, por outro lado, o uso de muitos estágios pode prejudicar o desempenho do processador nas operações de tomada de decisão, já que cada instrução demorará mais ciclos para ser concluída.

										lock							633
	3.	2	3	+	5	4	7		2	100	2.5	12	1.3	14	15	16	
Instruction fetch	100	jig (	13	34													
Instruction decode		111	-12	33	. 16						ALL	ALU					
Operand fetch			n.	12	18	H											única
Execute (rintes, AUX)			-17	100	11.	110	14	W.	12	- 10		100	- 14	114	100		(33)(13)(13)
Resultatore			100		900				His	12			13		-	140	
	- 4		-	140	- 3	100	7			-50	-88	102	120	14	3.5	16	183
	- 1	2	. 3	4	3	6	7	- 3	5	-50	2.2	12	1.5	14	15	1.6	100
Instruction fetch	11	Q.	13	34	0	16	10	18	19		11	12	1.5	14	15	16	
Instruction fetch Instruction decode		1000	100		-		130		- 333	10	31	12	13	1.4	15	16	
		Q.	13	34	0	16	10	18	19		11	12	13	14	15	16	40.00 (0.000)
Instruction decode		Q.	13	13	6) H	16 15	10	18 17	19			12	13	14	15	16	Mültipla: ALUs
Instruction decode Operand fetch		Q.	13	14 13 12	6 H C	15 15	10	18 17 10	19 18 12	13	**		15	14	15	16	40.00 (0.000)
Instruction decode Operand fetch Execute (ALU 1)		Q.	13	14 13 12	6 H G	15 15 14	10	18 17 16	19 14 17	13	*	121		14	15	16	40.00 (0.000)

## Pipeline – Ciclos de Clock

A medição do clock é feita em hertz (Hz), daí as velocidades dos processadores receberem por exemplo, 2.8Ghz – Gigahertz. Esta medida indica o número de ciclos que ocorre dentro de uma determinada medida de tempo – para o computador, é adotado a medida em segundos. Sendo assim, quando você diz que a velocidade do computador é de 600MHz, velocidade baixa para os dias de hoje, quer dizer que este processador trabalha com 600 milhões de ciclos por segundos! Para 2.8GHz, são 2.8 bilhões.

#### Memória DDR Memória=100MHz Buffers=100MHz (x2 transferências por ciclo) 1/0 Células de Memória Barramento de Buffers dados

## Pipeline – Ciclos de Clock

Um fato bastante interessante, é que a partir do clock, podemos entender também o tempo de *latência* de alguns componentes. Se por exemplo uma memória RAM tem latência 5, quer dizer que ela vai levar cinco ciclos de clock completos para executar a transferência dos dados. Outra curiosidade é que o processador sabe quanto ciclos uma instrução vai demorar, pois ele tem uma tabela com essas informações. Desta forma, se ele tem instruções seguenciais, ele consegue prever em qual pulso de clock ele vai iniciar a próxima.

Latência: apesar de não ser um componente de hardware, a latência está totalmente ligada a ele. O termo é utilizado para especificar o tempo que um componente leva para acessar determinado dado, sendo que quanto menor o tempo de latência (atraso), mais rápido será resposta e enviará dados aos demais componentes de hardware.

Leia mais em:

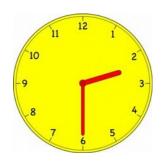
http://www.tecmundo.com.br/hardware/1718hardware-o-dicionario-de-a-a-

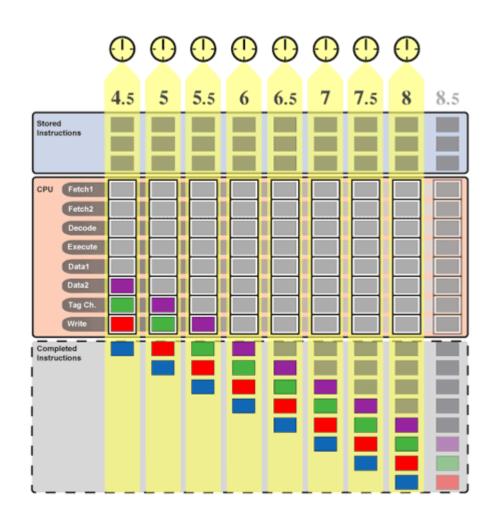
z.htm#ixzz2gJY3gHQV



## Pipeline – Ciclos de Clock

Agora, para saber se um processador é mais rápido que o outro, é preciso comparar a taxa de clock de ambos, aquele que tiver a taxa mais alta sempre será o mais rápido. A taxa mais alta diminui o tempo entre cada ciclo, e as tarefas serão executadas em menos tempo e o desempenho será mais alto.

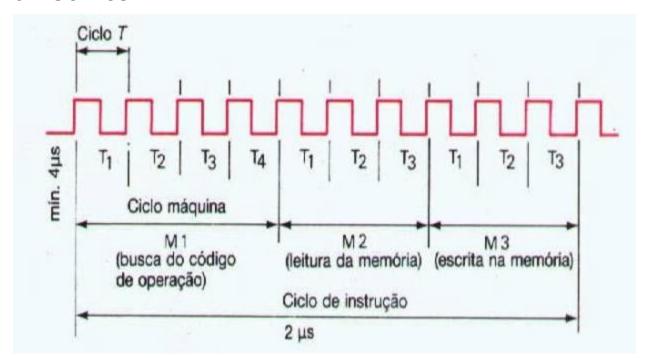




## Pipeline – Ciclos de Clock

Mas para medir o desempenho de dois processadores diferentes, medir a taxa de clock apenas não basta, é preciso também analisar a **arquitetura**, que muda de acordo com o fabricante.

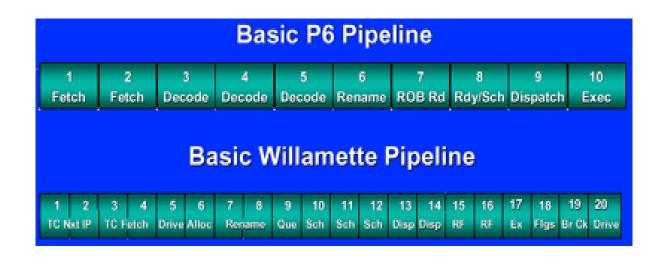




## **Pipeline**

A principal característica da arquitetura NetBurst era o uso de um longo pipeline de processamento, batizado pela Intel de "Hyper Pipelined Technology"

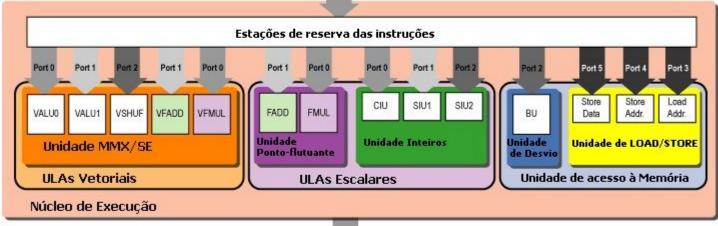
O Pentium 4 levou essa filosofia adiante, utilizando um total de 20 estágios de pipeline, daí o nome "Hyper Pipelined". Temos aqui um slide da Intel que mostra um comparativo entre o pipeline do Pentium III com os 20 estágios do Willamette



## **Pipeline**

#### Arquitetura Intel Core







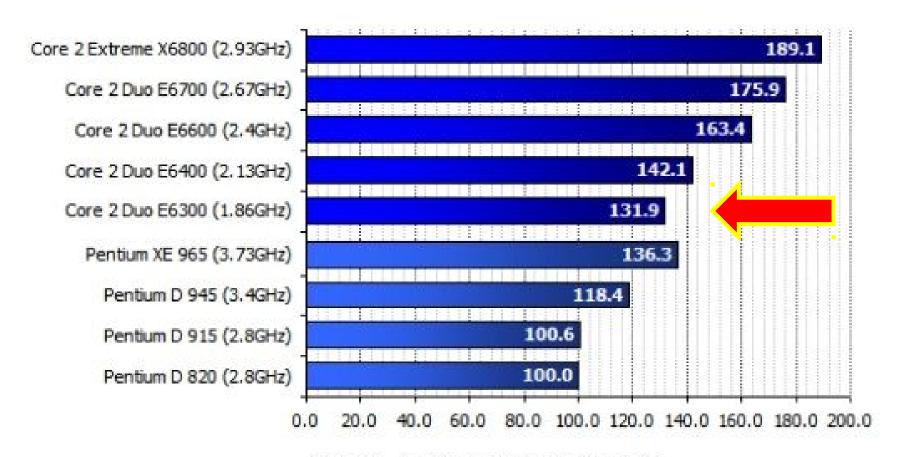
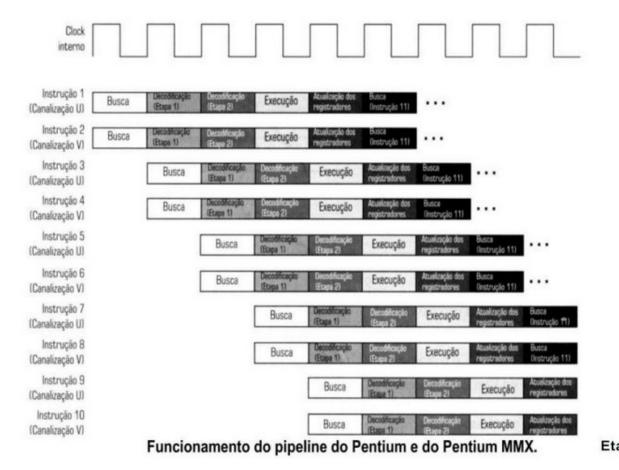
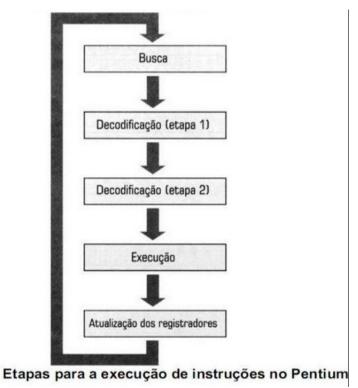


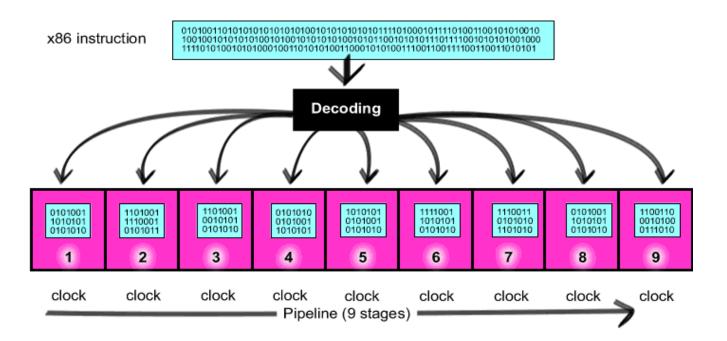
Figura 1 - Eficiência da arquitetura Core





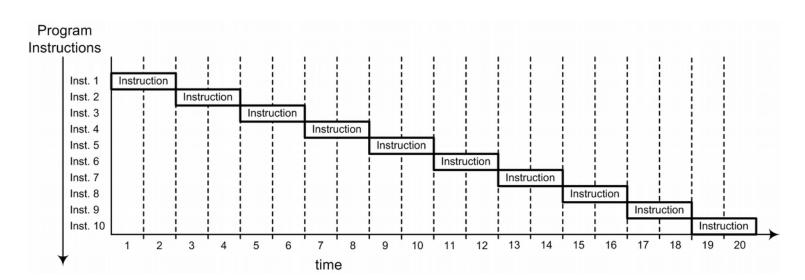
## Pipeline X Superpipelines

Pipeline é uma técnica de hardware que permite que o processador (CPU) realize a busca de uma ou mais instruções além da próxima a ser executada, ou melhor dizendo, pipeline é uma técnica de projeto onde o hardware processa mais de uma instrução de cada vez, sem esperar que uma instrução termine antes de começar a outra.



## Pipeline X Superpipelines

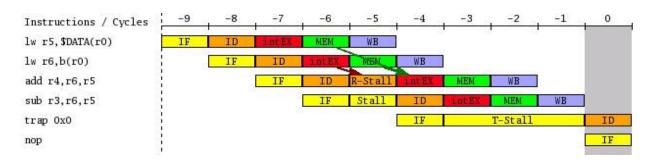
A técnica pipeline é utilizada para acelerar a velocidade de operação da CPU. Explica-se isso, pelo fato de a próxima instrução estar armazenada dentro da CPU, não precisando ser buscada na memória, que é normalmente mais lenta. O pipeline consiste em colocar instruções em uma linha de produção de modo que torne o processamento mais rápido.



## Pipeline X Superpipelines

Vantagens do uso do pipeline:

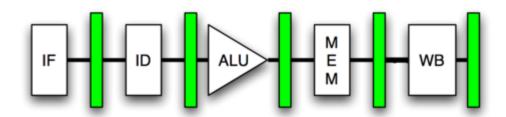
- No pipeline todas as instruções têm o mesmo comprimento, ajudando na performance da máquina.
- Existem poucos formatos de instrução, o que o torna menos complexo que outras técnicas.
- Os operandos no pipeline, só aparecem em loads e stores, trazendo uma praticidade por simplificar a busca por eles.



## Pipeline X Superpipelines

Desvantagens do uso do pipeline:

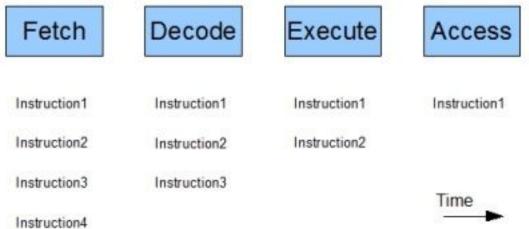
- Tendo apenas uma memória, está fica sobrecarregada e não atende às expectativas e exigências do pipeline.
- As instruções de desvio podem bloquear uma determinada instrução que teria que ser executada.
- As dependências de dados podem gerar problemas na hora de se executar um conjunto de instruções.



## Pipeline X Superpipelines

Qual o princípio de funcionamento da técnica?

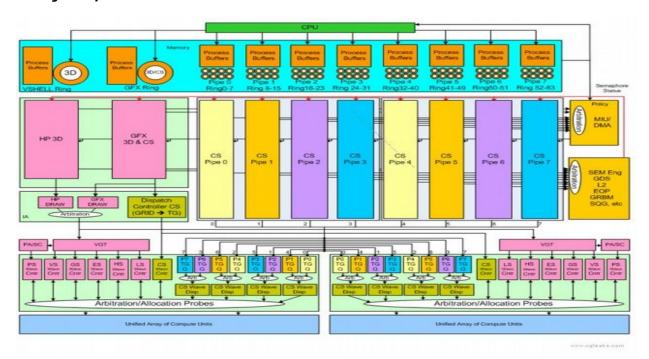
Há a execução de uma tarefa através da sua divisão num conjunto de subtarefas, empregando a concorrência temporal (também chamada de overlap). Na medida que conclui a execução num estágio e que o resultado segue para a próxima etapa, o estágio é carregado com a próxima tarefa. Os tempos de execução em cada estágio devem ser bastante semelhantes para que não haja tempos ociosos.



## Pipeline X Superpipelines

A configuração do pipeline:

Unifunção x Multifunção = Na multifunção o processador possui um pipeline capaz de assumir funções diferentes, e na unifunção só se pode trabalhar com um tipo de função por vez.



## Pipeline X Superpipelines

Estático x Dinâmico = No estático o pipeline multifunção só assume uma função por vez, enquanto que no dinâmico, pode assumir mais de uma.

Escalar x Vetorias = O pipeline vetorial processa instruções vetoriais e o escalar processa os outros tipos de instruções.

Vendo as vantagens e desvantagens, pode-se concluir que, apesar de tudo, o pipeline melhora o desempenho da máquina por meio do aumento do número de instruções executadas numa unidade de tempo, e não pela diminuição do tempo de execução de uma instrução individual.



## Pipeline X Superpipelines

### **Superpipelines**

Os superpipelines nada mais são, do que pipelines mais extensos. Possuem as mesmas propriedades que os anteriormente citados.

A única particularidade que os diferencia um do outro, é que a arquitetura superpipeline subdivide cada estágio do pipeline em sub-estágios e multiplica o clock internamente. Cada sub-estágio continua executando uma instrução por clock, mas como o clock interno é multiplicado, o pipeline pode aceitar duas ou mais instruções para cada clock externo.

