

# 5

## Leiterplattenentwicklung

- 1 Benötigte Bauelemente und Geräte 5|2
- 2 Zeitlicher Ablauf 5|2
- 3 Vorbereitende Aufgaben 5|2
- 4 Ziele 5|2
  - 4.1 Anforderungen an die Platine 5|3
  - 4.2 Bewertungsmaßstab 5|3
  - 4.3 Inhalt des Laborprotokolls 5|3

Sie lesen die Laboranleitung Nr. **5** in der überarbeiteten Version vom 16. Oktober 2023.

Diese Arbeit ist durch das Urheberrecht[1] privilegiert. (In Semester- und Abschlussarbeiten dürfen Sie nicht wie in Unterrichtsmitteln verfahren.)



Wegen der im Dokument übernommenen Abbildungen dürfen Sie, auf Grund des Urheberrechts, diese Laboranleitung nur privat oder im Rahmen des Unterrichts nutzen und in keiner Weise weiterverbreiten.

## 1 Benötigte Bauelemente und Geräte

- |                          |                          |                  |
|--------------------------|--------------------------|------------------|
| * Programmieradapter ISP | * Bauteilpaket Binäruhr: | – Batteriehalter |
| * Leiterplatte           | – ATmega48               | – Uhrenquarz     |
| * KiCad Entwurfssoftware | – 3 Taster               | – Pinheader      |
| * CNC-Fräse              | – 11 LED                 |                  |

## 2 Zeitlicher Ablauf

Dieser (nur dieser) Laborversuch kann über das gesamte Semester im Vorlesungszeitraum bearbeitet werden. Sie werden zu zweit zwei einzigartige Platine für eine Binäruhr<sup>1</sup> entwerfen, anschließend auf unserer CNC-Fräse herstellen und mit Bauteilen bestücken. Die Präsentation der Platine inklusive aller in der Anleitung genannter Tests kann jederzeit im Semester nach Absprache mit den Prüfern erfolgen.

## 3 Vorbereitende Aufgaben

- \* Besuch der zugehörigen Vorlesung
- \* Youtube Videos zu KiCad, OpenCAM und GCode

## 4 Ziele

In diesem Versuch lernen Sie die eigenständige Entwicklung einer Leiterplatte vom Schaltplan bis zur fertig bestückten und getesteten Platine. Überblicksartig sind folgende Schritte abzuarbeiten:

1. Entwurf des Schaltplans unter Verwendung der ausgegebenen Bauteile.
2. Test des Schaltplans mit Schematic Rule Check (**SRC**)
3. Entwurf eines Leiterplattenlayouts basierend auf dem Schaltplan
4. Test des Layouts mit Design Rule Check (**DRC**)
5. Ausdruck des Layouts auf Papier und erneuter Test
6. Terminvereinbarung mit der Studentische Hilfskraft (**SHK**) (über Opal)
7. Erstellen der Leiterplatte unter Aufsicht der **SHK**<sup>2</sup>
8. ggf. Wiederholung des vorherigen Schrittes
9. Bestücken der Platine
10. Festlöten der Bauteile
11. Kontaktprüfung mit Multimeter
12. Erste Inbetriebnahme und Debugging

<sup>1</sup>Nach Rücksprache mit den Prüfern kann die Aufgabe auch durch den Entwurf einer anderen auf einem Atmel Mikrokontroller basierenden Schaltung bearbeitet werden

<sup>2</sup>Die **SHK** ist hier nicht dazu gedacht Ihnen die Arbeit abzunehmen, sondern Sie so Anzuleiten das unsere CNC-Fräse nicht beschädigt wird.



Wie Sie sich leicht denken können entsteht ein Flaschenhals wenn Sie alle diese Aufgabe bis in die letzte Vorlesungswoche schieben, fangen Sie daher bitte frühzeitig an. Das herstellen der Leiterplatten ist normalerweise ein Schritt der nur bei sehr wenigen Entwicklern beim ersten Mal klappt daher haben wir ein einfaches Projekt gewählt. Wir werden die Termine für die CNC-Fräse geschlossen bekanntgeben, Sie können Termine tauschen, wer seinen Termin nicht wahrnimmt hat keine Platine...

#### 4.1 Anforderungen an die Platine

**Größe:** max 0,5 Europlatine

**Copy&Paste:** jede Gruppe erstellt ein einzigartiges Layout. Die Anordnung und Verdrahtung der Bauteile wird sich von Gruppe zu Gruppe unterscheiden. Jeder Student beschriftet seine Platine mit Namen und Matrikelnummer.

**Layeranzahl:** Sie können Leiterbahnen auf der Ober- und Unterseite der Platine verlegen, wir haben nur Zweilagiges Material. Daher muss die Kupferschicht auf der Oberseite unter durchkontaktierten Bauteilen entfernt werden. (Isolation Layer)

**min. Leiterbahnenbreite:** 0,8 mm

**Via Durchmesser:** 1,5 mm/0,8 mm

**min. Abstand zweier Leiterbahnen:** 0,6 mm

**Masseführung:** verwenden Sie Masseflächen (oben und unten) anstatt einzelner Leiterbahnen

**Beschriftung:** auf Layer *User1*, Strichbreite 0,5 mm

Sie können Einstellung für die Layout Tests von anderen Platinen importieren, nutzen Sie die Platine zum nächsten Laborversuch als Beispiel: [Schaltplan](#), [PCB](#), [Projekt](#)

#### 4.2 Bewertungsmaßstab

Natürlich erwarten wir von Ihnen nicht, dass Sie eine perfekte Leiterplatte erstellen. Die funktionsfähige Leiterplatte stellt einen Großteil Ihrer Leistung dar, Sie dürfen aber Fehler bei der Fertigung solange korrigieren bis es funktioniert. Ihre erste Leiterplatte darf *russisch* aussehen, wenn Sie aus Ihren Fehlern lernen. Ergänzend zur Leiterplatte fertigen Sie wie auch in den anderen Laborversuchen ein Testprotokoll an. Sollten Sie bei Design Fehler machen, die Sie bis zur Fertigstellung Ihrer Platine nicht beheben, vermerken Sie diese im Protokoll und geben eine Lösungsmöglichkeit des Problems an. (Bsp.: 'Ich konnte den Pinheader nur mit Mühe anlöten weil ich die zugehörigen Leiterbahnen auf der Oberseite geroutet habe. Lösung Steckverbinder und gesockelte Bauteile nur vom Bottom-Layer anschließen.') Sollten die oben genannten Parameter nicht eingehalten werden kommt es zur Abwertung.

#### 4.3 Inhalt des Laborprotokolls

- \* Foto der fertigen Platine (oben und unten)
- \* SRC und DRC Protokoll
- \* Schaltplan
- \* Layout
- \* Angabe der verwendeten Fräser und Bohrer
- \* Inbetriebnahmeprotokoll (was funktionierte nicht, wie wurden die Fehler behoben)

<b>DRC</b>	Design Rule Check
<b>SRC</b>	Schematic Rule Check
<b>SHK</b>	Studentische Hilfskraft

- [1] DIE BUNDESREPUBLIK DEUTSCHLAND: *Urheberrechtsgesetz - Unterricht und Lehre §60a*, 2003.  
<https://dejure.org/gesetze/UrhG/60a.html>.