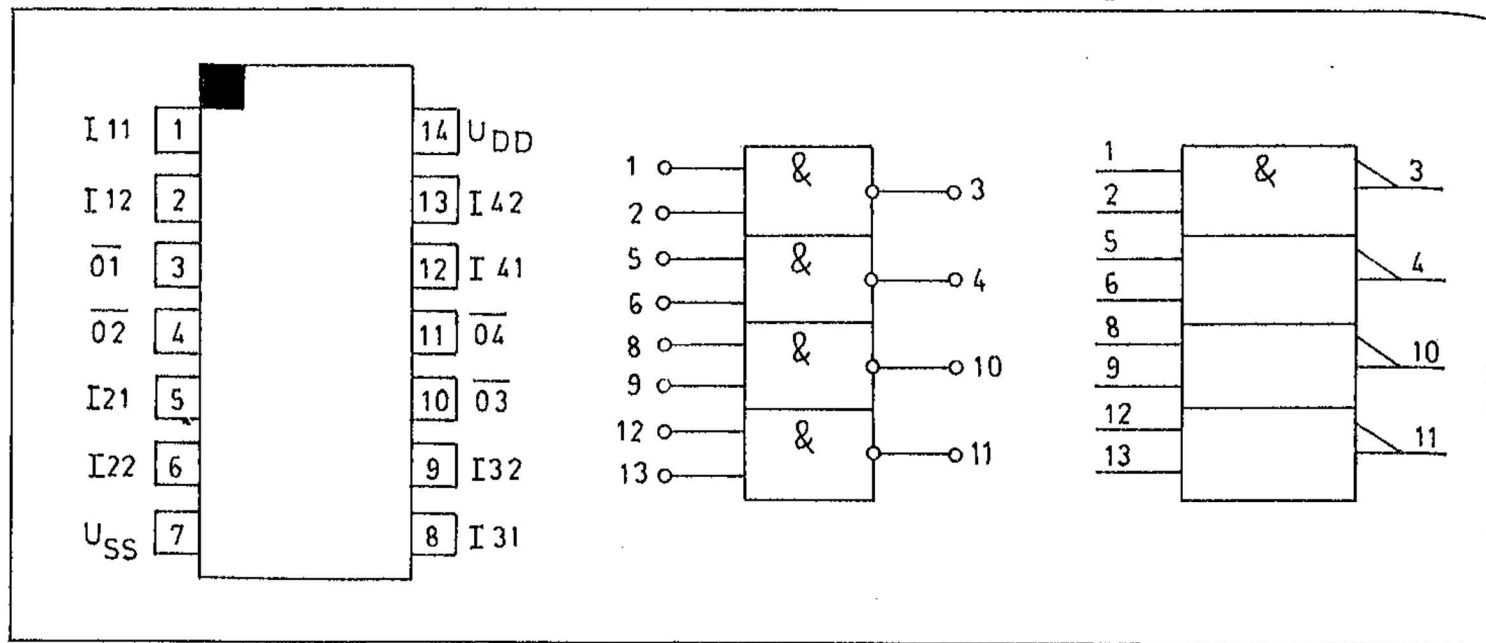


# V 4011 D 4 NAND-Gatter mit je 2 Eingängen



Anschlußbelegung, Schaltzeichen und IEC-Zeichen

Bauform V 4011 D: DIP-14, Plast (Bild 3)

Bauform V 4011 S: SO-14 (Bild 28)

Typstandard: TGL 38605

## Funktionstabelle

In1	In2	$\overline{O_n}$
L	L	H
L	H	H
H	L	H
H	H	L

(n = 1...4)

## Ausgewählte Kennwerte

Kennwerte	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Flankenübergangszeit der Ausgangssignale	$t_{TLH}$	$U_{DD} = 5 \text{ V}$		200	ns
	$t_{THL}$	$U_{DD} = 10 \text{ V}$		100	ns
		$U_{DD} = 15 \text{ V}$		80	ns
Verzögerungszeit	$t_{PLH}$	$U_{DD} = 5 \text{ V}$		150	ns
	$t_{PHL}$	$U_{DD} = 10 \text{ V}$		75	ns
		$U_{DD} = 15 \text{ V}$		60	ns

# CMOS-Schaltkreise      Logikbaureihe Vxxx

Die CMOS-Schaltkreise der Logikbaureihe V 4000 sind in gepufferter Schaltungstechnik ausgeführt (außer V 4007 D) und entsprechen in ihren statischen elektrischen Parametern der JEDEC-Standard-B-Serien-Spezifikation. Im Vergleich zu TTL- bzw. Low-power-TTL-Schaltkreisen zeichnen sich die CMOS-Schaltkreise durch folgende Vorteile aus:

- Niedrige Verlustleistung bis ca. 10 mW (ermöglicht den Einsatz in batteriegepufferten Schaltungen),
- der Maximalwert der Ausgangsimpedanz ist nahezu unabhängig von allen erlaubten Eingangsbelegungen,
- nahezu ideale Übertragungskennlinie,
- großer Betriebsspannungsbereich ( $U_{DD} = 3$  bis 15 V), geringe Stabilisierung der Betriebsspannung erforderlich,
- hohe statische Störsicherheit,
- niedrige, einheitliche Eingangskapazität,
- Arbeitstemperaturbereich von -40 bis 85 °C,
- Lieferung in Dual-in-line-Plastgehäusen.

Diese Eigenschaften erschließen CMOS-Schaltkreisen eine Reihe neuer Anwendungsmöglichkeiten in Ergänzung zu den TTL-Schaltkreisfamilien.

## Grenzwerte

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	$U_{DD}$	$U_{SS} - 0,5$	$U_{SS} + 18$	V
Eingangsspannung	$U_I$	$U_{SS} - 0,5$	$U_{DD} + 0,5$	V
Ausgangsspannung	$U_O$	$U_{SS} - 0,5$	$U_{DD} + 0,5$	V
Verlustleistung je Ausgangstransistor	$P_V$		100	mW
Gesamtverlustleistung	$P_{tot}$		300 <sup>1)</sup>	mW
			150 <sup>2)</sup>	mW
Gesamtverlustleistung <sup>3)</sup>	$P_{tot}$		600 <sup>1)</sup>	mW
			300 <sup>2)</sup>	mW
Lastkapazität je Ausgang	$C_L$		5	nF
Eingangsstrom	$ I_I $		10	mA
Betriebstemperaturbereich	$T_a$	-40	+85	°C
Lagerungstemperaturbereich	$T_{stg}$	-55	+125	°C

1)  $T_a = -40 \dots +70$  °C; 2)  $T_a = +85$  °C; 3) nur V 4034 D

# Ausgewählte Kennwerte (außer V 4007)

Kennwert	Kurz- zeichen	Meßbedingungen			min.	max.	Einheit
		$U_{DD}$ (V)	$ I_O $ ( $\mu A$ )	$U_O$ (V)			
Ausgangsspannung High	$U_{OH}$	5	< 1		4,95		V
		10	< 1		9,95		V
		15	< 1		14,95		V
Ausgangsspannung Low	$U_{OL}$	5	< 1			0,05	V
		10	< 1			0,05	V
		15	< 1			0,05	V
Ausgangsstrom High	$-I_{OH}$	5		4,6	0,4		mA
		10		9,5	0,9		mA
		15		13,5	2,4		mA
Ausgangsstrom Low	$I_{OL}$	5		0,4	0,4		mA
		10		0,5	0,9		mA
		15		1,5	2,4		mA
Eingangsspannung High	$U_{IH}$	5	< 1	0,5/4,5	3,5		V
		10	< 1	1,0/9,0	7,0		V
		15	< 1	1,5/13,5	11,0		V
Eingangsspannung Low	$U_{IL}$	5	< 1	0,5/4,5		1,5	V
		10	< 1	1,0/9,0		3,0	V
		15	< 1	1,5/13,5		4,0	V
Eingangsreststrom High	$ I_I $	15		$T_a = -25\text{ }^{\circ}C$		0,1	$\mu A$
		15		$T_a = 85\text{ }^{\circ}C$		1,0	$\mu A$
Reststrom der	$I_{ZH}$	15		$15, T_a = -25\text{ }^{\circ}C$		1,2	$\mu A$
Tristate-Ausgänge		15		$15, T_a = 85\text{ }^{\circ}C$		12	$\mu A$
Reststrom der	$-I_{ZL}$	15		$0, T_a = 25\text{ }^{\circ}C$		1,2	$\mu A$
Tristate-Ausgänge		15		$0, T_a = 85\text{ }^{\circ}C$		12	$\mu A$
Eingangskapazität	$C_I$			$T_a = -25\text{ }^{\circ}C$		7,5	pF
Stromaufnahme	$I_{DD}$	5				7,5	$\mu A$
Gatter		10				15	$\mu A$
		15				30	$\mu A$
Stromaufnahme	$I_{DD}$	5				30	$\mu A$
Flip - Flop, Latch		10				60	$\mu A$
Gatter		15				120	$\mu A$
Stromaufnahme	$I_{DD}$	5				150	$\mu A$
Zähler, Register		10				300	$\mu A$
		15				600	$\mu A$

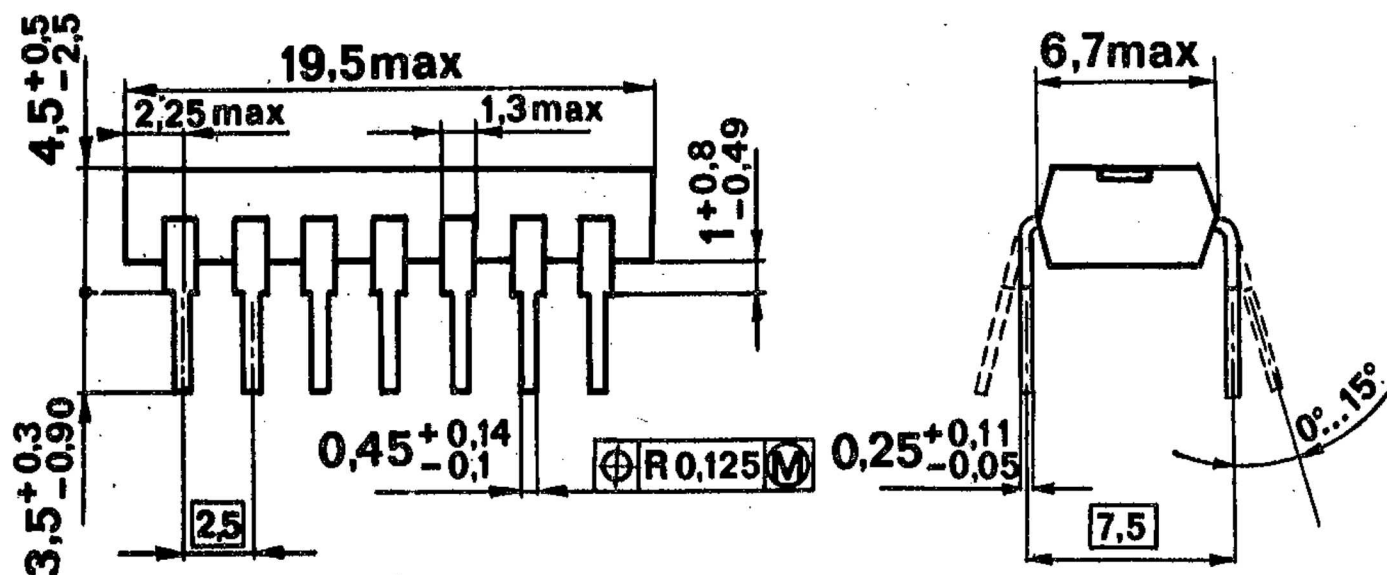


Bild 3 (DIP-14, Plast)

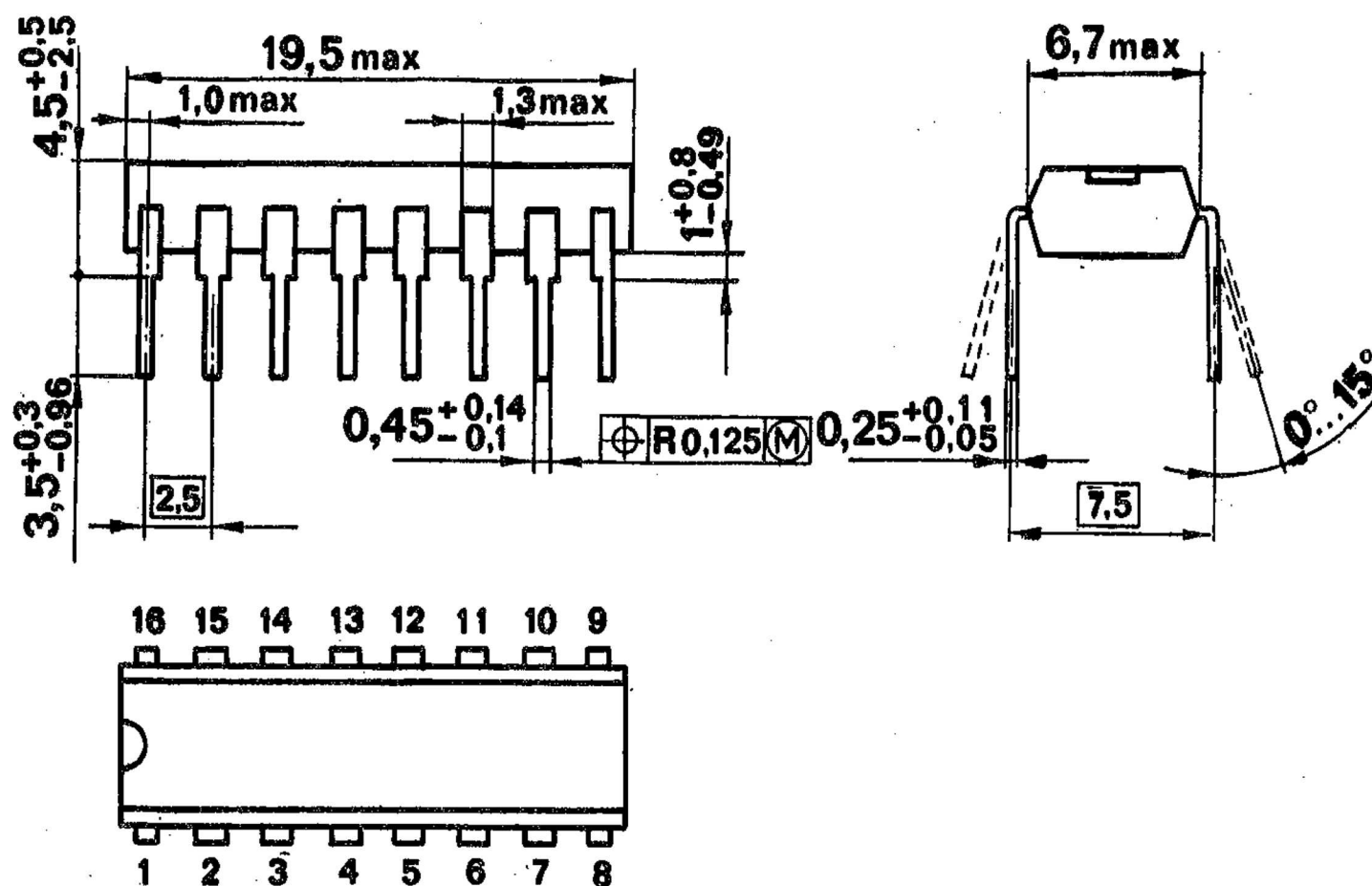


Bild 4 (DIP-16, Plast)

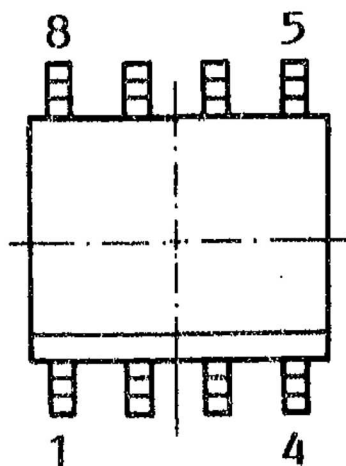
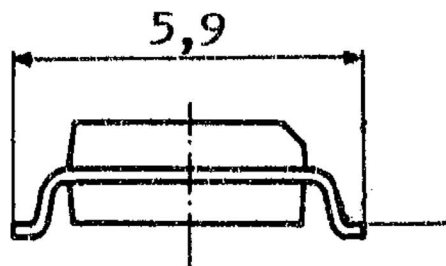
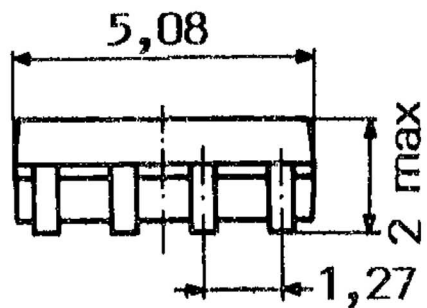
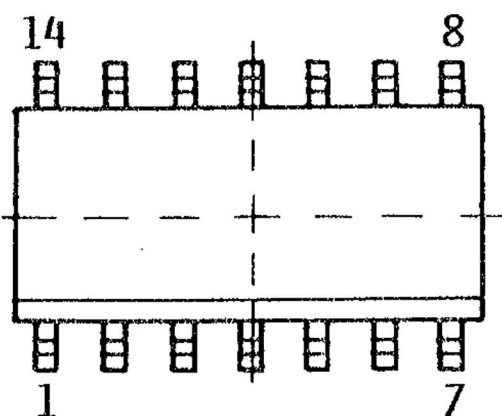
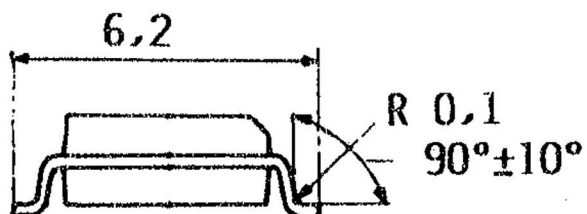
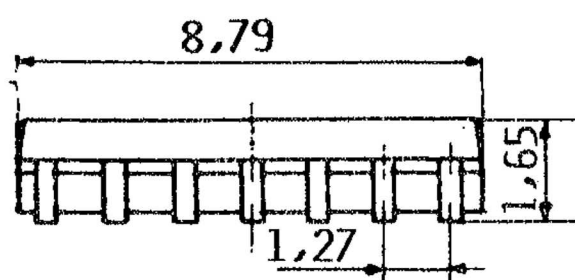


Bild 27 (SO-8)



Ebenheitstoleranz: 0,15  
 Pintagetoleranz:  $\frac{T}{2} = 0,125$

Bild 28 (SO-14)