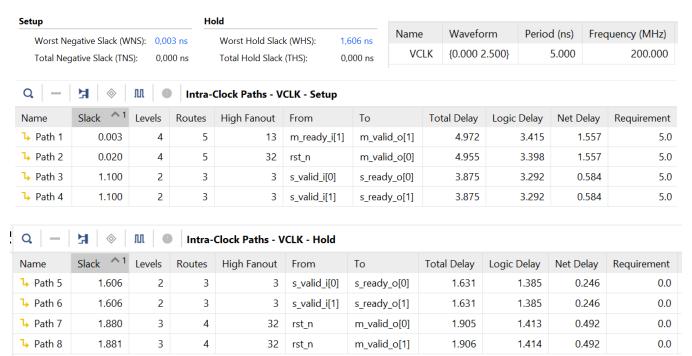
Анализ разработанного модуля

Анализ критических путей в дизайне

Данный модуль является комбинационным, поэтому для анализа критических путей необходимо было добавить в проект файл, который будет содержать дополнительные параметры для его временного анализа. Был добавлен файл timing.xdc который содержал следующие строки:

- create_clock -name VCLK -period 5.0 -waveform {0 2.5} создание виртуальных часов для подсчета временных задержек блока, с именем VCLK, пириодом в 5 нс, переход с единицы на ноль происходит в середине периода.
- set_input_delay 0 -clock [get_clocks VCLK] [all_inputs] для всех входных портов новый сигнал поступает через Онс после VCLK нарастания.
- set_output_delay -clock [get_clocks VCLK] [all_outputs] все выходные сигналы должны быть установлены за Онс до VCLK нарастания.

При применении данных параметров я получил такой результат



Судя по результатам критическими путями в данной архитектуре, являются выходные сигналы m_valid_o, хотя в коде они визуально должны иметь путь схожий с путем m_last_o. Судя по таблице основная задержка накапливается в "net delay". Обычно это значит, что расположение источника слишком далеко от расположения цели, или сигналы, от которых зависит результат, сильно разветвлены.

Рекомендации по изменению дизайна, которые могут повысить частоту и/или пропускную способность

Благодаря конвейеризации (временной параллелизм) можно увеличивает скорость работы схемы без сильного увеличения аппаратных затрат. Разделив данную схему на n участков, при условии, что временная задержка на всех участках одинаковая, мы сможем сохранить прежнюю латентность системы при серьезном повышении пропускной способности (частоты).

Также можно попробовать решить проблему с критическими путями, уменьшив задержку проводов, уменьшив их количество (возможно данную задержку можно уменьшить путем более плотного расположения схемы на ПЛИС)