

Министерство науки и высшего образования Российской Федерации
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧЕРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
“НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ ИТМО”
Факультет ПИиКТ



ОТЧЁТ
По лабораторной работе №2
По предмету: Функциональная схемотехника
Вариант 6

Студент:
Андрейченко Леонид Вадимович
Группа Р33301

Преподаватель:
Солонина Екатерина Александровна

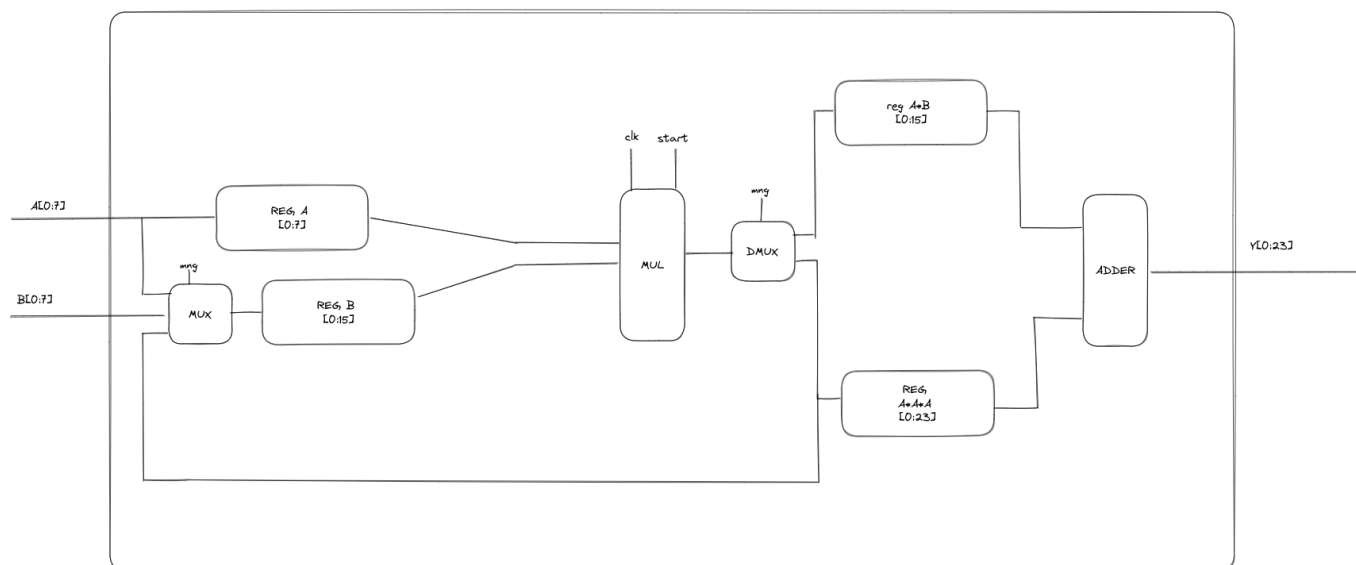
Санкт-Петербург
2023

Цель работы

Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

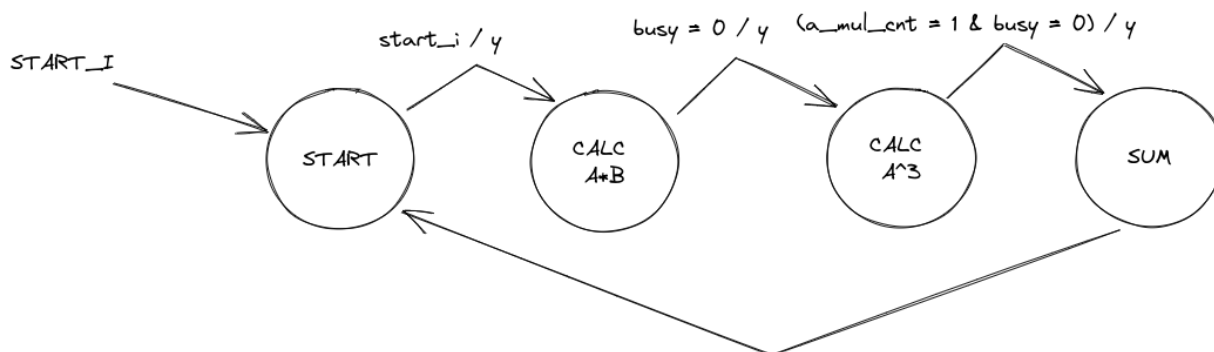
$$6 \quad \left| \quad y = a \cdot b + a^3 \quad \right| \quad 2 \text{ сумматора и } 1 \text{ умножитель}$$

Схема разработанного блока вычисления функции



Для реализации данной функции был разработан конечный автомат Мура

Автомат Мура $A \cdot B + A^3$



Описание работы разработанного блока, начиная с подачи входных данных и заканчивая получением результата.

На вход моего блока подаются сигналы:

- Start - сигнал, говорящий о начале вычислений
- Rst - сигнал сброса
- Ctr - вход синхроимпульсов
- A - первый аргумент
- B - второй аргумент

Сам алгоритм подсчета можно разбить на данные следующие этапы:

- Модуль ожидает, когда во вход start будет подана 1

- Как только на вход подается сигнал о начале работы модуля (start), то с входных данных A B записываются соответствующие значения в регистры A B. Далее на вход умножителя подаются два операнда A, B. Результат умножения записывается в регистр AB.
- На вход регистра B, подается значение с регистра A, и на вход умножителя подаются два значения A, результат умножения приходит в регистр B, через демультиплексор.
- После этого мы последний раз подаем на вход умножителя значения с регистров и результат записывается в регистр AAA.
- Как только сформированы оба операнда для сложения мы складываем их и подаем результат на выход.

Область допустимых значений для разработанного блока.

- Так как оба операнда функции, это - беззнаковые, целые числа с разрядностью 8 бит, то максимально число, которое можно получить на выходе - $255^2 \cdot 255^3 = 16646400$, данное число можно уместить, используя 24 бита, тогда выходной сигнал будет иметь разрядность в 24 бита.
- Разработанный блок умножения, будет умножать 8ми и 16ти разрядные числа.
- Регистр A имеет 8 разрядов
- Регистр B имеет 16 разрядов
- Регистр AB имеет 16 разрядов (т.к. хранит результат умножения двух 8 битовых чисел)
- Регистр AAA имеет 24 разряда (т.к. хранит результат умножения трех 8 битовых чисел)

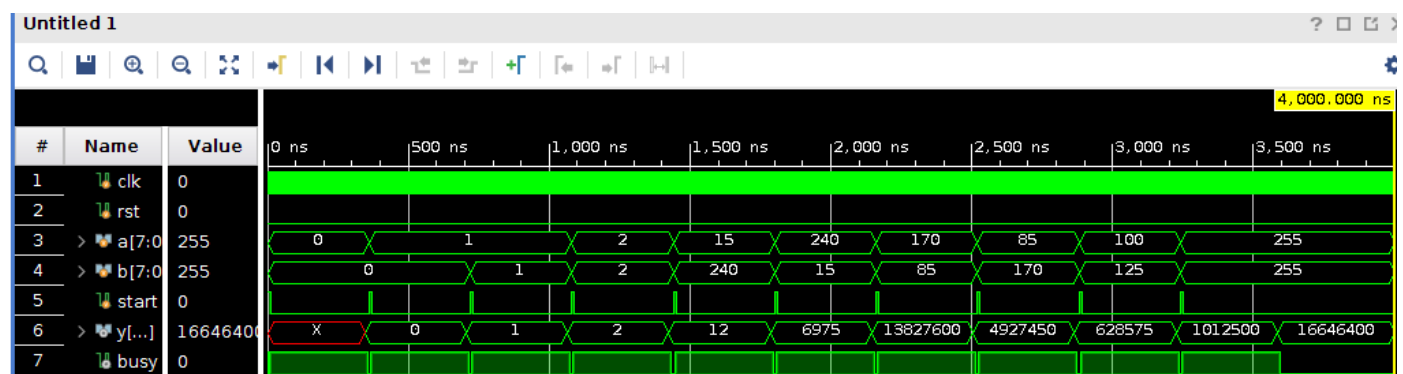
Результат тестирования разработанного блока

Пример тестового окружения для разработанной функции.

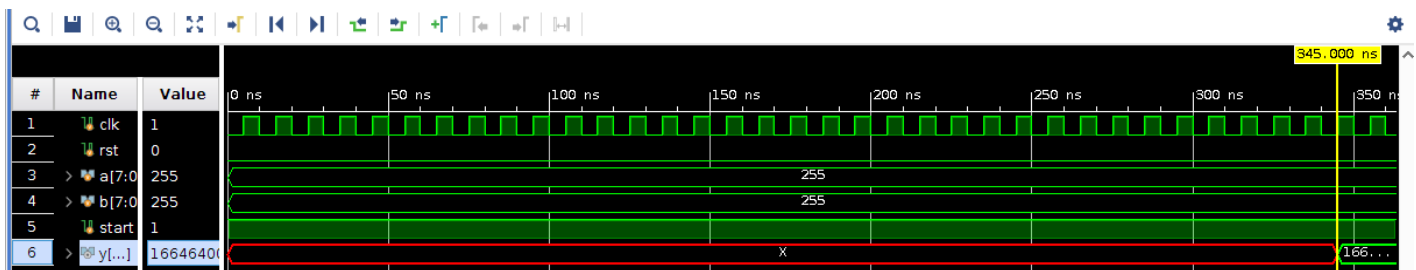
```
task test_func;
    input [3:0] iter;
    input [7:0] test_a;
    input [7:0] test_b;
    input [23:0] test_res;
    begin
        a = test_a;
        b = test_b;
        start = 1;
        #10
        start = 0;
        #350
        if(y == test_res) $display("Test %d: Correct", iter);
        else $display("Test %d: Failed %d", iter, y);
    end
endtask

// 10 test
test_func(1, 0, 0, 0);
test_func(2, 1, 0, 1);
test_func(3, 1, 1, 2);
test_func(4, 2, 2, 12);
test_func(5, 15, 240, 6975);
test_func(6, 240, 15, 13827600);
test_func(7, 170, 85, 4927450);
test_func(8, 85, 170, 628575);
test_func(9, 100, 125, 1012500);
test_func(10, 255, 255, 16646400);
```

Временная диаграмма тестирования



Время вычисления результата при частоте тактового сигнала в 100 МГц



Время вычисления результата функции при тактовой частоте в 100 МГц равно 345нс

Выводы

Во время выполнения данной лабораторной работы я разработал блок вычисления функции и реализовал его на языке описания аппаратуры Verilog, для его реализации был применен автомат Мура и составлен конечный автомат. Изучил различные аспекты реализации последовательной логики.