

Министерство науки и высшего образования Российской Федерации
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧЕРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
“НАЦИОНАЛЬН ЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ ИТМО”
Факультет ПИиКТ



УНИВЕРСИТЕТ ИТМО

ОТЧЁТ
По лабораторной работе №1
По предмету: Системы на кристалле
Вариант 2

Студенты:

Андрейченко Леонид Вадимович

Степанов Михаил Алексеевич

Группа Р34301

Преподаватель:

Быковский Сергей Вячеславович

Цель работы

Получить базовые навыки создания микропроцессорной СнК на базе сложно функциональных блоков (IP-ядер).

Задание

- 1. Используя библиотеку IP-ядер САПР Xilinx Vivado, создать СнК. В отчет включается структурная схема СнК. СнК должна содержать следующие блоки: 1.1. Soft-процессор MicroBlaze. 1.2. Контроллер асинхронного приемопередатчика UART. 1.3. Контроллер дискретных портов ввода-вывода GPIO. 1.4. Коммуникационную матрицу шины AXI.
- 2. С помощью вычислительных средств созданной СнК реализовать алгоритм обработки данных согласно варианту задания. Входные данные алгоритма – это массивы данных, поступающие в систему через последовательный канал. Использование дискретных портов ввода/вывода (GPIO) должно быть организовано согласно варианту задания.
- 3. Провести анализ характеристик созданной системы. В отчет поместить графики и таблицы, отражающие значения характеристик. Для созданной системы необходимо оценить следующие характеристики:
 - 3.1. Число занимаемых ресурсов ПЛИС (XC7A100T-1CSG324C).
 - 3.2. Время выполнения алгоритма при частоте тактового сигнала в 100 МГц.
 - 3.3. Зависимость времени получения результата вычислений от значения варьируемого параметра алгоритма (см. задание). Частота тактового сигнала 100 МГц.
- 4. При защите лабораторной работы должна быть продемонстрирована работы системы в симуляторе и на отладочной плате Nexys 4 DDR.

Вариант

Реализовать алгоритм решения системы линейных уравнений методом Крамера.

Входные данные	Выходные данные	Разрядность данных
n – количество уравнений (варьируемый параметр в диапазоне от 3 до 7); матрицы A и Y.	Вектор $x = \{x_1, x_2, \dots, x_n\}$	16 бит
Пересылаются в систему через последовательный канал	Выводится в последовательный канал в конце расчета	

Требования:

- 1. После выполнения расчета система должна быть готова к приему новых данных без подачи сигнала на сброс.
- 2. Контроллер GPIO настраивается таким образом, чтобы в конце расчета можно было увидеть элементы результирующего вектора x на линейке из 16 светодиодов. Время отображения каждого элемента – 3 с.
- 3. Номер уравнения, для которого вводятся матрицы A и Y , должен задаваться с помощью движковых переключателей, доступных на отладочной плате.

Анализ характеристик

Таблица использованных ресурсов

Utilization		Post-Synthesis	Post-Implementation	
		Graph		Table
Resource	Utilization	Available	Utilization %	
LUT	1227	63400	1.94	
LUTRAM	116	19000	0.61	
FF	1049	126800	0.83	
BRAM	64	135	47.41	
IO	36	210	17.14	
BUFG	2	32	6.25	
MMCM	1	6	16.67	

Как видно из отчета больше всего в данном проекте используется:

- Блочная оперативная память (BRAM) — это тип оперативной памяти, встроенной в ПЛИС для хранения данных.
- IO - пины ввода-вывода
- MMCM - Модуль диспетчера часов смешанного режима. Используется для генерации нескольких часов с определенными соотношениями фазы и частоты для данного входного тактового сигнала.

Зависимость размерности матрицы от времени вычисления результата

- 3 – 200
- 4 – 1250
- 5 – 9020
- 6 – 81050

Зависимость времени от ранга

