

实验二 印制电路板设计—布局布线

地 点： K 楼 416 室 实验台号： 16

实验日期与时间： 2019. 7. 11 评 分：

学生姓名： 李木晗 学生学号： SZ170210119

实验报告需包含：设计思路、设计图截图、现象的描述和原因分析、问题的回答，

除此之外，源文件请按照以下顺序放到一个文件夹内，并将文件夹命名为：学号-姓名-实验*，如：SZ160110888-张三-PCB 设计实验一，

1、原理图文件：*.DSN

2、PCB 设计文件：*.brd

2.1 布局

布局的规则你是如何考虑的？（不要抄书，写自己的考虑，抄书 0 分）

首先我根据对应的原理图的大致位置分功能区放置元器件，并且把需要接线比较多的原件放在了相对中心的位置，如运放和 Header，然后根据 PCB 软件的连线提示，平行或错位微调每个器件的位置，对于连线比较复杂或者在自身周围发生缠绕的，利用 spin 功能选择较优的朝向。

插件应该放在哪些位置？（不要抄书，写自己的考虑，抄书 0 分）

插件因为上下表面都可以连线，除了 Header，不是特别需要一个中心位置，同时，考虑到相对较大的封装大小，占的面积也相对较大，可以摆放在外围，同时相对位置平行，空间稍大，便于安装，保证电气性能稳定，也很美观。

2.2 布线

遇到走线相交通不过的情况你是如何解决的？

先看能不能从其他路径绕过去，还可以根据软件同线路高亮的特性寻找其他可行的连接点，都不行的话就打洞穿过去。

是否可以通过打孔来解决走线的问题？是否可以随意打孔？

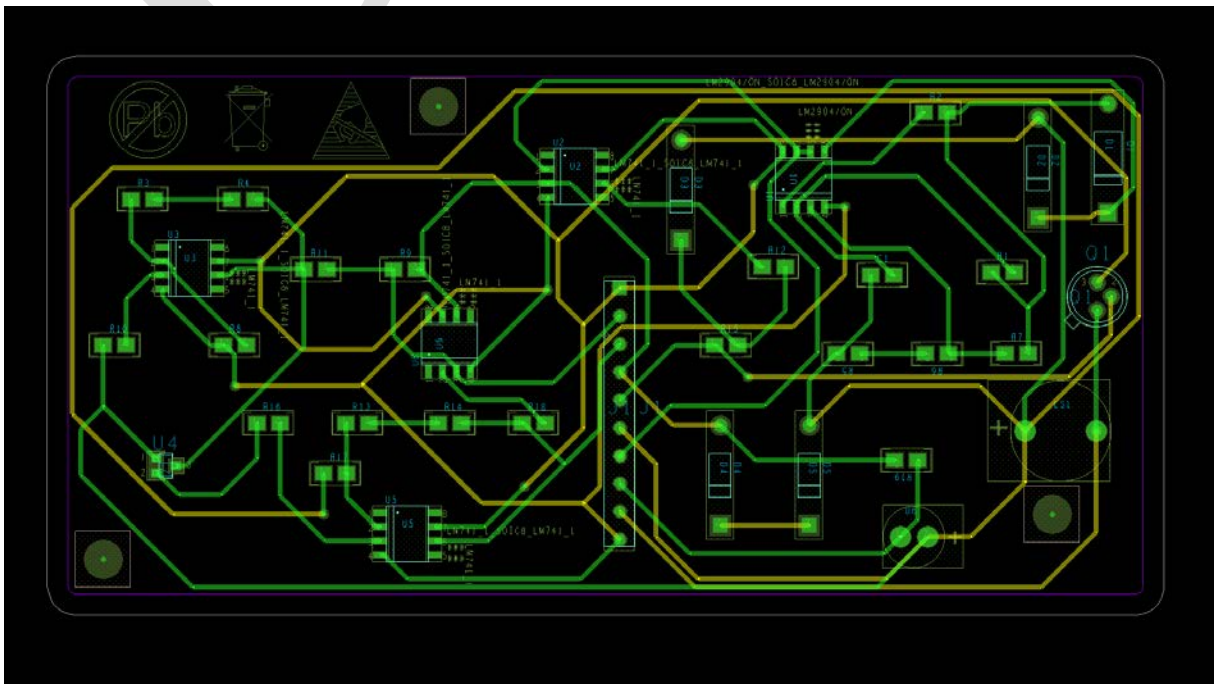
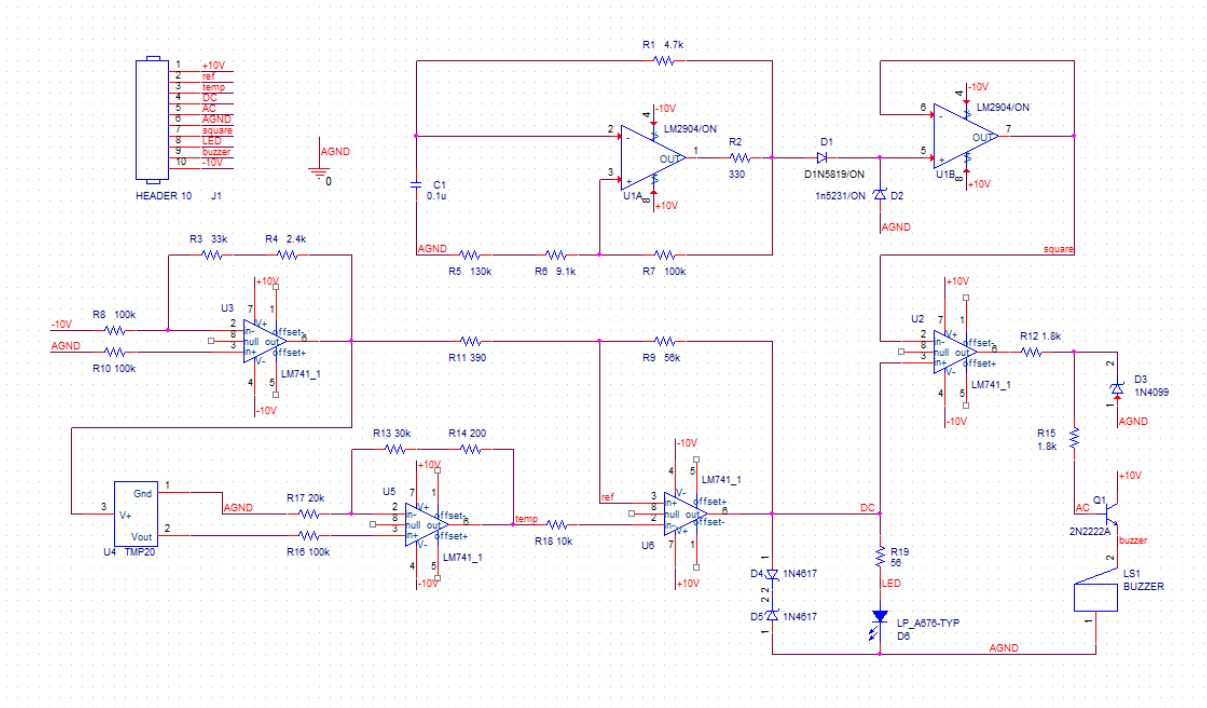
可以。不行。打孔可以解决走线的问题，但是每打一个孔都会产生一定的寄生电容和寄生电感，同时打孔也会一定程度限制布线，增加成本和工艺难度。

在哪些地方需要铺铜？为什么？

我并没有铺铜。但是据说铺铜能减小地线阻抗，提高抗干扰能力；降低压降，提高电源效率；与地线相连，还可以减小环路面积。高频电路对抗干扰要求高的多用网格，低频电路有大电流的电路等常用完整的铺铜。

2.3 设计图

设计图（截图）：

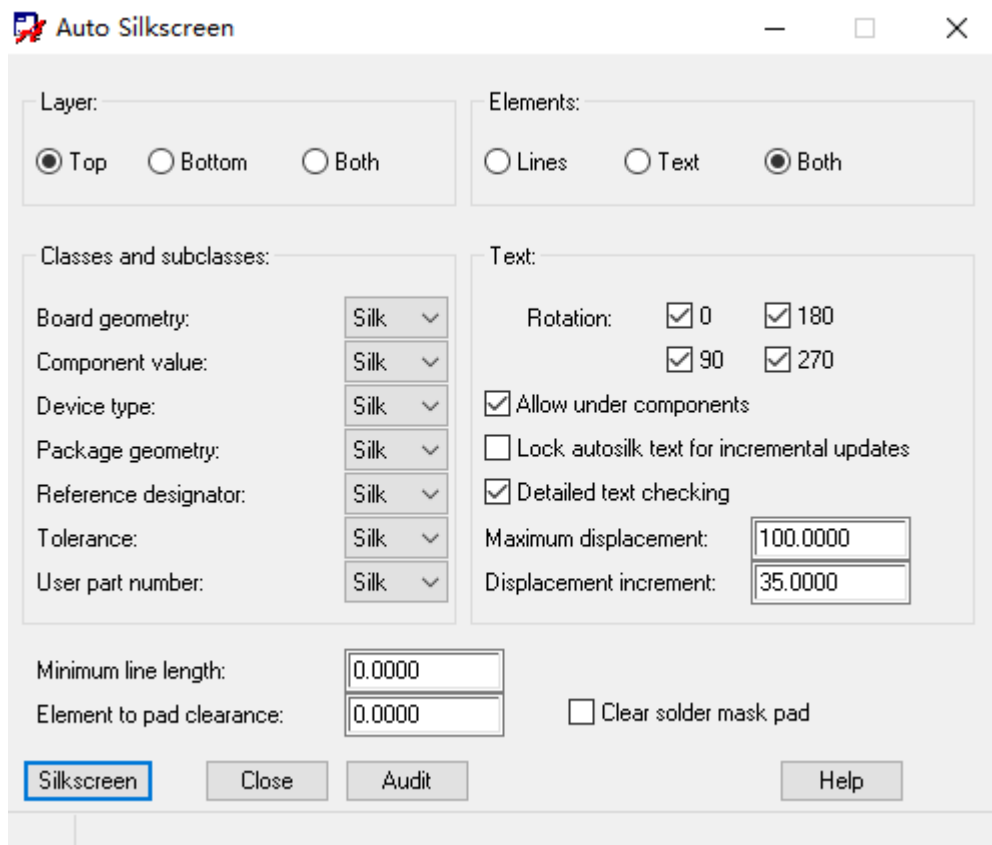


PCB 检查时的报错及解决方式

第一次检查时 Status 显示有一个 Unplaced Symbol，检查后发现是在修改走线时不小心多删掉了一个元件，重新 Place 后连线，Status 无错误。

丝印字体的选择以及排列方式

加了三个标识符：无铅、静电敏感、禁投垃圾桶，然后 Manufacturing AutoSilk：



2.4 实验中遇到的问题解决方法

第一次画 PCB 时，Header 用的是 DIP 的封装类型，同时设计时把正负电源和地线放在了一起，结果绕不开了。然后就重新画了一个 SIP 的 Header 封装，在原理图里重新分配了一下各个引脚，Update 同步到 Allegro 里面去，重新设计布线，就改进了很多地方，没有很多穿过元器件的走线，打孔也控制在不到十个，走线没那么绕吧，比之前好了很多。哦对，弄完碰到一个 bug，右上角 D1 无法移动和删除，只能焊死在那连线，所以右上角走线还是有点捉急。

2.5 实验体会与建议

这几次实验我们把原理图画成了 PCB，一方面对 PCB 的画法和规范有了基本的认识，另一方面也算是完成了仿真模型到原理图再到 PCB 板的一条龙吧，也是对一块硬件板设计的整个流程有了大体上的了解和实践。