**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH**

**KHOA ĐIỆN - ĐIỆN TỬ**

**BỘ MÔN ĐIỆN TỬ VIỄN THÔNG**



**BÁO CÁO MÔN HỌC**

**THỰC TẬP THIẾT KẾ MẠCH TÍCH HỢP**

**VLSI**

**Đề Tài: SRAM**

Sinh viên thực hiện:

**NGUYỄN VĂN TÍNH -** 18161287

**BÙI HỮU TÀI - 18161268**

GVHD: **TS. ĐỖ DUY TÂN**

TP. HỒ CHÍ MINH – 3/2021

**LỜI NHẬN XÉT CỦA GIẢNG VIÊN:**

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

….………………………………………………………………………………………………………………………………….

………………………………………………………………….

**MỤC LỤC**

**[Chương 1:](#_Toc68207660)** [1](#_Toc68207660)

**[GIỚI THIỆU](#_Toc68207661)** [1](#_Toc68207661)

**[1. GIỚI THIỆU TỔNG QUANG](#_Toc68207662)** [1](#_Toc68207662)

**[Chương 2:](#_Toc68207663)** [3](#_Toc68207663)

**[CƠ SỞ LÝ THUYẾT](#_Toc68207664)** [3](#_Toc68207664)

**[2.1](#_Toc68207665)****[TỔNG QUAN VỀ BỘ NHỚ RAM](#_Toc68207665)** [3](#_Toc68207665)

**[2.1.1 Thế nào là bộ nhớ RAM](#_Toc68207666)** [3](#_Toc68207666)

**[2.1.2 Lịch sử phát triển của RAM](#_Toc68207667)** [3](#_Toc68207667)

**[2.1.3 Đặc trưng và phân loại](#_Toc68207668)** [4](#_Toc68207668)

**[2.2 SRAM](#_Toc68207669)** [6](#_Toc68207669)

**[2.2.1 Định nghĩa](#_Toc68207670)** [6](#_Toc68207670)

**[2.2.2 Ưu điểm của SRAM so với DRAM](#_Toc68207671)** [7](#_Toc68207671)

**[2.2.3 Phân loại SRAM](#_Toc68207672)** [7](#_Toc68207672)

**[2.2.4 SRAM cells](#_Toc68207673)** [8](#_Toc68207673)

**[Chương 3:](#_Toc68207674)** [10](#_Toc68207674)

**[SƠ ĐỒ NGUYÊN LÝ](#_Toc68207675)** [10](#_Toc68207675)

**[3.1 KHÁI QUÁT SRAM](#_Toc68207676)** [10](#_Toc68207676)

**[3.2 QUÁ TRÌNH ĐỌC SRAM](#_Toc68207677)** [11](#_Toc68207677)

**[3.3 Quá trình ghi SRAM](#_Toc68207678)** [12](#_Toc68207678)

**[Chương 4:](#_Toc68207680)** [14](#_Toc68207680)

**[ĐÁNH GIÁ PHẦN MỀM](#_Toc68207681)** [14](#_Toc68207681)

**[4.1 QUÁ TRÌNH ĐỌC SRAM](#_Toc68207682)** [14](#_Toc68207682)

**[4.2 QUÁ TRÌNH GHI SRAM](#_Toc68207683)** [17](#_Toc68207683)

**[Chương 5](#_Toc68207684)** [22](#_Toc68207684)

**[KẾT LUẬN](#_Toc68207685)** [22](#_Toc68207685)

# **DANH MỤC HÌNH**

**[Hình 1. 1 Phân loại bộ nhớ trong hệ thống chip](#_Toc67342977)** [1](#_Toc67342977)

**[Hình 2.1. 1 Một bộ nhớ RAM thực tế](#_Toc67342121)** [3](#_Toc67342121)

**[Hình 2.2. 1 Cấu trúc bộ nhớ SRAM](#_Toc67342193)** [7](#_Toc67342193)

**[Hình 2.2.4. 1 SRAM 6 Transistors](#_Toc67342981)** [10](#_Toc67342981)

**[Hình 3.1. 1 Cấu hình Wordline và Bitline](#_Toc67342516)** [11](#_Toc67342516)

**[Hình 3.1. 2 SRAM Cell](#_Toc67342517)** [12](#_Toc67342517)

**[Hình 3.2. 1 Quá trình đọc SRAM](file:///C:\\Users\\vovan\\OneDrive\\Máy%20tính\\BAOCAOVLSI2.docx" \l "_Toc67342681)** [13](file:///C:\\Users\\vovan\\OneDrive\\Máy%20tính\\BAOCAOVLSI2.docx" \l "_Toc67342681)

**[Hình 3.3.1 Quá trình ghi SRAM](file:///C:\\Users\\vovan\\OneDrive\\Máy%20tính\\BAOCAOVLSI2.docx" \l "_Toc67342682)** [14](file:///C:\\Users\\vovan\\OneDrive\\Máy%20tính\\BAOCAOVLSI2.docx" \l "_Toc67342682)

**[Hình 4.1.1 Sơ đồ nguyên lý SRAM](#_Toc67342828)** [15](#_Toc67342828)

**[Hình 4.1.2 Dạng sóng ngõ ra](#_Toc67342829)** [16](#_Toc67342829)

**[Hình 4.1.3 Dạng sóng ngõ ra công suất](#_Toc67342830)** [17](#_Toc67342830)

**[Hình 4.1.4 Công suất trung bình](#_Toc67342831)** [17](#_Toc67342831)

**[Hình 4.2.1 Sơ đồ nguyên lý SRAM](#_Toc67342926)** [18](#_Toc67342926)

**[Hình 4.2.2 Dạng sóng ngõ ra](#_Toc67342927)** [19](#_Toc67342927)

**[Hình 4.2.3 Dạng sóng ngõ ra](#_Toc67342928)** [19](#_Toc67342928)

**[Hình 4.2.4 Dạng sóng ngõ ra công suất](#_Toc67342929)** [20](#_Toc67342929)

**[Hình 4.2.5 Công suất trung bình](#_Toc67342930)** [21](#_Toc67342930)

# 

# **DANH MỤC TỪ VIẾT TẮT**

**RAM** Random Access Memory.

**SDRAM** Synchronous dynamic random-access memory.

**DDR** Double Data Rate.

**DDR** SDRAM Double Data Rate Synchronous dynamic random-access memory.

**DDR2** Double Data Rate 2.

**DDR3** Double Data Rate 3.

**RDRAM** Rambus Dynamic RAM.

**RIMM** Rambus Inline Memory Module.

**LPDDR** Low Power Double Data Rate SDRAM.

**SRAM** Static random-access memory.

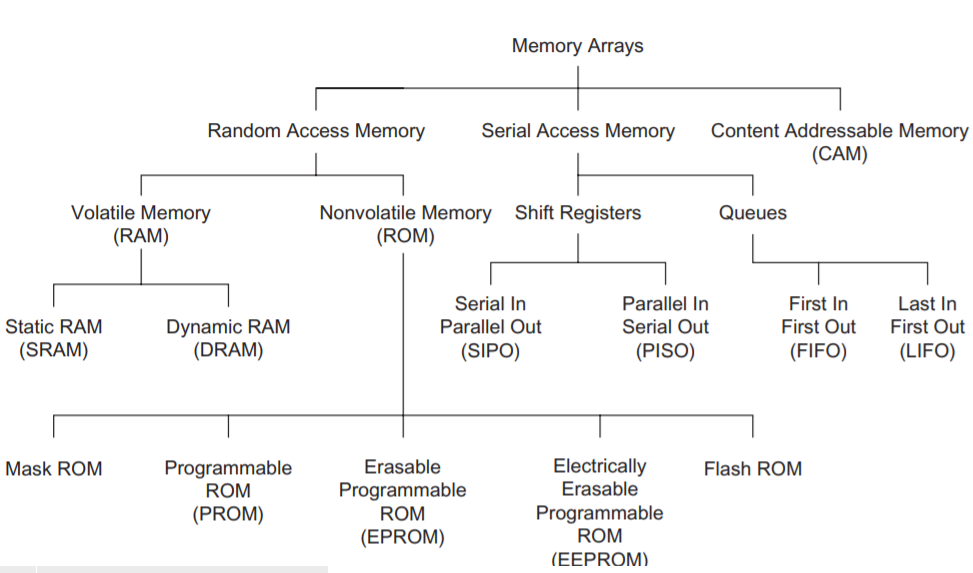
**ZBT** Zero bus turnaround.

# **Chương 1:**

# **GIỚI THIỆU**

**1. GIỚI THIỆU TỔNG QUANG**

Ngày nay, với sự phát triển nhanh và mạnh của ngành công nghệ vi mạch số CMOS đã tạo ra hàng triệu mạch tích hợp đáp ứng được nhu cầu hiện đại của con người. Công nghệ CMOS chế tạo vi điều khiển, vi xử lý, SRAM và các cổng logic khác. Một con chip với kích cỡ rất nhỏ (vài nm) vẫn có thể hoạt động với một tốc độ kinh hoàng và xử lý được nhiều tác vụ cùng một lúc. Trong hệ thống chịp, các bộ nhớ chiếm đa số các bóng bán dẫn transistor. Hiện nay, với công nghệ 5nm số bóng bán dẫn đã lên đến 30 tỷ bóng. Từ đó, chúng ta có thể thấy được tầm quan trọng của bộ nhớ trong hệ thống chip và ứng dụng của nó.



**Hình 1. 1 Phân loại bộ nhớ trong hệ thống chip[1]**

Dựa vào hình 1 chúng ta thấy bộ nhớ có thể được chia ra làm 3 loại chính:

* Random Access Memory(RAM): là một loại bộ nhớ khả biến cho phép truy xuất đọc-ghi ngẫu nhiên đến bất kỳ vị trí nào trong bộ nhớ dựa theo địa chỉ bộ nhớ.
* Serial Access Memory(SAM): là một loại bộ nhớ cho phép truy cập tuần tự và không cần địa chị.
* Content Addressable Memory(CAM): là một loại bộ nhớ xác định các địa chỉ nào sẽ chứa dữ liệu phù hợp với khóa cụ thể.

RAM thường được phân loại là bộ nhớ chỉ đọc (ROM) hoặc bộ nhớ đọc / ghi (gọi một cách khác là RAM). Trong đó , RAM được phân ra làm 2 loại đó là: SRAM và DRAM. SRAM hoạt động nhanh hơn và ít lỗi hơn DRAM, tuy nhiên mỗi bit của nó chiếm diện tích lớn hơn DRAM. Đồng thời, SRAM là bộ nhớ được sử dụng rộng rãi nhất trong hệ thống chip ngày nay.

Qua việc phân tích SRAM và DRAM, nhóm chúng em chọn SRAM để làm đề tài nghiên cứu và tìm hiểu. Trong quá trình hoàn thành project, tuy chúng em đã cố gắng hoàn thiện nhưng vẫn không tránh khỏi sai sót. Mong thầy và các bạn góp ý để nhóm chúng em hoàn thiện hơn.

1. **BỐ CỤC**

Chương 1:

Giới thiệu sơ lược về bộ nhớ.

Chương 2:

Cơ sở lý thuyết về SRAM.

Chương 3:

Sơ đồ nguyên lý SRAM.

Chương 4:

Đánh giá qua phần mềm CentOS.

Chương 5:

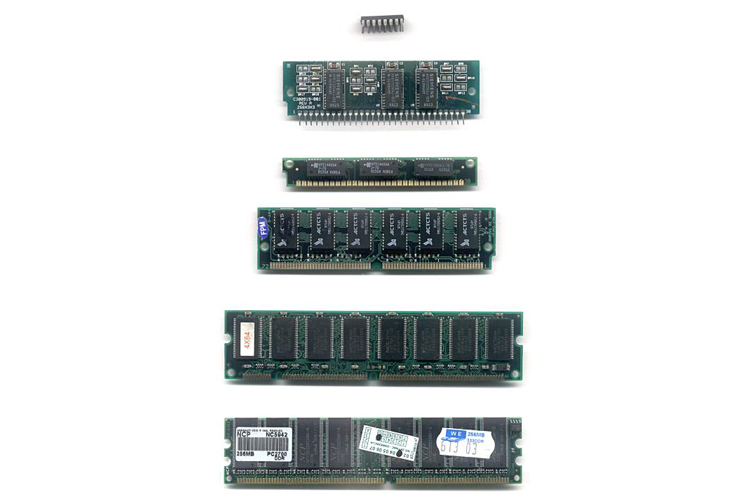
Kết luận.

# **Chương 2:**

# **CƠ SỞ LÝ THUYẾT**

* 1. **TỔNG QUAN VỀ BỘ NHỚ RAM**

**2.1.1 Thế nào là bộ nhớ RAM**

****

**Hình 2.1.1 Một bộ nhớ RAM thực tế[2]**

RAM là một loại bộ nhớ khả biến cho phép truy xuất đọc-ghi ngẫu nhiên đến bất kỳ vị trí nào trong bộ nhớ dựa theo địa chỉ bộ nhớ. Thông tin lưu trên RAM chỉ là tạm thời, chúng sẽ mất đi khi mất nguồn điện cung cấp[3].

RAM là bộ nhớ chính của máy tính và các hệ thống điều khiển, để lưu trữ các thông tin thay đổi đang sử dụng. Các hệ thống điều khiển còn sử dụng SRAM như làm một thiết bị lưu trữ thứ cấp (secondary storage). Khi cần thiết thì bố trí một pin nhỏ làm nguồn điện phụ để duy trì dữ liệu trong RAM. RAM có một đặc tính là thời gian thực hiện thao tác đọc hoặc ghi đối với mỗi ô nhớ là như nhau, cho dù đang ở bất kỳ vị trí nào trong bộ nhớ. Mỗi ô nhớ của RAM đều có một địa chỉ. Thông thường, mỗi ô nhớ là một byte (8 bit), tuy nhiên hệ thống lại có thể đọc ra hay ghi vào nhiều byte (2, 4, 8 byte) một lúc.

RAM khác biệt với các thiết bị bộ nhớ tuần tự (sequential memory device) chẳng hạn như các băng từ, CD-RW, DVD-RW, ổ đĩa cứng, trong đó bắt buộc phải tìm đến sector và đọc/ghi cả khối dữ liệu ở đó để truy xuất. RAM là thuật ngữ phân biệt tương đối theo ý nghĩa sử dụng, vớicác chip nhớ truy xuất ngẫu nhiên là EEPROM (read-only memory) cấm hoặc hạn chế chiều ghi, và bộ nhớ flash được phép đọc/ghi[4].

**2.1.2 Lịch sử phát triển của RAM**

Chip RAM có mặt trên thị trường vào cuối những năm 1960, với sản phẩm DRAM là Intel 1103 công bố vào tháng 10 năm 1970[5]. Những chiếc laptop thế hệ đầu được sản xuất vào cuối những năm thập niên 90 được tích hợp bên trong chúng là SDRAM với tốc độ khá chậm và bộ nhớ rất ít. Hiện nay khó có thể còn được gặp loại RAM này nữa. Để cải thiện vấn đề tốc độ cũng như bộ nhớ của SDRAM, người ta bắt đầu nghiên cứu và sản xuất thế hệ RAM tiếp theo vào đầu những năm 2000 với tên gọi mới là DDR, đây cũng là nền móng cho các loại RAM hiện đại sau này. Tuy vậy tốc độ của RAM thế hệ này vẫn còn là rất chậm. Được sử dụng rộng rãi trên các Laptop từ đầu những năm 2000 đến cuối 2004, DDR SDRAM, thường được giới chuyên môn gọi tắt là "DDR". DDR SDRAM là cải tiến của bộ nhớ SDR với tốc độ truyền tải gấp đôi SDR nhờ vào việc truyền tải hai lần trong một chu kỳ bộ nhớ.

Vào những năm tiếp theo, với sự xuất hiện của các thế hệ máy tính mới hơn, đi kèm với các hệ điều hành có giao diện thân thiện hơn với người dùng, một trong số đó là Windows XP ra đời vào năm 2003. Với sự xuất hiện của các giao diện "nhiều màu sắc" và "mượt" hơn so với thế hệ trước do đó RAM cũng đòi hỏi nhanh hơn và có bộ nhớ lớn hơn. DDR dường như đã quá sức sau khoảng vài năm phục vụ, vì thế người ta nghĩ đến việc thay thế nó bằng thế hệ tiếp theo DDR2 có tốc độ nhanh hơn và bộ nhớ lớn hơn khá nhiều, đồng thời cũng tiết kiệm năng lượng hơn so với DDR. Hiện tại còn có thể tìm thấy DDR2 với bộ nhớ đến 4GB. RAM DDR2 được sử dụng khá nhiều, chúng xuất hiện trên các dòng Laptop sản xuất từ cuối năm 2003 đến cuối năm 2009.

Vào năm 2007 cùng với sự ra đời của thế hệ HĐH mới như Windows Vista, Mac OS X Leopard, người ta bắt đầu sản xuất thế hệ RAM tiếp theo của DDR2 là DDR3 với tốc độ rất nhanh và bộ nhớ lớn đồng thời tiết kiệm năng lượng hơn 30% so với thế hệ DDR2. Đây cũng là loại RAM được sử dụng rộng rãi, phổ biến trên Laptop hiện nay với bộ nhớ lớn lên đến 16GB/thanh. Tuy xuất hiện sớm nhưng mãi đến cuối năm 2009 thì DDR3 mới bắt đầu xuất hiện rộng rãi trên Laptop. Bên cạnh sự xuất hiện của DDR3 người ta còn thấy DDR3L. Đây là kết quả hợp tác của Kingston và Intel trong việc phát triển dòng bộ nhớ tiết kiệm điện năng. Chữ L ở đây có nghĩa là Low ám chỉ đây là loại RAM DDR3 nhưng sử dụng ít năng lượng hơn. Loại RAM này thường được sản xuất cho các thiết bị cụ thể vì chúng sử dụng điện thế 1,35V thay vì 1,5V như các loại RAM thông thường. Đây là loại RAM đặc biệt được thiết kế cho các hệ thống máy chủ, các trung tâm dữ liệu và trên một số dòng Laptop cao cấp nhằm tăng thời gian sử dụng pin.

Khi RAM DDR3 vừa tròn 8 năm tuổi đời thì DDR4 cũng được ra mắt. Những thay đổi đáng chú ý nhất của DDR4 so với người tiền nhiệm DDR3 gồm: gia tăng số tuỳ chọn xung nhịp (clock) và chu kỳ (timing), giảm điện năng tiêu thụ (power saving) và giảm độ trễ (latency). Hiện tại, DDR3 đang được giới hạn chủ yếu ở 4 mức xung nhịp 1333, 1600 và 1866 MHz. Mức 2133 MHz đang là mức giới hạn xung nhịp về lý thuyết cho DDR3, trong khi các mức 800 MHz và 1066 MHz giờ đã không còn được tiếp tục sản xuất. Tháng 11 năm 2018, SK Hynix đã trình làng module DDR5 16GB đầu tiên trên thế giới, hứa hẹn về sự xuất hiện của loại DRAM đang trong quá trình nghiên cứu này.

### **2.1.3 Đặc trưng và phân loại**

Bộ nhớ RAM có 4 đặc trưng sau:

* Dung lượng bộ nhớ: Tổng số byte của bộ nhớ (nếu tính theo byte) hoặc là tổng số bit trong bộ nhớ nếu tính theo bit.
* Tổ chức bộ nhớ: Số ô nhớ và số bit cho mỗi ô nhớ.
* Thời gian thâm nhập: Thời gian từ lúc đưa ra địa chỉ của ô nhớ đến lúc đọc được nội dung của ô nhớ đó.
* Chu kỳ bộ nhớ: Thời gian giữa hai lần liên tiếp thâm nhập bộ nhớ.

Tùy theo công nghệ chế tạo,RAM được chia làm hai loại:

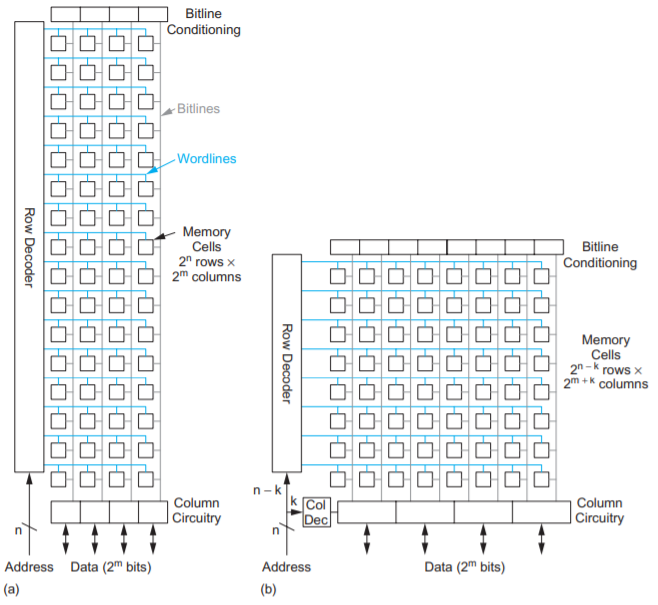
* RAM tĩnh (SRAM) được chế tạo theo công nghệ ECL (dùng trong CMOS và BiCMOS). Mỗi bit nhớ gồm có các cổng logic với 6 transistor MOS. SRAM là bộ nhớ nhanh, việc đọc không làm hủy nội dung của ô nhớ và thời gian thâm nhập bằng chu kỳ của bộ nhớ. Nhưng SRAM là một nơi lưu trữ các tập tin của CMOS dùng cho việc khởi động máy.
* RAM động (DRAM) dùng kỹ thuật MOS. Mỗi bit nhớ gồm một transistor và một tụ điện. Việc ghi nhớ dữ liệu dựa vào việc duy trì điện tích nạp vào tụ điện và như vậy việc đọc một bit nhớ làm nội dung bit này bị hủy. Do vậy sau mỗi lần đọc một ô nhớ, bộ phận điều khiển bộ nhớ phải viết lại nội dung ô nhớ đó. Chu kỳ bộ nhớ cũng theo đó mà ít nhất là gấp đôi thời gian thâm nhập ô nhớ. Việc lưu giữ thông tin trong bit nhớ chỉ là tạm thời vì tụ điện sẽ phóng hết điện tích đã nạp và như vậy phải làm tươi bộ nhớ sau khoảng thời gian 2μs. Việc làm tươi được thực hiện với tất cả các ô nhớ trong bộ nhớ. Công việc này được thực hiện tự động bởi một vi mạch bộ nhớ. Bộ nhớ DRAM chậm nhưng rẻ tiền hơn SRAM.

Các loại DRAM:

* SDRAM được gọi là DRAM đồng bộ. SDRAM gồm 3 phân loại: SDR, DDR, DDR2,DDR3 và DDR4.
* SDR SDRAM thường được gọi tắt là "SDR". Có 168 chân. Được dùng trong các máy vi tính cũ, bus speed chạy cùng vận tốc với clock speed của memory chip.
* DDR SDRAM thường được gọi tắt là "DDR". Có 184 chân. DDR SDRAM là cải tiến của bộ nhớ SDR với tốc độ truyền tải gấp đôi SDR nhờ vào việc truyền tải hai lần trong một chu kỳ bộ nhớ.
* DDR2 SDRAM (Double Data Rate 2 SDRAM), Thường được gọi tắt là "DDR2". Là thế hệ thứ hai của DDR với 240 chân, lợi thế lớn nhất của nó so với DDR là có bus speed cao gấp đôi clock speed.
* DDR3 SDRAM có tốc độ bus 800/1066/1333/1600 Mhz, số bit dữ liệu là 64, điện thế là 1.5v, tổng số pin là 240.
* RDRAM thường được gọi tắt là "Rambus". Đây là một loại DRAM được thiết kế kỹ thuật hoàn toàn mới so với kỹ thuật SDRAM. RDRAM hoạt động đồng bộ theo một hệ thống lặp và truyền dữ liệu theo một hướng. Một kênh bộ nhớ RDRAM có thể hỗ trợ đến 32 chip DRAM. Mỗi chip được ghép nối tuần tự trên một module gọi là RIMM nhưng việc truyền dữ liệu được thực hiện giữa các mạch điều khiển và từng chip riêng biệt chứ không truyền giữa các chip với nhau. Bus bộ nhớ RDRAM là đường dẫn liên tục đi qua các chip và module trên bus, mỗi module có các chân vào và ra trên các đầu đối diện. Do đó, nếu các khe cắm không chứa RIMM sẽ phải gắn một module liên tục để đảm bảo đường truyền được nối liền. Tốc độ Rambus đạt từ 400-800 MHz. Rambus tuy không nhanh hơn nhiều so với SDRAM nhưng lại đắt hơn rất nhiều nên có rất ít người dùng. RDRAM phải cắm thành cặp và ở những khe trống phải cắm những thanh RAM giả (còn gọi là C-RIMM) cho đủ.
* LPDDR là loại DRAM có điện năng thấp. Được đóng gói dưới dạng BGA (chân bi), loại DRAM này thường được sử dụng trên các loại điện thoại thông minh, máy tính bảng, laptop siêu mỏng….

## **2.2 SRAM**

### **2.2.1 Định nghĩa**

****

**Hình 2.2. 1 Cấu trúc bộ nhớ SRAM[1]**

SRAM là một loại bộ nhớ truy cập ngẫu nhiên (RAM) sử dụng mạch chốt (flip-flop) để lưu trữ từng bit. SRAM là bộ nhớ dễ bay hơi ; dữ liệu bị mất khi ngắt nguồn.

SRAM lưu giữ các bit dữ liệu trong bộ nhớ miễn là nguồn điện được cung cấp đầy đủ. Không giống như DRAM, lưu bit dữ liệu trong các pin chứa tụ điện và bóng bán dẫn, SRAM không cần phải làm tươi theo định kỳ.

SRAM chỉ chứa bóng bán dẫn và biến tần, dữ liệu được đưa vào SRAM với sự trợ giúp của bitline và được chuyển tiếp bởi wordline. Biến tần được sử dụng để tạo feedback, dùng làm đầu vào cho các bóng bán dẫn, nhờ đó SRAM không cần phải làm mới hàng nghìn lần trong một chu kỳ như DRAM. Nhưng trong một bit bộ nhớ có 6 bóng bán dẫn của SRAM khiến cho nó khá cồng kềnh và đòi hỏi nhiều không gian hơn DRAM (1 bit bộ nhớ chỉ có 1 bóng bán dẫn của DRAM). Điện năng mà SRAM cần cũng nhiều hơn DRAM vì nó cần vận hành 6 bóng bán dẫn (thay vì 1 bóng như DRAM).

SRAM nhanh hơn và đắt hơn DRAM, nó thường được sử dụng bên trong CPU. Do tốc độ cao, SRAM cũng được sử dụng như bộ nhớ cache và bộ nhớ chính trong các máy chủ để có hiệu năng tốt nhất.

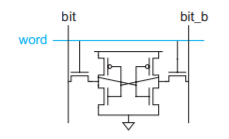
### **2.2.2 Ưu điểm của SRAM so với DRAM**

* Tốc độ: SRAM là bộ nhớ trên chip có thời gian truy cập nhỏ. Trong khi DRAM là bộ nhớ ngoài chip có thời gian truy cập lớn. Vì vậy, SRAM nhanh hơn DRAM.
* Giá cả: SRAM là đắt tiền hơn DRAM. Vì DRAM có sẵn trong dung lượng lưu trữ lớn hơn trong khi SRAM có kích thước nhỏ hơn.
* Chức năng: Bộ nhớ cache là một ứng dụng của SRAM. Ngược lại, DRAM được sử dụng trong bộ nhớ chính.
* Độ phổ biến: DRAM được sử dụng rất phổ biến. Còn SRAM là hiếm hơn.
* Thiết kế: Thiết kế SRAM rất phức tạp do sử dụng sáu bóng bán dẫn. Ngược lại, DRAM rất đơn giản khi chỉ cần một bóng bán dẫn cho một khối bộ nhớ.
* Tính chất: DRAM là Ram động, SRAM là Ram tĩnh.
* Tiêu thụ điện năng: Tiêu thụ điện năng cao hơn trong DRAM so với SRAM. Do DRAM cần được làm mới thường xuyên trong vài mili giây để giữ lại các khoản phí.

### **2.2.3 Phân loại SRAM**

* SRAM không bay hơi (nvSRAM) có chức năng SRAM tiêu chuẩn, nhưng chúng lưu dữ liệu khi mất nguồn điện, đảm bảo lưu giữ thông tin quan trọng. nvSRAM được sử dụng trong nhiều trường hợp như mạng, hàng không vũ trụ và y tế, trong số nhiều trường hợp khác[6].
* PSRAM (RAM Pseudostatic) có lõi lưu trữ DRAM, kết hợp với mạch tự làm mới[7]. Chúng xuất hiện bên ngoài như một SRAM chậm hơn. Chúng có lợi thế về mật độ / chi phí so với SRAM Pseudostatic không có sự phức tạp về truy cập như DRAM.
* Theo loại bóng bán dẫn:
* Bóng bán dẫn mối nối lưỡng cực (được sử dụng trong TTL và ECL ) rất nhanh nhưng tiêu thụ điện năng cao.
* MOSFET (được sử dụng trong CMOS ) công suất thấp và rất phổ biến hiện nay.
* Theo kiểu flip-flop: SRAM nhị phân và SRAM bậc ba
* Theo tính năng:
* ZBT là số chu kỳ đồng hồ cần để thay đổi quyền truy cập vào SRAM từ ghi sang đọc và ngược lại. Vòng quay cho ZBT SRAM hoặc độ trễ giữa chu kỳ đọc và ghi là 0.
* SyncBurst (syncBurst SRAM hoặc đồng bộ SRAM) có tính năng truy cập ghi liên tục đồng bộ vào SRAM để tăng hoạt động ghi vào SRAM.
* DDR SRAM Đồng bộ, một cổng đọc và ghi, tốc độ dữ liệu gấp đôi I / O
* Tốc độ dữ liệu bốn SRAM Cổng đọc và ghi đồng bộ, riêng biệt, tốc độ dữ liệu gấp bốn lần I / O.
* Theo chức năng:
* Không đồng bộ là không phụ thuộc vào tần số đồng hồ; dữ liệu vào và dữ liệu ra được kiểm soát bởi quá trình chuyển đổi địa chỉ. Ví dụ bao gồm các chip 28-pin 8K×8 và 32K×8 phổ biến, cũng như các sản phẩm tương tự lên đến 16 Mbit cho mỗi chip.
* Đồng bộ là tất cả các định thời được khởi tạo bởi các cạnh của đồng hồ. Địa chỉ, dữ liệu trong và các tín hiệu điều khiển khác được kết hợp với các tín hiệu đồng hồ.

### **2.2.4 SRAM cells**

****

**Hình 2.2.4. 1 SRAM 6 Transistors[10]**

Một ô SRAM cần có khả năng đọc, ghi dữ liệu và giữ dữ liệu. Một chiếc flip-flop thông thường có thể đáp ứng yêu cầu này, nhưng kích thước là khá lớn. Hình 3 cho thấy một tế bào SRAM 6 transistor (6T) SRAMcell có thể có kích thước nhỏ hơn rất nhiều so với độ lớn của một flip flop. Các 6T cell đạt được độ nhỏ gọn của nó ở chi phí của mạch ngoại vi phức tạp hơn để đọc và ghi dữ liệu trong các tế bào. Đây là một sự cân bằng tốt trong các mảng RAM lớn nơi các ô nhớ chiếm ưu thế trong khu vực. Kích thước các cell nhỏ cũng làm cho dây dẫn ngắn hơn và do đó nó cũng tiêu thụ điện năng thấp hơn.

Ô SRAM 6T chứa một cặp biến tần ghép nối chéo để giữ trạng thái và một transistor truy cập để đọc hoặc ghi trạng thái. Các phản hồi tích cực giảm thiểu các vấn đề bỡi rò và nhiễu gây ra. Ô được ghi bằng cách điều khiển giá trị mong muốn và phần bổ sung nó vào các bitline, bit và bit\_b, sau đó nâng wordline,word. Các dữ liệu mới đảo các bộ biến tần ghép chéo. Nó được đọc bằng cách nạp trước hai dòng bit cao, sau đó cho phép chúng nổi. Khi từ được nâng lên, bit hoặc bit\_b kéo xuống, cho biết giá trị dữ liệu. Những thách thức chính trong thiết kế SRAM là giảm thiểu kích thước của nó và đảm bảo rằng mạch giữ trạng thái đủ yếu để bị điều khiển trong quá trình ghi, nhưng đủ mạnh để không bị xáo trộn trong quá trình đọc.

# **Chương 3:**

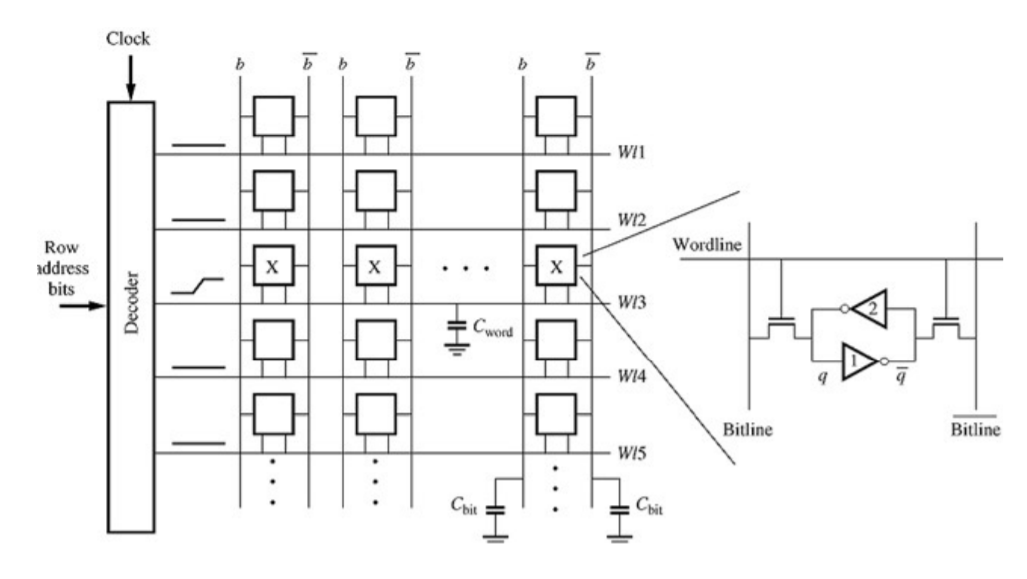
# **SƠ ĐỒ NGUYÊN LÝ**

## **3.1 KHÁI QUÁT SRAM**

SRAM dùng tế bào ô nhớ (cell) chứa 6 transitor, và các đường bitlines, wordline. Cấu hình WordLine và Bitline:

*Cword=(2\*gate cap+wire cap) \* # of cells in row.*

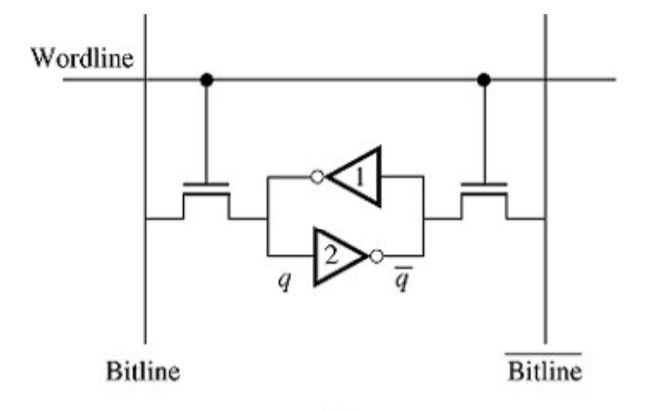
*Cbit = (source/drain cap+wire cap+contact cap) \* # of cells in column.*



**Hình 3.1. 1 Cấu hình Wordline và Bitline[10]**

Một ô nhớ SRAM cần có khả năng đọc, ghi và nhớ dữ liệu khi có nguồn cung cấp. Một Flip-Flop có thể thực hiện được yêu cầu này, nhưng kích thước khá lớn. Do đó, SRAM được thiết kế như hình bên dưới giúp giảm kích thước đi rất nhiều và đạt được sự nhỏ gọn cho cả các mạch phức tập hơn. Kích thước tế bào nhỏ cũng cung cấp dây ngắn hơn và do đó tiết kiện được công suất tiêu thụ.

6T SRAM cell có hai cổng inventers bắt chéo nhau giúp giữ trạng thái và hai transistor cho việc đọc và ghi trạng thái. Tế bào được ghi bằng cách đưa giá trị mong muốn vào bitlines, *bit* và *bit\_b*, sau đó nâng workline lên mức cao, *word.* Dữ liệu mỡi sẽ được ghi vào và lưu trữ bằng hai cổng inventers. Ngược lại để đọc dữ liệu bằng cách nạp trước bitlines lên mức cao, sau đó cho chúng thả nổi. Khi *word* đươc nâng lên mức cao, thì *bit*và *bit\_b* xuống mức thấp.

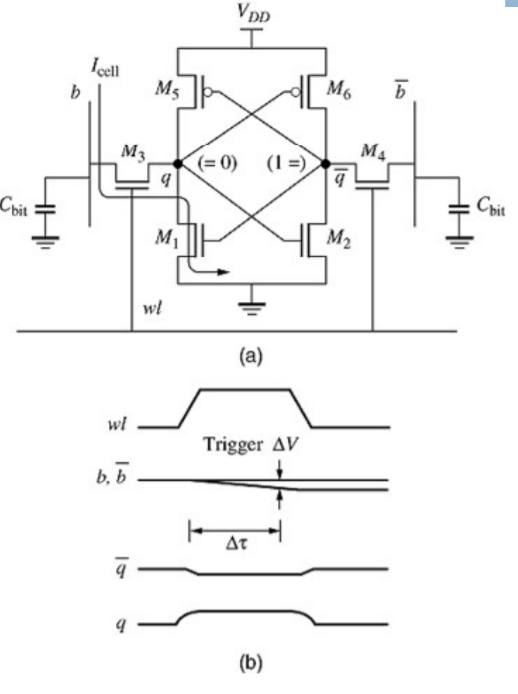


**Hình 3.1. 2 SRAM Cell[10]**

Hoạt động của SRAM được chia thành hai pha. Các pha sẽ được gọi là K1 và K2, nhưng thực tế có thể được tạo ra từ clk và phần bổ sung của clkb. Giả sử rằng trong pha 2, SRAM được nạp trước. Trong giai đoạn 1, SRAM thực hiện đọc hoặc ghi.

## **3.2 QUÁ TRÌNH ĐỌC SRAM**

Hình 3.3 thể hiện tế bào SRAM được đọc dữ liệu. Giả sử q được khởi tạo ở mức 0, do đó ở mức 1, M6 và M1 sẽ dẫn. Các Bitline được nạp ở mức cao. Cả và *b* được duy trì ở mức 1. Khi wordline được nâng lên mức cao sẽ kích cho M3 và M4 dẫn, lúc này do có sự chênh lệch về áp nên sẽ có dòng qua M3 và M1 như hình a. Đồng thời, q được giữ ở mức thấp bởi M1, nhưng được nâng lên do dòng chạy vào từ M3 nên điểm q có xu hướng tăng nhẹ. Do đó, áp ngưỡng trên M2 phải đủ lớn để dòng từ M3 không làm cho q tăng vượt ngưỡng M2 làm nó thay đổi giá trị. Do đó ta phải lập tỉ lệ sao cho W1/W3=1.5 để điểm q vẫn nằm dưới ngưỡng chuyển đổi. Những ràng buộc này giúp quá trình đọc một cách ổn định. Những thay đổi nhỏ của của q, giúp ta nhận dạng dữ liệu đang lưu trữ trong cell thông qua các mạch sensor. Các dạng sóng cho hoạt động đọc được thể hiện trong hình (b). Quan sát thấy q tăng trong giây lát, nhưng không làm thay đổi dữ liệu.



**Hình 3.2. 1 Quá trình đọc SRAM[10]**

## **3.3 Quá trình ghi SRAM**

Hình 3.4 cho thấy ô nhớ SRAM đang được ghi. Ta giả sử,q khởi tạo ban đầu là 0 và chúng ta muốn viết 1 vào ô nhớ. b được nạp trước ở mức cao và thả nổi. được kéo xuống thấp. Làm tương tự như quá trình đọc. Ta đưa wordline lên mức cao làm cho M6, M1 dẫn. Sự chênh lệch áp làm xuất hiện dòng qua M6, M4, đông thời làm xuống mức thấp và q lên mức cao. Để giá trị thay đổi không làm ảnh hưởng đến giá trị ghi thì M5 phải ở trạng thái ngưng dẫn. Do đó, áp ngưỡng trên M5 phải nhỏ đủ để xuống mức thấp mà không bị ảnh hưởng. Ta lấy tỉ lệ W4/W6=1.5. Kết quả sau quá trình này đúng với yêu cầu ghi 1 vào ô nhớ.Quan sát dạng sóng hình (b) ta dễ thấy được sự chuyển đổi giá trị của các điểm cũng như đường tín hiệu của quá trình ghi dữ liệu.

# 

# 

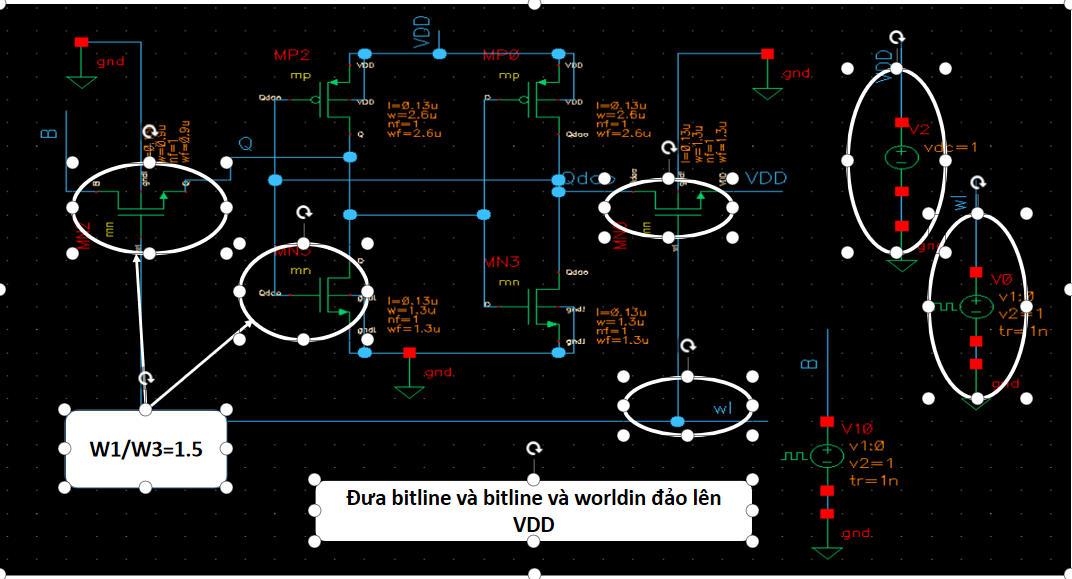
**Hình 3.2.3 Quá trình ghi SRAM**

# **Chương 4:**

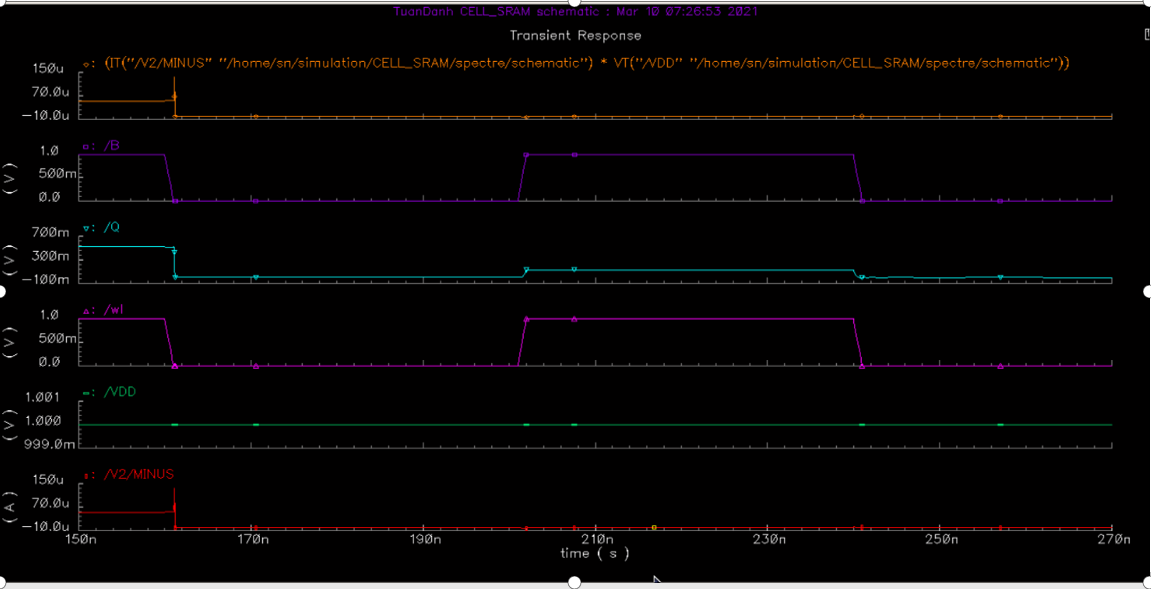
# **ĐÁNH GIÁ PHẦN MỀM**

## **4.1 QUÁ TRÌNH ĐỌC SRAM**

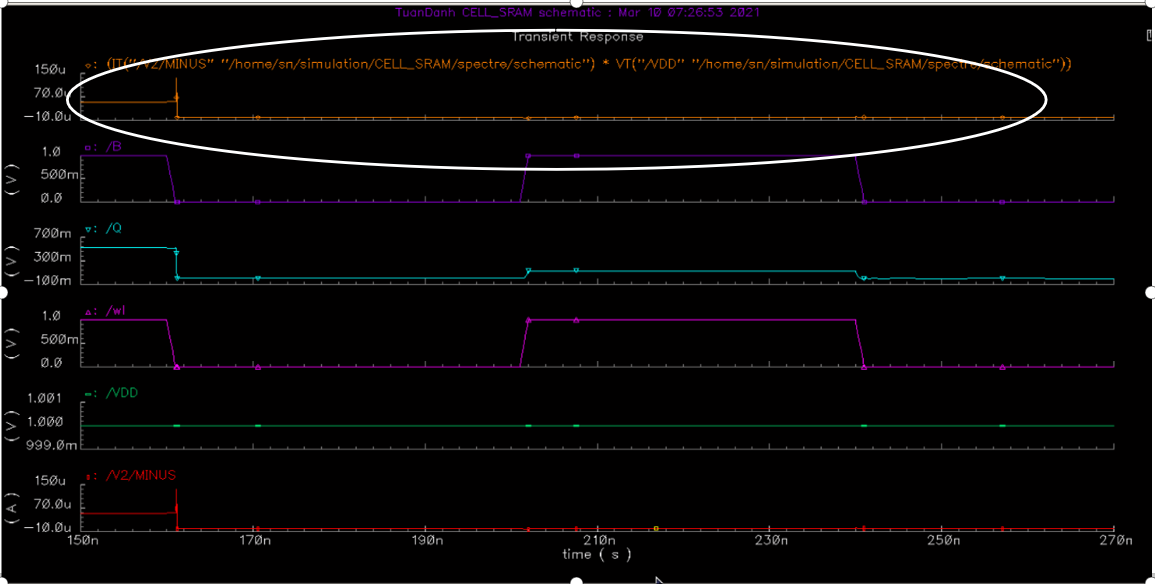
Hình 4.1.1 thể hiện các thành phần của 1 ô nhớ cell gồm: 2 transistor pMos và 4 transistor nMos (trong đó 2 transistor để làm cổng điều khiển).



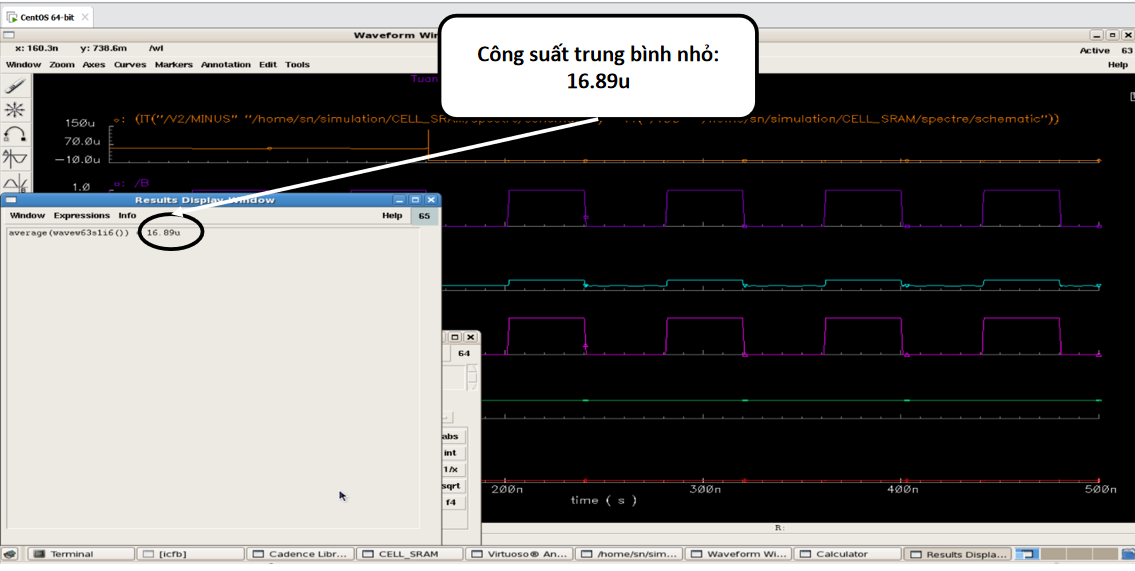
**Hình 4.1.1 Sơ đồ nguyên lý SRAM phần đọc.**

****

**Hình 4.1.2 Dạng sóng ngõ ra.**

****

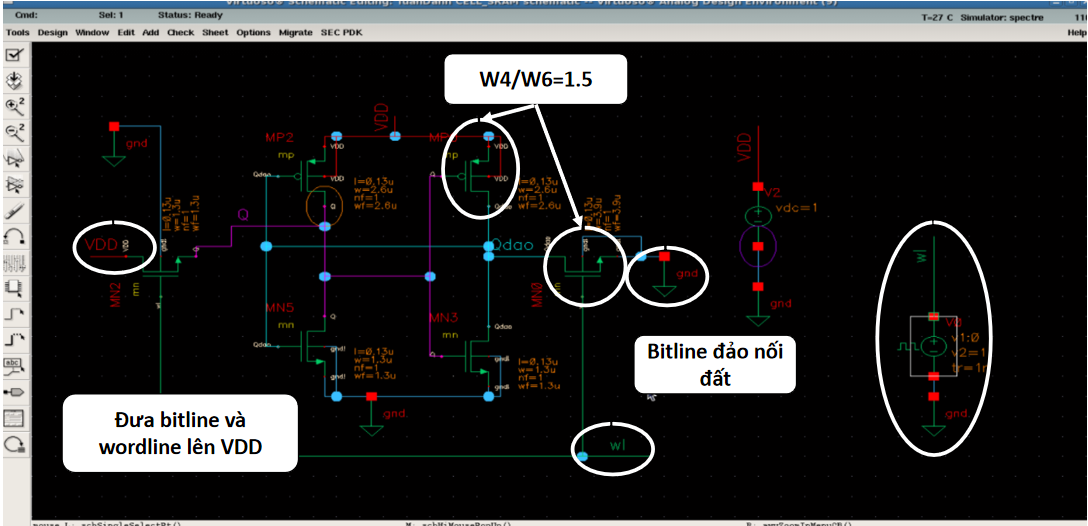
**Hình 4.1.3 Dạng sóng ngõ ra công suất tức thời**



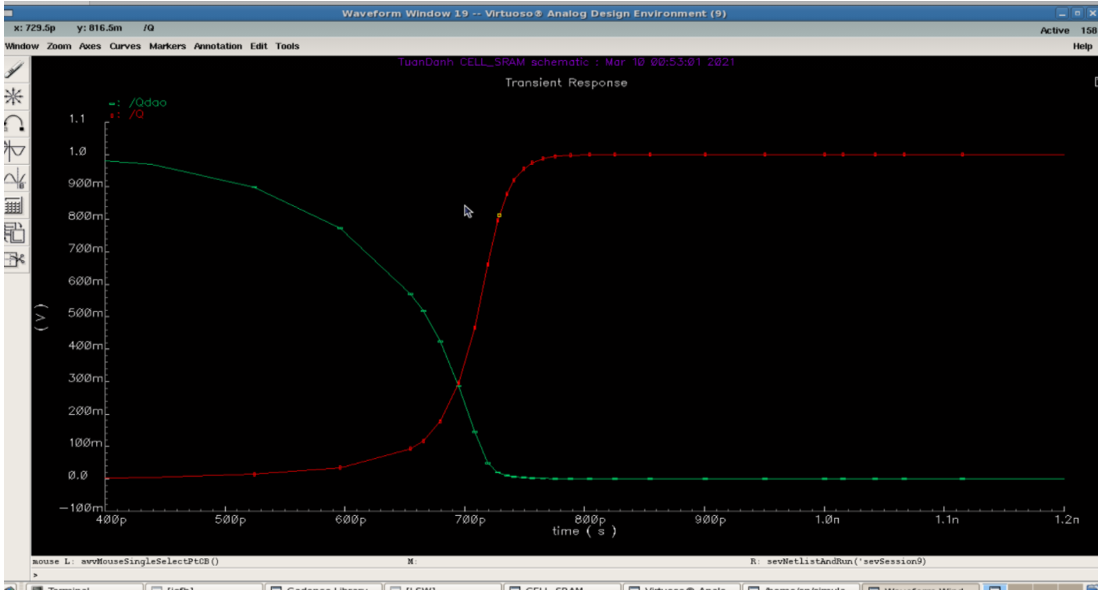
**Hình 4.1.4 Công suất trung bình**

## **4.2 QUÁ TRÌNH GHI SRAM**

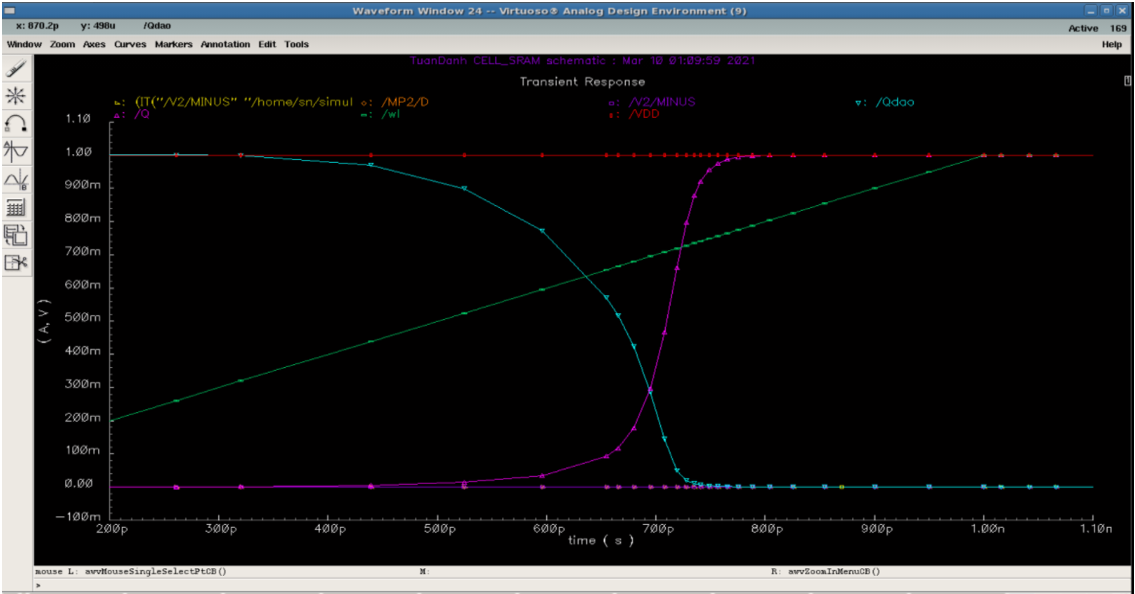
Quá trình ghi RAM cũng tương tự như quá trình đọc nhưng ở quá trình này ta cần đưa b (bitline) lên mức cao VDD và b\ (bitline đảo) xuống GND.



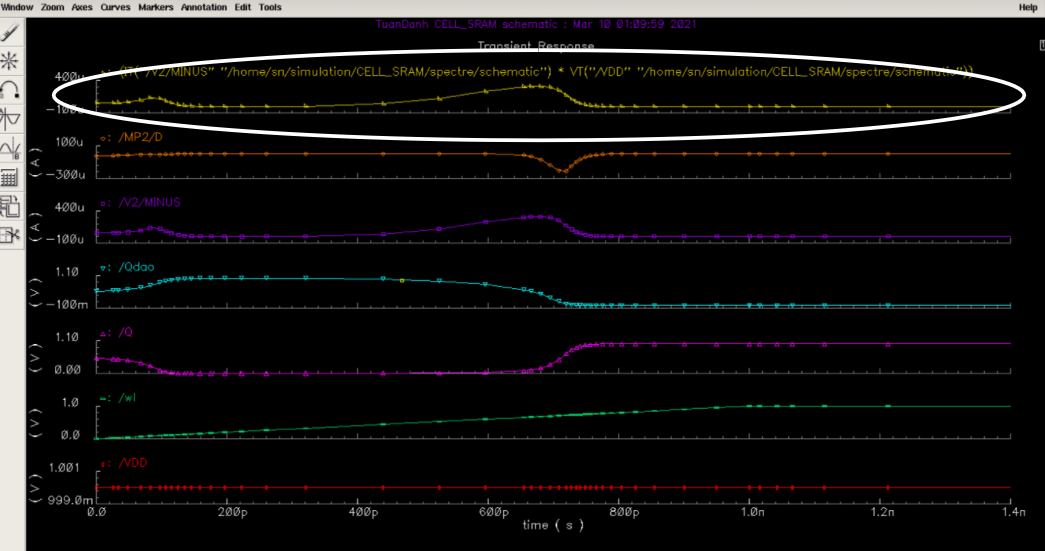
**Hình 4.2.1 Sơ đồ nguyên lý SRAM phần ghi.**

****

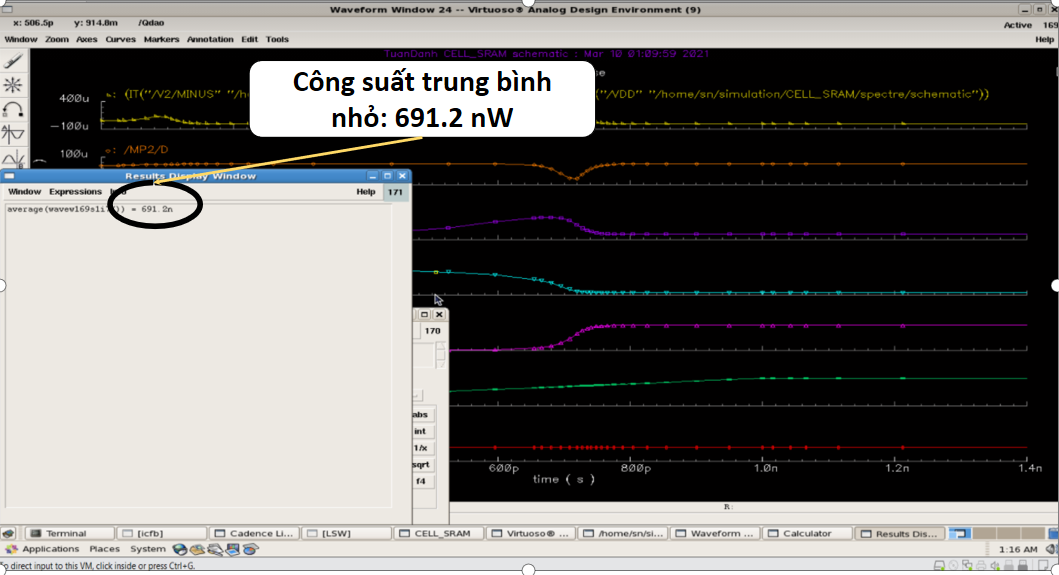
**Hình 4.2.2 Dạng sóng ngõ ra**

****

**Hình 4.2.3 Dạng sóng ngõ ra.**

****

**Hình 4.2.4 Dạng sóng ngõ ra công suất**

****

**Hình 4.2.5 Công suất trung bình**

# **Chương 5**

# **KẾT LUẬN**

Qua việc tìm hiểu lý thuyết cùng với việc mô phỏng, đánh giá bộ nhớ SRAM qua phần mềm CentOS, nhóm chúng em đã phần nào nêu được khái quát về khái niệm, cách hoạt động của bộ nhớ SRAM, cũng như quá trình mô phỏng cell của SRAM,. Song, đây chỉ là cuốn báo cáo đơn giản về SRAM, nhóm chúng em mong thầy đóng góp ý kiến để nhóm hoàn thiện hơn về bài báo cáo này.

**TÀI LIỆU THAM KHẢO**

1. Neil H.E Weste and David Money Harris. Chapter 12(Array Subsystems).*CMOS VLSI DESIGN*(p. 497).
2. https://fptshop.com.vn/tin-tuc/danh-gia/ram-la-gi-bo-nho-ram-dung-de-lam-gi-57115

[3] Erkins H. A., Schmidt J. D. “*An integrated semiconductor memory system”*. Fall Joint Computer Conference. AFIPS Proc., Vol. 27, (Nov. 1965) p. 1053-1064.

[4] “*RAM, ROM, and Flash Memory. For Dummies*, 2010”. Truy cập 17 Mar 2021.

[5] Bellis M. The Invention of the Intel 1103 – “*The World's First Available DRAM Chip”*. About.com Inventors. Truy cập 17 Mar 2021.

[6] Neil H.E Weste and David Money Harris. “*Chapter 12(Array Subsystems)”.CMOS VLSI DESIGN*(p. 499).

[7] “*Computer organization (4th ed.)”.* [S.l.]: McGraw-Hill. 1996-07-01. ISBN 978-0-07- 114323-3.

[8]"*3.0V Core Async/Page PSRAM Memory" (PDF).* Micron. Retrieved 2019-05-04.

[9] Neil H.E Weste and David Money Harris. Chapter 12(Array Subsystems).*CMOS VLSI DESIGN*(p. 499).

[10] <https://utexlms.hcmute.edu.vn/pluginfile.php/1367139/mod_resource/content/0/ch8_me> mory\_student.pdf