

**Министерство науки и высшего образования Российской Федерации**  
**Ульяновский государственный технический университет**

**Лабораторная работа № 5 по предмету**  
**«Алгоритмические и аппаратные средства обработки информации»**

**СИНТЕЗ КОМБИНАЦИОННОЙ ЛОГИЧЕСКОЙ СХЕМЫ ПО**  
**ТАБЛИЦЕ ИСТИННОСТИ НА ЯЗЫКЕ VHDL**  
**(Название лабораторной работы)**

**Учебная группа ИСТМД-11**

|                      | <b>ФИО</b>           | <b>Дата</b> | <b>Подпись</b> |
|----------------------|----------------------|-------------|----------------|
| <b>Студент</b>       | <b>Шаблыгин В.В.</b> |             |                |
| <b>Преподаватель</b> | <b>Сазонов С.Н.</b>  |             |                |

**Ульяновск, 2022**

## **ЦЕЛЬ РАБОТЫ:**

Согласно варианту, указанному преподавателем, реализовать схему на языке программирования VHDL по таблице истинности.

## **Задача:**

1. По заданной таблице истинности построить уравнение дизъюнктивно-нормальной формы;
2. Написать программный код на языке VHDL;
3. Построить комбинационную схему варианта реализации;
4. Построить диаграммы функционального моделирования схемы.

## **ОБОРУДОВАНИЕ И ПРИНАДЛЕЖНОСТИ:**

Quartus II.

## **ВЫПОЛНЕНИЕ РАБОТЫ**

Вариант № 8

Таблица истинности:

| <b>a(2)</b> | <b>a(1)</b> | <b>a(0)</b> | <b>Y</b> |
|-------------|-------------|-------------|----------|
| 0           | 0           | 0           | 1        |
| 0           | 0           | 1           | 0        |
| 0           | 1           | 0           | 1        |
| 0           | 1           | 1           | 1        |
| 1           | 0           | 0           | 0        |
| 1           | 0           | 1           | 0        |
| 1           | 1           | 0           | 1        |
| 1           | 1           | 1           | 0        |

### **1. Построение уравнения дизъюнктивно-нормальной формы.**

Для каждого набора переменных, при котором функция равна 0, записывается произведение, причём переменные, которые имеют значение 0, берутся с отрицанием.

Из таблицы истинности берем те строки, в которых значение функции равно 1:

| <b>a(2)</b> | <b>a(1)</b> | <b>a(0)</b> | <b>Y</b> |
|-------------|-------------|-------------|----------|
| 0           | 0           | 0           | 1        |
| 0           | 1           | 0           | 1        |
| 0           | 1           | 1           | 1        |
| 1           | 1           | 0           | 1        |

Для каждой строки запишем элементарные конъюнкции и объединим их знаками дизъюнкции. Над переменными равными 0, ставится знак отрицания:

$$Y = \overline{a(2)} \overline{a(1)} \overline{a(0)} + \overline{a(2)} a(1) \overline{a(0)} + \overline{a(2)} a(1) a(0) + a(2) a(1) \overline{a(0)}$$

После минимизации получаем выражение вида:

$$Y = \overline{a(2)} \overline{a(0)} + a(1) \overline{a(0)} + \overline{a(2)} a(1)$$

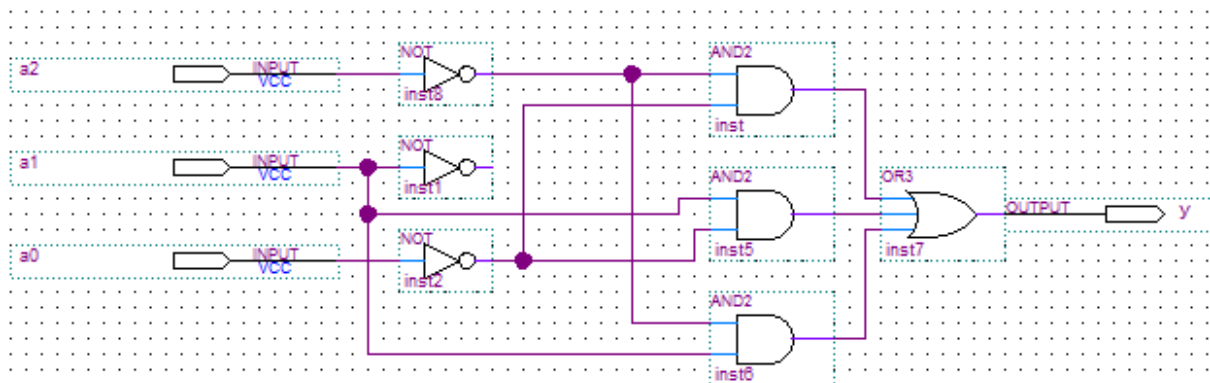
## 2. Код программы на языке VHDL.

```

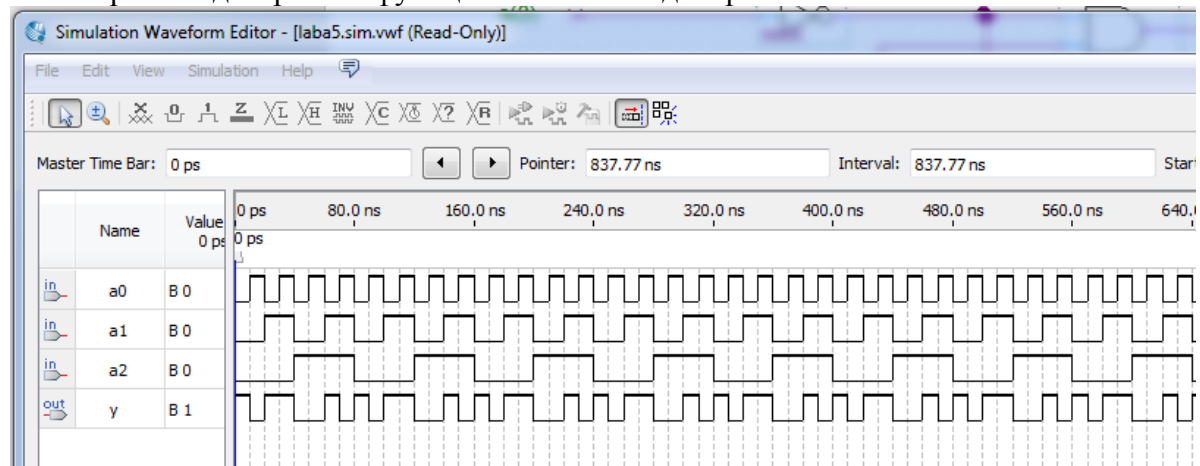
1  -- блок ссылок на нужные библиотеки и пакеты;
2  LIBRARY IEEE;
3  use IEEE.STD_LOGIC_1164.ALL;
4
5  --описание объекта entity
6  entity laba2 is
7  port(
8      a0, a1, a2 : in  std_logic;
9      y          : out std_logic
10 );
11 end laba2;
12
13 -- описание функции
14 architecture func of laba2 is
15 begin
16     y <= (((not a2) and (not a0)) or (a1 and (not a0)) or (not(a2) and a1 ));
17 end func;
18

```

## 3. Построение комбинационной схемы варианта реализации:



## 4. Построение диаграммы функционального моделирования схемы.



Вывод: в результате данной работы, было построено уравнение дизъюнктивно-нормальной формы, была написана программа на языке VHDL, построена схема устройства.