

**Министерство науки и высшего образования Российской Федерации**  
**Ульяновский государственный технический университет**

**Лабораторная работа № 6 по предмету**  
**«Алгоритмические и аппаратные средства обработки информации»**

**ПРОЕКТИРОВАНИЕ ОСНОВНЫХ ВЫЧИСЛИТЕЛЬНЫХ УЗЛОВ**  
**ЦИФРОВЫХ ФИЛЬТРОВ (ПОСЛЕДОВАТЕЛЬНЫЙ СУММАТОР)**  
**(Название лабораторной работы)**

**Учебная группа ИСТМД-11**

	<b>ФИО</b>	<b>Дата</b>	<b>Подпись</b>
<b>Студент</b>	<b>Шаблыгин В.В.</b>		
<b>Преподаватель</b>	<b>Сазонов С.Н.</b>		

**Ульяновск, 2022**

## ЦЕЛЬ РАБОТЫ:

Согласно варианту, указанному преподавателем, спроектировать вычислительный узел цифрового фильтра (последовательный сумматор).

## ОБОРУДОВАНИЕ И ПРИНАДЛЕЖНОСТИ:

Quartus II.

## Исходные данные:


Вариант 8.

Слагаемое 1 – 180;

Слагаемое 2 – 220.

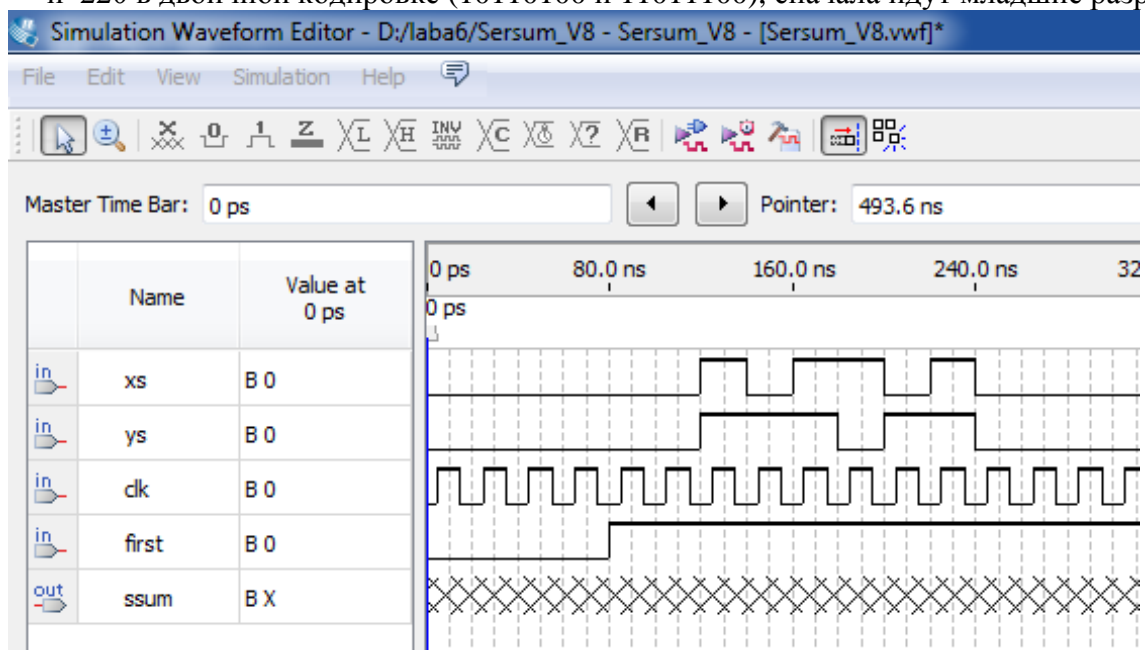
## ВЫПОЛНЕНИЕ РАБОТЫ

1. Создание программы сумматора на языке VHDL, в Quartus II:

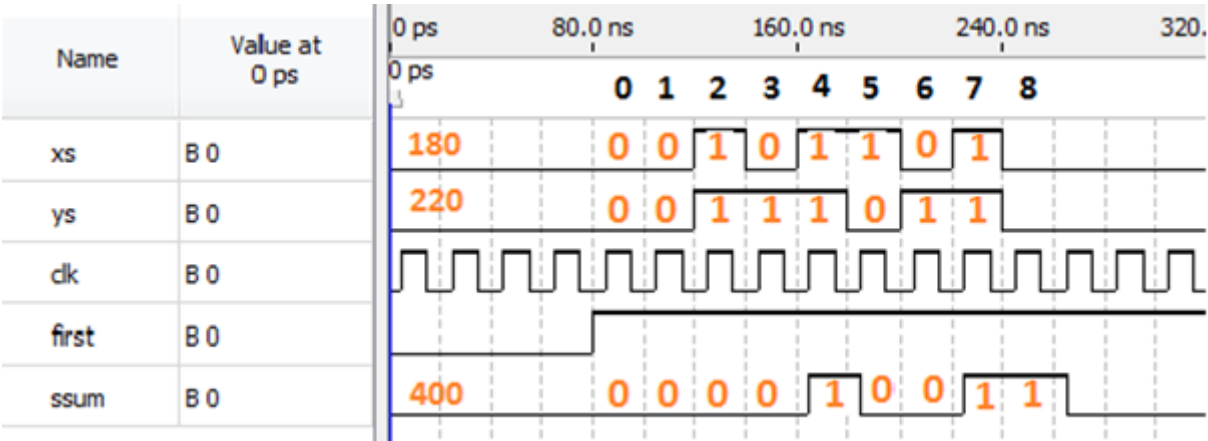


```
1  library ieee;
2  use ieee.std_logic_1164.all;
3  entity Sersum_V8 is
4  port (xs,ys,first,clk  : in std_logic;
5        ssum            : out std_logic);
6  end Sersum_V8;
7  architecture ss_arch of Sersum_V8 is
8  signal ci : std_logic := '0';
9  begin
10 process(clk) begin
11     if (rising_edge(clk)) then
12         if (first = '1') then
13             ssum <= xs xor ys xor ci;
14             ci <= (xs and ys) or (xs and ci) or (ys and ci);
15         end if;
16     end if;
17 end process;
18 end ss_arch;
```

2. Построение временной диаграммы. Сигналы XS и YS соответствуют значениям 180 и 220 в двоичной кодировке (10110100 и 11011100), сначала идут младшие разряды:



3. Результат симуляции:



**Вывод:** в данной работе был построен последовательный сумматор и смоделирована его работа.