5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

PCI Express®基本规范修订版5.0

版本1.0

2019年5月22日

Copyright © 2002-2019[PCI-SIG](https://www.pcisig.com/)®

PCI、PCI Express、PCIe和PCI-SIG是PCI-SIG的商标或注册商标。 所有其它产品名称均为其各自所有者的商标、注册商标或服务标志。

有关PCI-SIG成员资格的问题或获取本规范的最新版本，请联系PCI-SIG成员资格服务。有关此规范的技术问题，请联系PCI-SIG技术支持。

免责声明

PCI-SIG对使用本文档和其中包含的信息不承担任何保证和责任，对本文档中可能出现的任何错误不承担任何责任，PCI-SIG也不承诺更新其中包含的信息。

本PCI规范“按原样”提供，不提供任何形式的保证，包括任何适销性保证、非侵权保证、适用于任何特定用途的保证，或任何提案引起的

规格或样品。PCI-SIG不承担任何侵犯所有权的责任，

本规范中的信息不得以任何方式修改文档本身，包括删除

版权声明或引用P CI-SIG。不得以禁止反言或其他方式明示或暗示许可任何知识产权，

产权在此授予。PCI、PCI Express、PCIe和PCI-SIG是PCI-SIG的商标或注册商标。 所有其他产品名称均为其各自所有者的商标、注册商标或服务标志。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

目录

[1.](#bookmark2) [一、导言. 89](#bookmark3)

[1.1第三代I/O互连 89](#bookmark5)

[1.2 PCI Express Link 90](#bookmark7)

[1.3PCI Express Fabric Topology 92](#bookmark9)

[1.3.1](#bookmark11)[根复合体](#bookmark12)

[1.3.2](#bookmark14)[终点](#bookmark15)

[1.3.2.1 旧终结点规则93](#bookmark17)

[1.3.2.2 PCI Express端点规则 94](#bookmark19)

[1.3.2.3 根复合体集成端点int规则94](#bookmark21)

[1.3.3](#bookmark23)[交换机 95](#bookmark24)

[1.3.4](#bookmark26)[根复合体事件收集器96](#bookmark27)

[1.3.5](#bookmark29)[PCI Express到PCI/PCI-X桥96](#bookmark30)

[1.4用于发现、配置和操作的硬件/软件模型96](#bookmark32)

[1.5PCI Express分层概述97](#bookmark34)

[1.5.1](#bookmark36)[事务层99](#bookmark37)

[1.5.2](#bookmark39)[数据链路层](#bookmark40)

[1.5.3](#bookmark42)[物理层99](#bookmark43)

[1.5.4](#bookmark45)[层功能和服务100](#bookmark46)

[1.5.4.1 事务层服务 100](#bookmark48)

[1.5.4.2 数据链路层服务 101](#bookmark49)

[1.5.4.3 物理层服务101](#bookmark50)

[1.5.4.4 层间接口 102](#bookmark51)

[1.5.4.4.1事务/数据链路接口102](#bookmark52)

[1.5.4.4.2数据链路/物理接口](#bookmark53)

[2.事务层规范103](#bookmark54)

[2.1事务层概述](#bookmark55)

[2.1.1地址空间、事务类型和使用](#bookmark56)

[2.1.1.1 内存事务104](#bookmark57)

[2.1.1.2 I/O事务104](#bookmark58)

[2.1.1.3 配置事务105](#bookmark59)

[2.1.1.4 消息事务105](#bookmark60)

[2.1.2数据包格式概述](#bookmark61)

[2.2事务层协议-分组定义107](#bookmark62)

[2.2.1公共数据包报头字段 107](#bookmark63)

[2.2.2带数据有效载荷的TLP-规则 110](#bookmark64)

[2.2.3TLP摘要规则](#bookmark65)

[2.2.4路由和寻址规则](#bookmark66)

[2.2.4.1 基于地址的路由规则](#bookmark67)

[2.2.4.2 基于ID的路由规则115](#bookmark68)

[2.2.5第一个/最后一个DW字节启用规则 117](#bookmark69)

[2.2.6事务描述符119](#bookmark70)

[2.2.6.1 概览. 119](#bookmark71)

[2.2.6.2 事务描述符-事务ID字段 120](#bookmark72)

[2.2.6.3 事务描述符-属性字段 125](#bookmark73)

[2.2.6.4 轻松订购和基于ID的订购在贡品 126](#bookmark74)

[2.2.6.5 无窥探属性126](#bookmark75)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[2.2.6.6 事务描述符-业务类字段 127](#bookmark76)

[2.2.7内存、I/O和配置请求规则](#bookmark77)

[2.2.7.1 TPH规则131](#bookmark78)

[2.2.8消息请求规则 133](#bookmark79)

[2.2.8.1 INTx信令-规则135](#bookmark80)

[2.2.8.2 电源管理系统139](#bookmark81)

[2.2.8.3 错误信令消息140](#bookmark82)

[2.2.8.4 锁定事务支持141](#bookmark83)

[2.2.8.5 插槽功率限制支持142](#bookmark84)

[2.2.8.6 供应商定义的消息 143](#bookmark85)

[2.2.8.6.1PCI-SIG定义的VDM144](#bookmark86)

[2.2.8.6.2LN消息145](#bookmark87)

[2.2.8.6.3设备就绪状态（DRS）消息146](#bookmark88)

[2.2.8.6.4功能就绪状态消息（FRS消息） 147](#bookmark89)

[2.2.8.6.5层次ID消息148](#bookmark90)

[2.2.8.7 忽略的消息150](#bookmark91)

[2.2.8.8 延迟容限报告（LTR）消息150](#bookmark92)

[2.2.8.9 优化缓冲区刷新/填充（OBFF）消息 151](#bookmark93)

[2.2.8.10精密时间测量（PTM）消息152](#bookmark94)

[2.2.9完成规则153](#bookmark95)

[2.2.10 TLP前缀规则156](#bookmark96)

[2.2.10.1本地TLP前缀处理157](#bookmark97)

[2.2.10.1.1供应商定义的本地TLP前缀157](#bookmark98)

[2.2.10.2端-端TLP前缀处理157](#bookmark99)

[2.2.10.2.1供应商定义的终端和TLP前缀 159](#bookmark100)

[2.2.10.2.2支持端-端TLP前缀的根端口159](#bookmark101)

[2.3收到的TLP的处理](#bookmark102)

[2.3.1请求处理规则163](#bookmark103)

[2.3.1.1 读取请求的数据返回169](#bookmark104)

[2.3.2完井处理规则175](#bookmark105)

[2.4交易订单 177](#bookmark106)

[2.4.1交易排序规则](#bookmark107)

[2.4.2由读取事务 观察到的更新排序和粒度181](#bookmark108)

[2.4.3由令状事务 提供的更新排序和粒度182](#bookmark109)

[2.5虚拟信道（VC）机制182](#bookmark110)

[2.5.1虚拟通道标识（VC ID）184](#bookmark111)

[2.5.2TC到VC映射185](#bookmark112)

[2.5.3VC和TC规则186](#bookmark113)

[2.6订购和接收缓冲器流控制187](#bookmark114)

[2.6.1流量控制规则188](#bookmark115)

[2.6.1.1 发送器 192跟踪的FC信息](#bookmark116)

[2.6.1.2 接收器跟踪的FC信息194](#bookmark117)

[2.7 数据完整性 198](#bookmark118)

[2.7.1ECRC规则198](#bookmark119)

[2.7.2错误转发202](#bookmark120)

[2.7.2.1 转发使用模型 202时出错](#bookmark121)

[2.7.2.2 使用数据中毒的规则203](#bookmark122)

[2.8完成审查机制204](#bookmark123)

[2.9链路状态检查205](#bookmark124)

[2.9.1DL\_Down状态下的事务层行为205](#bookmark125)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[2.9.2 DL\_Up状态下的事务层行为206](#bookmark126)

[2.9.3下游端口控制 期间的事务层行为206](#bookmark127)

[3.数据链路层规范209](#bookmark128)

[3.1数据链路层概述](#bookmark129)

[3.2数据链路控制和管理状态机 210](#bookmark130)

[3.2.1数据链路控制和管理状态机规则 211](#bookmark131)

[3.3数据链路特征交换214](#bookmark132)

[3.4流控制初始化协议215](#bookmark133)

[3.4.1流控制状态机规则215](#bookmark134)

[3.4.2缩放流量控制220](#bookmark135)

[3.5数据链路层分组（DLLP）221](#bookmark136)

[3.5.1数据链路层分组规则 221](#bookmark137)

[3.6数据完整性机制227](#bookmark138)

[3.6.1导言227](#bookmark139)

[3.6.2 LCRC、序列号和数据包管理（TLP传输）228](#bookmark140)

[3.6.2.1 LCRC和序号规则（TLP发送器） 228](#bookmark141)

[3.6.2.2 处理收到的DLLP 235](#bookmark142)

[3.6.3LCRC和序列号（TLP接收机）238](#bookmark143)

[3.6.3.1 LCRC和序列号规则（TLP接收器） 239](#bookmark144)

[4.物理层逻辑块245](#bookmark145)

[4.1导言245](#bookmark146)

[4.2逻辑子块245](#bookmark147)

[4.2.12.5 GT/s和5.0 GT/s数据速率的编码246](#bookmark148)

[4.2.1.1 符号编码](#bookmark149)

[4.2.1.1.1数据的序列化和反序列化](#bookmark150)

[4.2.1.1.2成帧和链路管理专用符号（K码） 247](#bookmark151)

[4.2.1.1.38b/10b解码规则248](#bookmark152)

[4.2.1.2 车道符号的框架和应用 249](#bookmark153)

[4.2.1.3 数据加扰252](#bookmark154)

[4.2.28.0 GT/s和更高数据速率的编码253](#bookmark155)

[4.2.2.1 车道等级编码254](#bookmark156)

[4.2.2.2 有序集合块256](#bookmark157)

[4.2.2.2.1块对齐256](#bookmark158)

[4.2.2.3 数据块257](#bookmark159)

[4.2.2.3.1成帧令牌258](#bookmark160)

[发射机成帧要求](#bookmark161)

[4.2.2.3.3接收器成帧要求](#bookmark162)

[4.2.2.3.4从成帧错误中恢复](#bookmark163)

[4.2.2.4 第267章混乱](#bookmark164)

[4.2.2.5 预编码272](#bookmark165)

[4.2.2.6 128 b/130 b环回码274](#bookmark166)

[4.2.3用于8.0 GT/s和更高数据速率的链路均衡过程274](#bookmark167)

[4.2.3.1 变送器系数规则nts 286](#bookmark168)

[4.2.3.2 预设的编码287](#bookmark169)

[4.2.4链接和培训288](#bookmark170)

[4.2.4.1 培训系列288](#bookmark171)

[4.2.4.2 备用协议协商 298](#bookmark172)

[4.2.4.3 电气怠速序列（EIOS）301](#bookmark173)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[4.2.4.4 推断电气怠速305](#bookmark174)

[4.2.4.5 通道极性反转306](#bookmark175)

[4.2.4.6 快速训练序列（FTS）306](#bookmark176)

[4.2.4.7 数据流有序集的开始（SDS有序集） 308](#bookmark177)

[4.2.4.8 链接错误恢复](#bookmark178)

[4.2.4.9 重置309](#bookmark179)

[4.2.4.9.1基本复位309](#bookmark180)

[4.2.4.9.2热复位310](#bookmark181)

[4.2.4.10链路数据速率协商 310](#bookmark182)

[4.2.4.11链接宽度和通道序列协商310](#bookmark183)

[4.2.4.11.1必需和可选端口行为310](#bookmark184)

[4.2.4.12车道间去偏斜 311](#bookmark185)

[4.2.4.13Lane vs. Link Training312](#bookmark186)

[4.2.5链路训练和状态统计机（LTSSM）描述312](#bookmark187)

[4.2.5.1 检测概述313](#bookmark188)

[4.2.5.2 投票概览313](#bookmark189)

[4.2.5.3 配置概述313](#bookmark190)

[4.2.5.4 恢复概述313](#bookmark191)

[4.2.5.5 L0概览314](#bookmark192)

[4.2.5.6 L0s概览314](#bookmark193)

[4.2.5.7 L1概览314](#bookmark194)

[4.2.5.8 L2概述314](#bookmark195)

[4.2.5.9 禁用概述314](#bookmark196)

[4.2.5.10Loopback概览314](#bookmark197)

[4.2.5.11 热复位浏览 315](#bookmark198)

[4.2.6链接训练和状态状态规则315](#bookmark199)

[4.2.6.1 检测317](#bookmark200)

[4.2.6.1.1检测.静默317](#bookmark201)

[4.2.6.1.2检测活动318](#bookmark202)

[4.2.6.2 投票319](#bookmark203)

[4.2.6.2.1轮询.活动319](#bookmark204)

[4.2.6.2.2 投票.遵约320](#bookmark205)

[4.2.6.2.3投票。配置324](#bookmark206)

[4.2.6.2.4轮询速度325](#bookmark207)

[4.2.6.3 配置325](#bookmark208)

[4.2.6.3.1配置.链接宽度.启动326](#bookmark209)

[4.2.6.3.1.1 下游车道326](#bookmark210)

[4.2.6.3.1.2 上游车道327](#bookmark211)

[4.2.6.3.2配置.链接宽度.接受329](#bookmark212)

[4.2.6.3.2.1 下游车道329](#bookmark213)

[4.2.6.3.2.2 上游车道330](#bookmark214)

[4.2.6.3.3配置.Lanenum.接受332](#bookmark215)

[4.2.6.3.3.1 下游车道332](#bookmark216)

[4.2.6.3.3.2 上游车道333](#bookmark217)

[4.2.6.3.4配置.Lanenum.等待333](#bookmark218)

[4.2.6.3.4.1 下游车道333](#bookmark219)

[4.2.6.3.4.2 上游车道334](#bookmark220)

[4.2.6.3.5配置完成334](#bookmark221)

[4.2.6.3.5.1 下游车道334](#bookmark222)

[4.2.6.3.5.2 上游车道336](#bookmark223)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[4.2.6.3.6配置.空闲337](#bookmark224)

[4.2.6.4 恢复340](#bookmark225)

[4.2.6.4.1恢复.RcvrLock340](#bookmark226)

[4.2.6.4.2恢复、均衡346](#bookmark227)

[4.2.6.4.2.1 下游车道347](#bookmark228)

[4.2.6.4.2.1.1 发射机均衡347的阶段1](#bookmark229)

[4.2.6.4.2.1.2 发射机均衡的阶段2349](#bookmark230)

[4.2.6.4.2.1.3 发射机均衡350的阶段3](#bookmark231)

[4.2.6.4.2.2 上游车道352](#bookmark232)

[4.2.6.4.2.2.1 发射机均衡352的相位0](#bookmark233)

[4.2.6.4.2.2.2 发射机均衡353的阶段1](#bookmark234)

[4.2.6.4.2.2.3 发射机均衡354的阶段2](#bookmark235)

[4.2.6.4.2.2.4 发射机均衡356的阶段3](#bookmark236)

[4.2.6.4.3恢复速度](#bookmark237)

[4.2.6.4.4恢复.RcvrCfg358](#bookmark238)

[4.2.6.4.5 恢复。空闲363](#bookmark239)

[4.2.6.5 L0366](#bookmark240)

[4.2.6.6 L0s367](#bookmark241)

[4.2.6.6.1接收器L0368](#bookmark242)

[4.2.6.6.1.1 Rx\_L0s.Entry368](#bookmark243)

[4.2.6.6.1.2 Rx\_L0s.Idle368](#bookmark244)

[4.2.6.6.1.3 Rx\_L0s.FTS368](#bookmark245)

[4.2.6.6.2变送器L0369](#bookmark246)

[4.2.6.6.2.1 Tx\_L0s.条目 369](#bookmark247)

[4.2.6.6.2.2 Tx\_L0s.Idle369](#bookmark248)

[4.2.6.6.2.3 Tx\_L0s.FTS369](#bookmark249)

[4.2.6.7 L1371](#bookmark250)

[4.2.6.7.1L1. 371号入口](#bookmark251)

[4.2.6.7.2 L1.怠速371](#bookmark252)

[4.2.6.8 L2373](#bookmark253)

[4.2.6.8.1 L2.怠速373](#bookmark254)

[4.2.6.8.2L2. TransmitWake374](#bookmark255)

[4.2.6.9 残疾人374](#bookmark256)

[4.2.6.10www.example.com](#bookmark257)

[4.2.6.10.1环回。入口375](#bookmark258)

[4.2.6.10.2环回。活动378](#bookmark259)

[4.2.6.10.3环回。退出379](#bookmark260)

[4.2.6.11 热复位 380](#bookmark261)

[4.2.7时钟容差补偿381](#bookmark262)

[4.2.7.1 用于8b/10 b编码的SKP有序集 382](#bookmark263)

[4.2.7.2 用于128 b/130 b编码的SKP有序集 382](#bookmark264)

[4.2.7.3 RS 386传递规则](#bookmark265)

[4.2.7.4 接收器的规则387](#bookmark266)

[4.2.88b/10 b编码中的顺应性模式388](#bookmark267)

[4.2.98b/10 b编码中的 修改的顺应性模式389](#bookmark268)

[4.2.10 128 b/130 b编码中的顺应性模式390](#bookmark269)

[4.2.11在128 b/130 b编码 393中修改的顺应性模式](#bookmark270)

[4.2.12128 b/130 b中的抖动测量模式n 393](#bookmark271)

[4.2.13接收器394](#bookmark272)

[4.2.13.1接收方编号、保证金类型、使用模式和管理有效载荷字段 394](#bookmark273)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[4.2.13.1.1步骤保证金执行状态399](#bookmark274)

[4.2.13.1.2步进余量命令的余量有效负载399](#bookmark275)

[4.2.13.2保证金命令和响应流400](#bookmark276)

[4.2.13.3接收器容限测试要求 403](#bookmark277)

[4.3重定时器407](#bookmark278)

[4.3.1重定时器要求408](#bookmark279)

[4.3.2支持的重定时器拓扑409](#bookmark280)

[4.3.3变量410](#bookmark281)

[4.3.4接收器阻抗准备规则 411](#bookmark282)

[4.3.5模式之间的切换](#bookmark283)

[4.3.6转发规则411](#bookmark284)

[4.3.6.1 转发类型规则412](#bookmark285)

[4.3.6.2 方向和车道号规则 412](#bookmark286)

[4.3.6.3 电气怠速退出规则413](#bookmark287)

[4.3.6.4 数据速率改变和确定规则415](#bookmark288)

[4.3.6.5 电气怠速进入规则416](#bookmark289)

[4.3.6.6 变送器设置确定规则 417](#bookmark290)

[4.3.6.7 有序集修改规则 418](#bookmark291)

[4.3.6.8 DLLP、TLP和逻辑Idle修改规则 420](#bookmark292)

[4.3.6.9 8b/10 b编码规则421](#bookmark293)

[4.3.6.108b/10 b加扰规则421](#bookmark294)

[4.3.6.11 热重置规则 421](#bookmark295)

[4.3.6.12禁用链接规则 421](#bookmark296)

[4.3.6.13www.example.com](#bookmark297)

[4.3.6.14合规接收规则423](#bookmark298)

[4.3.6.15输入合规规则424](#bookmark299)

[4.3.7执行模式规则](#bookmark300)

[4.3.7.1 CompLoadBoard 427](#bookmark301)

[4.3.7.1.1CompLoadBoard.条目427](#bookmark302)

[4.3.7.1.2CompLoadBoard模式427](#bookmark303)

[4.3.7.1.3CompLoadBoard.退出428](#bookmark304)

[4.3.7.2 链路均衡规则429](#bookmark305)

[4.3.7.2.1下游通道429](#bookmark306)

[4.3.7.2.1.1 第二阶段429](#bookmark307)

[4.3.7.2.1.2 第3阶段活动429](#bookmark308)

[4.3.7.2.1.3 第3阶段被动429](#bookmark309)

[4.3.7.2.2上游车道430](#bookmark310)

[4.3.7.2.2.1 第2阶段活动430](#bookmark311)

[4.3.7.2.2.2 第2阶段被动式430](#bookmark312)

[4.3.7.2.2.3 第三阶段430](#bookmark313)

[4.3.7.2.3力的作用431](#bookmark314)

[4.3.7.3 从环回431](#bookmark315)

[4.3.7.3.1从机环回.入口431](#bookmark316)

[4.3.7.3.2从机环回。活动432](#bookmark317)

[4.3.7.3.3从机环回。退出432](#bookmark318)

[4.3.8重定时器延迟432](#bookmark319)

[4.3.8.1 测量432](#bookmark320)

[4.3.8.2 重定时器延迟的最大限制432](#bookmark321)

[4.3.8.3 对上游和下游港口的影响 433](#bookmark322)

[4.3.9SRIS433](#bookmark323)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[4.3.10L1 PM子状态支持434](#bookmark324)

[4.3.11重定时器配置参数](#bookmark325)

[4.3.11.1全局参数437](#bookmark326)

[4.3.11.2每物理伪端口参数 437](#bookmark327)

[4.3.12带内寄存器访问438](#bookmark328)

[5.电源管理 439](#bookmark329)

[5.1概述](#bookmark330)

[5.2Link State PowerMan440](#bookmark331)

[5.3PCI-PM软件兼容机制 444](#bookmark332)

[5.3.1功能的设备电源管理状态（D状态）444](#bookmark333)

[5.3.1.1 D0状态445](#bookmark334)

[5.3.1.2 D1州445](#bookmark335)

[5.3.1.3 D2州445](#bookmark336)

[5.3.1.4 D3州446](#bookmark337)

[5.3.1.4.1D3热态447](#bookmark338)

[5.3.1.4.2D3冷态448](#bookmark339)

[5.3.2PM链路功率管理状态 的软件控制449](#bookmark340)

[5.3.2.1 进入L1状态450](#bookmark341)

[5.3.2.2 从L1 State453出口](#bookmark342)

[5.3.2.3 进入L2/L3就绪状态454](#bookmark343)

[5.3.3电源管理事件机制 454](#bookmark344)

[5.3.3.1 动机454](#bookmark345)

[5.3.3.2 链接唤醒455](#bookmark346)

[5.3.3.2.1PME同步](#bookmark347)

[5.3.3.3 PM\_PME消息es 458](#bookmark348)

[5.3.3.3.1PM\_PME](#bookmark349)

[5.3.3.4 PME规则458](#bookmark350)

[5.3.3.5 PM\_PME交付状态机 459](#bookmark351)

[5.4原生PCI Express电源管理机制 460](#bookmark352)

[5.4.1活动状态管理（ASPM） 460](#bookmark353)

[5.4.1.1 L0s ASPM状态462](#bookmark354)

[5.4.1.1.1进入L0s状态](#bookmark355)

[5.4.1.1.2从L0s状态退出464](#bookmark356)

[5.4.1.2 L1 ASPM状态464](#bookmark357)

[5.4.1.2.1ASPM进入L1状态465](#bookmark358)

[5.4.1.2.2退出L1状态471](#bookmark359)

[5.4.1.3 ASPM配置 474](#bookmark360)

[5.4.1.3.1启用或禁用ASPM的软件流程477](#bookmark361)

[5.5L1 PM子状态478](#bookmark362)

[5.5.1L1PM子状态的进入条件和L1.0要求 482](#bookmark363)

[5.5.2L1.1要求483](#bookmark364)

[5.5.2.1 从L1.1483出口](#bookmark365)

[5.5.3L1.2要求484](#bookmark366)

[5.5.3.1 L1.2.条目485](#bookmark367)

[5.5.3.2 L1.2.怠速486](#bookmark368)

[5.5.3.3 L1.2.486号](#bookmark369)

[5.5.3.3.1从L1.2退出487](#bookmark370)

[5.5.4L1PM子状态配置488](#bookmark371)

[5.5.5L1 PM子状态定时参数s 488](#bookmark372)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[5.5.6链路激活489](#bookmark373)

[5.6辅助电源支持490](#bookmark374)

[5.7电源管理系统消息和DLLP 490](#bookmark375)

[5.8PCI功能电源状态转换 491](#bookmark376)

[5.9状态转换恢复时间要求](#bookmark377)

[5.10 PCI桥和电源管理 493](#bookmark378)

[5.10.1交换机和PCI Express到PCI桥 494](#bookmark379)

[5.11电源管理事件ts 494](#bookmark380)

[6.系统架构 495](#bookmark381)

[6.1支持服务和PME495](#bookmark382)

[6.1.1495型 PCI Express接口的](#bookmark383)

[6.1.2 PCI兼容INTx仿真 495](#bookmark384)

[6.1.3INTx仿真软件型号496](#bookmark385)

[6.1.4MSI和MSI-X操作496](#bookmark386)

[6.1.4.1 MSI配置497](#bookmark387)

[6.1.4.2 MSI-X配置498](#bookmark388)

[6.1.4.3 启用操作499](#bookmark389)

[6.1.4.4 发送消息500](#bookmark390)

[6.1.4.5 每向量掩码和函数掩码500](#bookmark391)

[6.1.4.6 硬件/软件同步](#bookmark392)

[6.1.4.7 消息事务接收和排序要求 503](#bookmark393)

[6.1.5PME支持503](#bookmark394)

[6.1.6原生PME软件型号503](#bookmark395)

[6.1.7旧版PME软件型号504](#bookmark396)

[6.1.8操作系统电源管理通知 504](#bookmark397)

[6.1.9PCI Express和PCI层次之间的PME路由504](#bookmark398)

[6.2错误信号和日志505](#bookmark399)

[6.2.1范围505](#bookmark400)

[6.2.2错误分类505](#bookmark401)

[6.2.2.1 可纠正的错误506](#bookmark402)

[6.2.2.2 无法纠正的错误507](#bookmark403)

[6.2.2.2.1致命错误](#bookmark404)

[6.2.2.2.2非致命错误](#bookmark405)

[6.2.3错误信号507](#bookmark406)

[6.2.3.1 完成状态507](#bookmark407)

[6.2.3.2 错误消息507](#bookmark408)

[6.2.3.2.1不可纠正的错误严重性编程（高级错误报告） 509](#bookmark409)

[6.2.3.2.2掩盖个别错误](#bookmark410)

[6.2.3.2.3错误污染](#bookmark411)

[6.2.3.2.4咨询性非致命错误案例](#bookmark412)

[6.2.3.2.4.1 完成者发送具有UR/CA状态的完成 510](#bookmark413)

[6.2.3.2.4.2 中间接收器511](#bookmark414)

[6.2.3.2.4.3 中毒TLP 511的终极PCI Express接收器](#bookmark415)

[6.2.3.2.4.4 带补偿器的整流器 512](#bookmark416)

[6.2.3.2.4.5 第512章意外的完成](#bookmark417)

[6.2.3.2.5接收具有UR/CA状态的完工的承包商512](#bookmark418)

[6.2.3.3 错误转发（数据Poisoning）512](#bookmark419)

[6.2.3.4 可选错误检查 513](#bookmark420)

[6.2.4错误记录513](#bookmark421)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[6.2.4.1 根复合体注意事项（高级错误报告） 514](#bookmark422)

[6.2.4.1.1错误源识别](#bookmark423)

[6.2.4.1.2第二代514](#bookmark424)

[6.2.4.2 多重错误处理（高级错误报告功能） 515](#bookmark425)

[6.2.4.3 咨询性非致命错误日志记录 516](#bookmark426)

[6.2.4.4 TLP前缀记录517](#bookmark427)

[6.2.5设备错误信号和记录操作的顺序517](#bookmark428)

[6.2.6错误消息控制](#bookmark429)

[6.2.7错误列表和规则520](#bookmark430)

[6.2.7.1 常规PCI映射524](#bookmark431)

[6.2.8虚拟PCI桥错误处理 524](#bookmark432)

[6.2.8.1 网桥的错误消息转发和PCI映射-规则 524](#bookmark433)

[6.2.9内部错误](#bookmark434)

[6.2.10下游港口安全壳（DPC） 526](#bookmark435)

[6.2.10.1 DPC中断 529](#bookmark436)

[6.2.10.2 DPC ERR\_COR信令 529](#bookmark437)

[6.2.10.3 根端口编程I/O（RP PIO）错误控制 530](#bookmark438)

[6.2.10.4DPC533的软件](#bookmark439)

[6.2.10.5DL\_Active ERR\_COR信令 533](#bookmark440)

[6.3虚拟通道支持534](#bookmark441)

[6.3.1导言和范围534](#bookmark442)

[6.3.2TC/VC映射和示例使用534](#bookmark443)

[6.3.3VC仲裁](#bookmark444)

[6.3.3.1 业务流和交换机仲裁模型 537](#bookmark445)

[6.3.3.2 VC仲裁-VC之间的仲裁 540](#bookmark446)

[6.3.3.2.1严格优先仲裁模式541](#bookmark447)

[6.3.3.2.2循环仲裁模型541](#bookmark448)

[6.3.3.3 端口仲裁-VC内的仲裁542](#bookmark449)

[6.3.3.4 多功能设备和功能仲裁 542](#bookmark450)

[6.3.4同步支持546](#bookmark451)

[6.3.4.1 软件配置 规则546](#bookmark452)

[6.3.4.2 请求的规则547](#bookmark453)

[6.3.4.3 完成者的规则547](#bookmark454)

[6.3.4.4 交换机和根复合体的规则547](#bookmark455)

[6.3.4.5 多功能设备 的规则547](#bookmark456)

[6.4设备同步548](#bookmark457)

[6.5锁定的事务549](#bookmark458)

[6.5.1导言](#bookmark459)

[6.5.2锁定事务的启动和传播-规则549](#bookmark460)

[6.5.3开关和锁-规则550](#bookmark461)

[6.5.4 PCI Express/PCI网桥和锁-规则551](#bookmark462)

[6.5.5根复合体和锁-规则 551](#bookmark463)

[6.5.6遗留端点551](#bookmark464)

[6.5.7PCI Express端点551](#bookmark465)

[6.6 PCI Express重置-规则 552](#bookmark466)

[6.6.1常规复位552](#bookmark467)

[6.6.2功能等级R/R（FLR）554](#bookmark468)

[6.7PCI Express Native Hot-Plug 558](#bookmark469)

[6.7.1热插拔元件558](#bookmark470)

[6.7.1.1 指标558](#bookmark471)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[6.7.1.1.1注意指示器559](#bookmark472)

[6.7.1.1.2电源指示灯560](#bookmark473)

[6.7.1.2 手动操作固定闩锁（MRL）560](#bookmark474)

[6.7.1.3 MRL传感器560](#bookmark475)

[6.7.1.4 机电联锁561](#bookmark476)

[6.7.1.5 注意按钮561](#bookmark477)

[6.7.1.6 软件使用接口562](#bookmark478)

[6.7.1.7 插槽编号562](#bookmark479)

[6.7.1.8 电源控制器562](#bookmark480)

[6.7.2按热插拔元素关联分组的寄存器563](#bookmark481)

[6.7.2.1 注意按钮寄存器 563](#bookmark482)

[6.7.2.2 注意指示器寄存器 563](#bookmark483)

[6.7.2.3 电源指示寄存器563](#bookmark484)

[6.7.2.4 电源控制器寄存器563](#bookmark485)

[6.7.2.5 存在检测寄存器564](#bookmark486)

[6.7.2.6 MRL传感器寄存器](#bookmark487)

[6.7.2.7 机电联锁寄存器564](#bookmark488)

[6.7.2.8 命令完成寄存器 564](#bookmark489)

[6.7.2.9 端口能力和插槽信息寄存器 565](#bookmark490)

[6.7.2.10热插式USB控制寄存器565](#bookmark491)

[6.7.3 PCI Express热插拔事件 565](#bookmark492)

[6.7.3.1 老虎机活动565](#bookmark493)

[6.7.3.2 命令C完成事件 566](#bookmark494)

[6.7.3.3 数据链路层状态改变事件566](#bookmark495)

[6.7.3.4 热插拔事件的软件通知 567](#bookmark496)

[6.7.4 系统固件中间体（SFI）S支持 568](#bookmark497)

[6.7.4.1 SFI ERR\_COR事件信令568](#bookmark498)

[6.7.4.2 SFI下游端口过滤（DPF） 568](#bookmark499)

[6.7.4.3 SFI CAM569](#bookmark500)

[6.7.4.4 SFI与R readiness的互动 570](#bookmark501)

[6.7.4.5 热插拔意外功能的SFI抑制 571](#bookmark502)

[6.7.5热插拔572的固件支持](#bookmark503)

[6.7.6异步删除572](#bookmark504)

[6.8功率调节能力573](#bookmark505)

[6.8.1系统电源调整过程建议573](#bookmark506)

[6.9插槽功率限制C控件574](#bookmark507)

[6.10根复合体拓扑分布577](#bookmark508)

[6.11链路速度管理](#bookmark509)

[6.12访问控制服务（ACS）580](#bookmark510)

[6.12.1ACS组件能力要求581](#bookmark511)

[6.12.1.1ACS下游端口 581](#bookmark512)

[6.12.1.2支持SR-IOV和多功能设备中的ACS功能584](#bookmark513)

[6.12.1.3单功能器件中的功能585](#bookmark514)

[6.12.2互操作性586](#bookmark515)

[6.12.3ACS对等控制交互 586](#bookmark516)

[6.12.4ACS增强能力587](#bookmark517)

[6.12.5ACS违规错误处理588](#bookmark518)

[6.12.6ACS重定向对排序规则的](#bookmark519)

[6.12.6.1完成通过发布的请求 588](#bookmark520)

[6.12.6.2请求传递发布的请求589](#bookmark521)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[6.13替代路由ID解释（ARI）590](#bookmark522)

[6.14多播操作](#bookmark523)

[6.14.1多播TLP处理594](#bookmark524)

[6.14.2多播命令环596](#bookmark525)

[6.14.3组播能力结构字段更新 597](#bookmark526)

[6.14.4MC阻塞TLP处理597](#bookmark527)

[6.14.5MC\_覆盖机制597](#bookmark528)

[6.15原子操作（AtomicOps）600](#bookmark529)

[6.15.1AtomicOp使用模型和好处601](#bookmark530)

[6.15.2AtomicOp事务协议摘要 602](#bookmark531)

[6.15.3AtomicOps 的根复合体支持603](#bookmark532)

[6.15.3.1使用AtomicOp CompleterCapabi 603的根端口](#bookmark533)

[6.15.3.2具有AtomicOp路由能力的根端口603](#bookmark534)

[6.15.3.3具有AtomicOp请求者功能的RC604](#bookmark535)

[6.15.4交换机支持AtomicOps 604](#bookmark536)

[6.16动态功率分配（DPA）能力 604](#bookmark537)

[6.16.1多功能设备的DPA能力606](#bookmark538)

[6.17 TLP处理提示（TPH）606](#bookmark539)

[6.17.1处理提示606](#bookmark540)

[6.17.2转向标签607](#bookmark541)

[6.17.3ST操作模式607](#bookmark542)

[6.17.4TPH能力608](#bookmark543)

[6.18延迟容限报告（LTR）机制 608](#bookmark544)

[6.19优化的缓冲区刷新/填充（OBFF）机制614](#bookmark545)

[6.20 PASIDTLP前缀618](#bookmark546)

[6.20.1管理PASIDTLP前缀用法618](#bookmark547)

[6.20.2PASIDTLP布局619](#bookmark548)

[6.20.2.1 PASID字段 620](#bookmark549)

[6.20.2.2 执行请求 621](#bookmark550)

[6.20.2.3登录模式请求 622](#bookmark551)

[6.21轻量级通知（LN）协议622](#bookmark552)

[6.21.1LN协议操作623](#bookmark553)

[6.21.2LN注册管理625](#bookmark554)

[6.21.3LN订购注意事项625](#bookmark555)

[6.21.4LN软件配置626](#bookmark556)

[6.21.5LN协议摘要626](#bookmark557)

[6.22精密时间测量（PTM）机制627](#bookmark558)

[6.22.1导言](#bookmark559)

[6.22.2PTM链路协议629](#bookmark560)

[6.22.3配置和操作要求632](#bookmark561)

[6.22.3.1 PTM调试器角色 632](#bookmark562)

[6.22.3.2 PTM响应角色 634](#bookmark563)

[6.22.3.3PTM时间源角色-特定于交换机的规则635](#bookmark564)

[6.23准备就绪通知（RN） 636](#bookmark565)

[6.23.1设备就绪ss状态（DRS） 637](#bookmark566)

[6.23.2功能读数状态（FRS） 638](#bookmark567)

[6.23.3FRS639](#bookmark568)

[6.24增强分配](#bookmark569)

[6.25紧急功率降低状态641](#bookmark570)

[6.26层次ID消息 644](#bookmark571)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[6.27压平门式桥（FPB） 648](#bookmark572)

[6.27.1导言](#bookmark573)

[6.27.2硬件和软件要求652](#bookmark574)

[6.28重要产品数据（VPD）658](#bookmark575)

[6.28.1 VPD格式660](#bookmark576)

[6.28.2VPD定义](#bookmark577)

[6.28.2.1VPD大型和小型资源数据标签 661](#bookmark578)

[6.28.2.2只读字段661](#bookmark579)

[6.28.2.3 读/写字段 662](#bookmark580)

[6.28.2.4VPD示例662](#bookmark581)

[6.29本机PCIe机箱管理 664](#bookmark582)

[6.30常规PCI高级特征操作669](#bookmark583)

[7.软件初始化和配置673](#bookmark584)

[7.1配置拓扑 673](#bookmark585)

[7.2PCI Express配置机制](#bookmark586)

[7.2.1 PCI兼容的嵌入式机制 675](#bookmark587)

[7.2.2 PCI Express增强型配置访问机制（ECAM）676](#bookmark588)

[7.2.2.1 主机桥组件679](#bookmark589)

[7.2.2.2 PCI Express设备要求 679](#bookmark590)

[7.2.3根复数寄存器块（RCRB）680](#bookmark591)

[7.3配置传输规则 680](#bookmark592)

[7.3.1设备编号680](#bookmark593)

[7.3.2配置事务寻址681](#bookmark594)

[7.3.3配置请求路由规则 681](#bookmark595)

[7.3.4PCI特殊周期683](#bookmark596)

[7.4配置寄存器类型683](#bookmark597)

[7.5所有端口的基本规范要求的PCI和PCIe功能684](#bookmark598)

[7.5.1 PCI兼容配置寄存器684](#bookmark599)

[7.5.1.1 类型0/1公共配置空间 684](#bookmark600)

[7.5.1.1.1供应商ID寄存器（偏移00h）685](#bookmark601)

[7.5.1.1.2设备ID寄存器（偏移02h）686](#bookmark602)

[7.5.1.1.3命令寄存器（偏移04h）686](#bookmark603)

[7.5.1.1.4状态寄存器之三（偏移06h）688](#bookmark604)

[7.5.1.1.5版本ID寄存器（偏移量08 h）691](#bookmark605)

[7.5.1.1.6分类代码寄存器（偏移09h）691](#bookmark606)

[7.5.1.1.7高速缓存行大小寄存器（偏移0Ch） 692](#bookmark607)

[7.5.1.1.8延迟定时器寄存器（偏移0Dh）692](#bookmark608)

[7.5.1.1.9报头类型寄存器（偏移0Eh）692](#bookmark609)

[7.5.1.1.10 BIST寄存器（偏移0Fh）693](#bookmark610)

[7.5.1.1.11能力指针（偏移量34h）694](#bookmark611)

[7.5.1.1.12线路寄存器（偏移3通道）694](#bookmark612)

[7.5.1.1.13引脚寄存器（偏移3Dh）694](#bookmark613)

[7.5.1.1.14错误寄存 器](#bookmark614)

[7.5.1.2 类型0配置空间标题 695](#bookmark615)

[7.5.1.2.1基址寄存器（偏移t 10 h-24 h） 696](#bookmark616)

[7.5.1.2.2 Cardbus CIS指针寄存器（偏移28h）699](#bookmark617)

[子系统供应商ID寄存器/子系统ID寄存器（Offset2Ch/2 Eh） 700](#bookmark618)

[7.5.1.2.4扩展ROM基址寄存器（偏移30h） 700](#bookmark619)

[7.5.1.2.5Min\_Gnt寄存器r/Max\_Lat寄存器（偏移3Eh/3Fh）703](#bookmark620)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[7.5.1.3 类型1配置空间报头 703](#bookmark621)

[7.5.1.3.1类型1基址寄存器（偏移t 10 h-14 h）704](#bookmark622)

[7.5.1.3.2主总线号寄存器（偏移18h） 705](#bookmark623)

[7.5.1.3.3辅助总线号寄存器（偏移19 h）705](#bookmark624)

[7.5.1.3.4从属总线编号寄存器（偏移1Ah）705](#bookmark625)

[7.5.1.3.5辅助延迟定时器（偏移1Bh）705](#bookmark626)

[7.5.1.3.6 I/O基本/I/O限制寄存器（偏移1Ch/1Dh） 705](#bookmark627)

[7.5.1.3.7辅助状态寄存器（偏移1Eh）706](#bookmark628)

[7.5.1.3.8存储器基址寄存器/存储器极限寄存器（偏移20 h/22 h）708](#bookmark629)

[7.5.1.3.9可预取存储器基础/可预取存储器限制寄存器（偏移24 h/26 h）708](#bookmark630)

[7.5.1.3.10可预取基本上限32位/可预取上限32位寄存器（偏移28 h/2Ch） 709](#bookmark631)

[7.5.1.3.11 I/O基准上限16位/I/O上限16位寄存器（偏移30 h/32 h）709](#bookmark632)

[7.5.1.3.12扩展ROM基础地址寄存器（偏移38小时） 709](#bookmark633)

[7.5.1.3.13桥控制寄存器（偏移3Eh）709](#bookmark634)

[7.5.2PCI电源管理能力结构712](#bookmark635)

[7.5.2.1 电源管理上限能力寄存器（偏移00h） 712](#bookmark636)

[7.5.2.2 电源管理控制/状态寄存器（偏移04 h） 714](#bookmark637)

[7.5.2.3 数据（偏移07h）716](#bookmark638)

[7.5.3PCI Express能力结构 718](#bookmark639)

[7.5.3.1 PCI Express能力列表寄存器（偏移设置00h）719](#bookmark640)

[7.5.3.2 PCI Express能力寄存器（偏移02h） 720](#bookmark641)

[7.5.3.3 设备能力寄存器（偏移04h）722](#bookmark642)

[7.5.3.4 设备控制寄存器（偏移08h）725](#bookmark643)

[7.5.3.5 设备状态寄存器（偏移0Ah）730](#bookmark644)

[7.5.3.6 链路能力寄存器（偏移0Ch） 732](#bookmark645)

[7.5.3.7 链路控制寄存器（偏移t 10h）736](#bookmark646)

[7.5.3.8 链路状态寄存器（偏移12h）741](#bookmark647)

[7.5.3.9 插槽能力寄存器（偏移14h） 744](#bookmark648)

[7.5.3.10插槽控制寄存器（偏移18h）745](#bookmark649)

[7.5.3.11插槽状态寄存器（偏移1Ah）748](#bookmark650)

[7.5.3.12 根控制寄存器（fset 1Ch的） 750](#bookmark651)

[7.5.3.13根能力寄存器（偏移1Eh）752](#bookmark652)

[7.5.3.14 根状态寄存器（偏移20h） 752](#bookmark653)

[7.5.3.15 设备Capabilities2寄存器（偏移24h） 753](#bookmark654)

[7.5.3.16 设备控制2寄存器（偏移28h） 758](#bookmark655)

[7.5.3.17 设备状态2寄存器（偏移2Ah） 761](#bookmark656)

[7.5.3.18链接功能2寄存器（偏移2通道） 761](#bookmark657)

[7.5.3.19 链路控制2寄存器（偏移30h） 764](#bookmark658)

[7.5.3.20 链路状态2寄存器（偏移32h） 768](#bookmark659)

[7.5.3.21插槽功能2寄存器（偏移34h） 771](#bookmark660)

[7.5.3.22插槽控制2寄存器（偏移38h）771](#bookmark661)

[7.5.3.23插槽状态2寄存器（偏移3Ah）771](#bookmark662)

[7.6PCI Express扩展功能771](#bookmark663)

[7.6.1配置空间中的扩展功能772](#bookmark664)

[7.6.2根复合体寄存器块772中的扩展能力](#bookmark665)

[7.6.3PCI Express扩展能力报头772](#bookmark666)

[7.7在某些情况下基本规范要求的PCI和PCIe功能](#bookmark667)

[7.7.1MSI能力结构](#bookmark668)

[7.7.1.1 MSI CapabilityHeader（Offset00h）775](#bookmark669)

[7.7.1.2 MSI的消息控制寄存器（偏移02h）776](#bookmark670)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[7.7.1.3 MSI的消息地址寄存器（Offset 04h） 778](#bookmark671)

[7.7.1.4 MSI（偏移08h）的消息上地址寄存器 778](#bookmark672)

[7.7.1.5 MSI的消息数据寄存器（偏移08h或0Ch）779](#bookmark673)

[7.7.1.6 MSI扩展消息数据寄存器（可选） 779](#bookmark674)

[7.7.1.7 MSI的掩码位寄存器（偏移t 0Ch或10h780](#bookmark675)

[7.7.1.8 MSI挂起位寄存器（偏移10 h或14 h）780](#bookmark676)

[7.7.2 MSI-X功能和表结构781](#bookmark677)

[7.7.2.1 MSI-X能力报头（偏移00 h）784](#bookmark678)

[7.7.2.2 MSI-X的消息控制寄存器（Offset 02 h）784](#bookmark679)

[7.7.2.3 MSI-X的表偏移/表BIR寄存器（偏移04 h） 785](#bookmark680)

[7.7.2.4 PBA偏移/PBA BIR寄存器，用于MSI-X（偏移08 h） 786](#bookmark681)

[7.7.2.5 MS I-X表的消息地址寄存器 787](#bookmark682)

[7.7.2.6 MSI-X表E条目的消息上地址寄存器 787](#bookmark683)

[7.7.2.7 MSI-X表788的消息数据寄存器](#bookmark684)

[7.7.2.8 用于MSI-X表的矢量控制寄存器 788](#bookmark685)

[7.7.2.9 MSI-X PBA10789的挂起位寄存器](#bookmark686)

[7.7.3辅助PCI Express扩展功能789](#bookmark687)

[7.7.3.1 辅助PCI Express扩展能力报头（偏移00h） 792](#bookmark688)

[7.7.3.2 链路控制3寄存器（偏移设置04h）792](#bookmark689)

[7.7.3.3 通道错误状态寄存器（偏移08h）793](#bookmark690)

[7.7.3.4 车道均衡控制寄存器（偏移0Ch） 794](#bookmark691)

[7.7.4数据链路特性扩展能力 796](#bookmark692)

[7.7.4.1 数据链路特征扩展能力报头（偏移00h） 797](#bookmark693)

[7.7.4.2 数据链路特征能力寄存器（偏移04h） 798](#bookmark694)

[7.7.4.3 数据链路功能状态寄存器（偏移量08 h）798](#bookmark695)

[7.7.5物理层16.0GT/s扩展能力799](#bookmark696)

[7.7.5.1 物理层16.0 GT/s扩展容量头（偏移00 h） 800](#bookmark697)

[7.7.5.2 16.0 GT/s能力寄存器（偏移04 h） 801](#bookmark698)

[7.7.5.3 16.0 GT/s控制寄存器（偏移08 h） 801](#bookmark699)

[7.7.5.4 16.0 GT/s状态寄存器（偏移0 Ch） 802](#bookmark700)

[7.7.5.5 16.0 GT/s本地数据奇偶不匹配状态寄存器（Offset 10 h） 803](#bookmark701)

[7.7.5.6 16.0 GT/s第一重定时器数据奇偶不匹配状态寄存器（偏移14 h） 803](#bookmark702)

[7.7.5.7 16.0 GT/s第二重定时器数据奇偶校验不匹配状态寄存器（偏移18 h） 804](#bookmark703)

[7.7.5.8 物理层16.0 GT/s保留（偏移1通道） 804](#bookmark704)

[7.7.5.9 16.0 GT/s车道均衡控制R登记器（偏移20小时至3通道） 805](#bookmark705)

[7.7.6物理层32.0 GT/s扩展能力806](#bookmark706)

[7.7.6.1 物理层32.0 GT/s扩展能力Hea der（Offset 00 h） 807](#bookmark707)

[7.7.6.2 32.0 GT/s能力寄存器（偏移04 h） 808](#bookmark708)

[7.7.6.3 32.0 GT/s控制寄存器（偏移08 h） 809](#bookmark709)

[7.7.6.4 32.0 GT/s状态寄存器（偏移0通道） 810](#bookmark710)

[7.7.6.5 接收的修改的TS数据1寄存器（偏移10h）811](#bookmark711)

[7.7.6.6 接收的修改的TS数据2寄存器（偏移14h）812](#bookmark712)

[7.7.6.7 发送调制TS数据1寄存器（偏移18h） 813](#bookmark713)

[7.7.6.8 发送的修改TS数据2寄存器（偏移1Ch） 814](#bookmark714)

[7.7.6.9 32.0 GT/s通道均衡控制寄存器（偏移20 h） 815](#bookmark715)

[7.7.7接收机扩展能力处的通道边缘 817](#bookmark716)

[7.7.7.1 接收机扩展能力报头（偏移00h） 819处的通道裕量](#bookmark717)

[7.7.7.2 边缘端口能力注册表（偏移04h） 819](#bookmark718)

[7.7.7.3 边缘端口状态寄存器（偏移06h） 820](#bookmark719)

[7.7.7.4 边缘通道控制寄存器（偏移08h）820](#bookmark720)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[7.7.7.5 边缘通道状态寄存器（偏移0Ah）821](#bookmark721)

[7.7.8ACS扩展能力822](#bookmark722)

[7.7.8.1 ACS扩展能力报头（属于fset 00h） 823](#bookmark723)

[7.7.8.2 ACS Capability Register（Offset 04h） 824](#bookmark724)

[7.7.8.3 ACS控制寄存器（偏移06h） 825](#bookmark725)

[7.7.8.4 出口控制向量寄存器（偏移08h） 827](#bookmark726)

[7.8通用PCI和PCIe功能829](#bookmark727)

[7.8.1电源扩展能力829](#bookmark728)

[7.8.1.1 功率调整扩展能力报头（偏移00h） 829](#bookmark729)

[7.8.1.2 功率校准数据选择寄存器（偏移04h） 830](#bookmark730)

[7.8.1.3 功率调整数据寄存器（偏移08h）830](#bookmark731)

[7.8.1.4 功率调整能力寄存器（偏移0Ch） 832](#bookmark732)

[7.8.2延迟容差报告（LTR）E扩展功能833](#bookmark733)

[7.8.2.1 LTR扩展能力报头（偏移00h） 834](#bookmark734)

[7.8.2.2 最大监听延迟寄存器（偏移04h）834](#bookmark735)

[7.8.2.3 最大无监听等待时间寄存器（偏移06h）835](#bookmark736)

[7.8.3L1 PM子状态扩展能力835](#bookmark737)

[7.8.3.1 L1 PM子状态扩展能力报头（偏移00h） 836](#bookmark738)

[7.8.3.2 L1 PM子状态能力寄存器（偏移04h） 837](#bookmark739)

[7.8.3.3 L1 PM子状态控制1寄存器（偏移08h）838](#bookmark740)

[7.8.3.4 L1 PM Substates Control 2 Register（Offset0Ch）840](#bookmark741)

[7.8.3.5 L1 PM子状态状态寄存器（偏移10h）841](#bookmark742)

[7.8.4高级错误报告扩展功能 841](#bookmark743)

[7.8.4.1 高级错误报告扩展能力报头（偏移量00h） 842](#bookmark744)

[7.8.4.2 不可纠正的错误状态寄存器（偏移量04 h） 843](#bookmark745)

[7.8.4.3 不可纠正错误掩码寄存器（偏移08h） 845](#bookmark746)

[7.8.4.4 不可纠正错误严重度寄存器（偏移0Ch） 846](#bookmark747)

[7.8.4.5 可纠正错误状态寄存器（偏移10h） 848](#bookmark748)

[7.8.4.6 可校正错误掩码寄存器（偏移14h） 849](#bookmark749)

[7.8.4.7 高级错误能力和控制寄存器（偏移18h） 850](#bookmark750)

[7.8.4.8 标头日志寄存器（偏移1通道）851](#bookmark751)

[7.8.4.9 根错误命令寄存器（O偏移2Ch） 851](#bookmark752)

[7.8.4.10 根错误状态寄存器（偏移30h） 852](#bookmark753)

[7.8.4.11错误源识别寄存器（偏移量34h） 854](#bookmark754)

[7.8.4.12TLP前缀日志寄存器（偏移38h）855](#bookmark755)

[7.8.5增强型分配能力结构（EA）856](#bookmark756)

[7.8.5.1 增强的分配能力第一DW（Offs et 00h） 856](#bookmark757)

[7.8.5.2增强的分配上限能力第二DW（偏移04h）](#bookmark758)

[[仅类型1功能]856](#bookmark759)

[7.8.5.3 增强的每条目分配格式（偏移量04h或08h） 857](#bookmark760)

[7.8.6可调整尺寸的BAR扩展功能862](#bookmark761)

[7.8.6.1 可调整大小的BAR扩展能力报头（偏移量00h） 864](#bookmark762)

[7.8.6.2 可调整大小的BAR能力寄存器864](#bookmark763)

[7.8.6.3 可调整大小的BAR控制寄存器867](#bookmark764)

[7.8.7ARI扩展能力869](#bookmark765)

[7.8.7.1 ARI扩展能力报头（偏移00h） 870](#bookmark766)

[7.8.7.2 ARI能力寄存器（偏移04h） 870](#bookmark767)

[7.8.7.3 ARI控制寄存器（偏移06h） 871](#bookmark768)

[7.8.8PASID扩展功能结构 871](#bookmark769)

[7.8.8.1 PASID扩展功能报头（偏移量00h） 872](#bookmark770)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[7.8.8.2 PASID能力寄存器（偏移04h）872](#bookmark771)

[7.8.8.3 PASID控制寄存器（偏移设置06h）873](#bookmark772)

[7.8.9FRS扩展功能874](#bookmark773)

[7.8.9.1 FRS封装扩展能力报头（偏移00h） 875](#bookmark774)

[7.8.9.2 FRS连接能力寄存器（偏移04h）875](#bookmark775)

[7.8.9.3 FRS连接状态寄存器（偏移08h）876](#bookmark776)

[7.8.9.4 FRS触发控制寄存器（偏移0Ah） 877](#bookmark777)

[7.8.9.5 FRS消息队列寄存器（偏移0Ch）877](#bookmark778)

[7.8.10调平门式桥（FPB）能力878](#bookmark779)

[7.8.10.1FPB能力报头（偏移00h）878](#bookmark780)

[7.8.10.2FPB能力寄存器（偏移04h）879](#bookmark781)

[7.8.10.3 FPB RID矢量控制1寄存器（偏移08h） 881](#bookmark782)

[7.8.10.4 FPB RID矢量控制2寄存器（偏移0Ch） 882](#bookmark783)

[7.8.10.5 FPB MEM低电平矢量控制寄存器（偏移10 h） 883](#bookmark784)

[7.8.10.6 FPB MEM高矢量控制1寄存器（偏移14h） 884](#bookmark785)

[7.8.10.7 FPB MEM高水平矢量控制2寄存器（偏移18 h） 886](#bookmark786)

[7.8.10.8FPB矢量访问控制寄存器（偏移1Ch）887](#bookmark787)

[7.8.10.9 FPB矢量访问ss数据寄存器（偏移20h） 888](#bookmark788)

[7.9额外的PCI和PCIe功能888](#bookmark789)

[7.9.1虚拟通道扩展能力888](#bookmark790)

[7.9.1.1 虚拟信道扩展能力报头（偏移00h） 890](#bookmark791)

[7.9.1.2 端口VC能力寄存器1（偏移04h） 891](#bookmark792)

[7.9.1.3 端口VC能力寄存器2（偏移08h） 892](#bookmark793)

[7.9.1.4 端口VC控制寄存器（偏移0通道） 893](#bookmark794)

[7.9.1.5 端口VC状态寄存器（偏移0Eh）894](#bookmark795)

[7.9.1.6 VC资源能力寄存器 894](#bookmark796)

[7.9.1.7 VC资源控制寄存器 896](#bookmark797)

[7.9.1.8 VC资源状态寄存器](#bookmark798)

[7.9.1.9 VC仲裁表 898](#bookmark799)

[7.9.1.10港口仲裁表899](#bookmark800)

[7.9.2多功能虚拟通道扩展能力 901](#bookmark801)

[7.9.2.1 MFVC扩展能力标头r（偏移量00h） 902](#bookmark802)

[7.9.2.2 MFVC端口VC能力寄存器1（偏移04h） 903](#bookmark803)

[7.9.2.3 MFVC端口VC能力寄存器2（偏移08h） 904](#bookmark804)

[7.9.2.4 MFVC端口VC控制寄存器（偏移0Ch）905](#bookmark805)

[7.9.2.5 MFVC端口VC状态寄存器（偏移0Eh） 906](#bookmark806)

[7.9.2.6 MFVC VC资源能力寄存器906](#bookmark807)

[7.9.2.7 MFVC VC资源控制寄存器 907](#bookmark808)

[7.9.2.8 资源状态寄存器 909](#bookmark809)

[7.9.2.9 MFVC VC仲裁表910](#bookmark810)

[7.9.2.10函数仲裁表910](#bookmark811)

[7.9.3设备序列号扩展功能911](#bookmark812)

[7.9.3.1 设备序列号扩展能力标头（偏移量00h） 912](#bookmark813)

[7.9.3.2 序列号寄存器（Offset 04h） 913](#bookmark814)

[7.9.4 供应商特定功能 913](#bookmark815)

[7.9.5特定于供应商的扩展功能 914](#bookmark816)

[7.9.5.1 特定于供应商的扩展能力报头（偏移00h） 915](#bookmark817)

[7.9.5.2 供应商特定报头（偏移量04h） 915](#bookmark818)

[7.9.6指定供应商特定扩展能力（DVSEC）916](#bookmark819)

[7.9.6.1 指定的特定于供应商的扩展能力报头（fset 00h的） 917](#bookmark820)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[7.9.6.2 指定的供应商特定报头1（偏移量04h） 917](#bookmark821)

[7.9.6.3 指定的供应商特定报头2（偏移量08h） 918](#bookmark822)

[7.9.7RCRB报头扩展能力918](#bookmark823)

[7.9.7.1 RCRB报头扩展能力报头（偏移00h） 919](#bookmark824)

[7.9.7.2 RCRB供应商ID和设备ID寄存器（偏移04h）920](#bookmark825)

[7.9.7.3 RCRB能力寄存器（偏移08h）920](#bookmark826)

[7.9.7.4 RCRB控制寄存器（0Ch 偏移）920](#bookmark827)

[7.9.8根复合链接声明扩展能力921](#bookmark828)

[7.9.8.1 根复合链接声明扩展能力报头r（偏移量00h） 922](#bookmark829)

[7.9.8.2 元件自描述寄存器（偏移04h） 923](#bookmark830)

[7.9.8.3 联系我们](#bookmark831)

[7.9.8.3.1链路描述寄存器924](#bookmark832)

[7.9.8.3.2链接地址925](#bookmark833)

[7.9.8.3.2.1 链接类型0的链接地址 926](#bookmark834)

[7.9.8.3.2.2 链接类型1的链接地址 926](#bookmark835)

[7.9.9根复合体内部链路控制扩展能力927](#bookmark836)

[7.9.9.1 根复合体内部链路控制扩展能力报头（偏移00h） 928](#bookmark837)

[7.9.9.2 根复合体链路能力注册器（偏移04h） 928](#bookmark838)

[7.9.9.3 根复合体链路控制寄存器（偏移08h） 931](#bookmark839)

[7.9.9.4 根复合体链路状态寄存器（Offset0Ah） 932](#bookmark840)

[7.9.10根复合体事件收集器端点作为关联扩展功能933](#bookmark841)

[7.9.10.1根复合体事件收集器端点关联扩展能力报头（偏移量00h）934](#bookmark842)

[7.9.10.2RCiEP的关联位图（偏移04h）935](#bookmark843)

[7.9.10.3RCEC相关总线号寄存器（偏移08h） 935](#bookmark844)

[7.9.11多播扩展功能 936](#bookmark845)

[7.9.11.1多播扩展能力报头（属于fset 00h） 936](#bookmark846)

[7.9.11.2多播能力寄存器（Offset 04h） 937](#bookmark847)

[7.9.11.3多播控制寄存器（偏移06h）938](#bookmark848)

[7.9.11.4 MC\_Base\_Address寄存器（偏移08h） 938](#bookmark849)

[7.9.11.5 MC\_接收寄存器（偏移10h） 939](#bookmark850)

[7.9.11.6 MC\_Block\_All寄存器（偏移18h） 940](#bookmark851)

[7.9.11.7MC\_Block\_未翻译寄存器（O偏移20h）940](#bookmark852)

[7.9.11.8 MC\_Overlay\_BAR寄存器（偏移28 h） 941](#bookmark853)

[7.9.12动态功率分配扩展能力（DPA能力）941](#bookmark854)

[7.9.12.1 DPA扩展能力报头（偏移00h） 942](#bookmark855)

[7.9.12.2 DPA能力寄存器（偏移04h） 943](#bookmark856)

[7.9.12.3 DPA延迟指示寄存器（偏移08h） 944](#bookmark857)

[7.9.12.4 DPA状态寄存器（偏移0通道） 944](#bookmark858)

[7.9.12.5 DPA控制寄存器（偏移0Eh） 945](#bookmark859)

[7.9.12.6DPA功率分配阵列945](#bookmark860)

[7.9.13TPH变送器扩展能力946](#bookmark861)

[7.9.13.1TPH路由器扩展能力报头（偏移00h） 946](#bookmark862)

[7.9.13.2TPH请求者能力寄存器（偏移04h）947](#bookmark863)

[7.9.13.3TPH计数器控制寄存器（偏移08h）948](#bookmark864)

[7.9.13.4TPH ST表（从偏移0Ch 开始）949](#bookmark865)

[7.9.14 LN中继器扩展能力（LNR能力） 950](#bookmark866)

[7.9.14.1LNR扩展能力报头（偏移00h）950](#bookmark867)

[7.9.14.2 LNR能力寄存器（偏移04h） 951](#bookmark868)

[7.9.14.3 LNR控制寄存器（偏移06h） 951](#bookmark869)

[7.9.15DPC扩展能力952](#bookmark870)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[7.9.15.1DPC扩展能力报头（偏移00h）953](#bookmark871)

[7.9.15.2 DPC能力寄存器（偏移04h） 954](#bookmark872)

[7.9.15.3 DPC控制寄存器（偏移06h） 955](#bookmark873)

[7.9.15.4 DPC状态寄存器（Offset 08h） 957](#bookmark874)

[7.9.15.5 DPC错误源ID寄存器（偏移0Ah） 959](#bookmark875)

[7.9.15.6 RP PIO状态寄存器（偏移0通道） 959](#bookmark876)

[7.9.15.7 RP PIO掩码寄存器（偏移10h） 960](#bookmark877)

[7.9.15.8 RP PIO严重度寄存器（偏移14h） 961](#bookmark878)

[7.9.15.9 RP PIO系统错误寄存器（O偏移18h） 962](#bookmark879)

[7.9.15.10RP PIO异常注册表（偏移1通道） 962](#bookmark880)

[7.9.15.11RP PIO报头日志寄存器（偏移20h）963](#bookmark881)

[7.9.15.12RP PIO ImpSpec日志寄存器（偏移30h） 964](#bookmark882)

[7.9.15.13RP PIO TLP前缀日志寄存器（Offset34h） 964](#bookmark883)

[7.9.16精确时间管理扩展能力（PTM能力）965](#bookmark884)

[7.9.16.1PTM扩展能力报头（偏移00h） 966](#bookmark885)

[7.9.16.2 PTM能力寄存器（偏移04h） 966](#bookmark886)

[7.9.16.3 PTM控制寄存器（偏移08h） 968](#bookmark887)

[7.9.17就绪时间报告扩展功能969](#bookmark888)

[7.9.17.1准备时间报告扩展能力报头（偏移00h）970](#bookmark889)

[7.9.17.2 准备时间报告1寄存器（偏移设置04h） 971](#bookmark890)

[7.9.17.3 准备时间报告2寄存器（偏移08h） 972](#bookmark891)

[7.9.18层次ID扩展能力 972](#bookmark892)

[7.9.18.1 Hierarchy ID扩展能力报头（偏移00h） 974](#bookmark893)

[7.9.18.2 层次ID状态寄存器（偏移04h） 975](#bookmark894)

[7.9.18.3 层次ID数据寄存器（偏移08h） 976](#bookmark895)

[7.9.18.4 层次ID寄存器1（偏移0Ch） 977](#bookmark896)

[7.9.18.5 层次ID寄存器2（偏移10h） 977](#bookmark897)

[7.9.18.6 层次ID寄存器（偏移14h） 978](#bookmark898)

[7.9.18.7 层次结构ID GUID4寄存器（偏移量18 h） 978](#bookmark899)

[7.9.18.8 Hierarchy ID 105寄存器（偏移1Ch） 979](#bookmark900)

[7.9.19重要产品数据能力（VPD能力）979](#bookmark901)

[7.9.19.1VPD Address Register 980](#bookmark902)

[7.9.19.2VPD数据寄存器981](#bookmark903)

[7.9.20本机PCIe盘柜管理扩展功能（NPEM扩展功能）981](#bookmark904)

[7.9.20.1NPEM扩展能力报头（偏移00h）982](#bookmark905)

[7.9.20.2NPEM能力寄存器（偏移04h）982](#bookmark906)

[7.9.20.3 NPEM控制寄存器（偏移08h） 984](#bookmark907)

[7.9.20.4 NPEM状态寄存器（偏移0Ch） 986](#bookmark908)

[7.9.21备用协议扩展能力 987](#bookmark909)

[7.9.21.1备用协议扩展能力报头（偏移00h） 987](#bookmark910)

[7.9.21.2替代协议能力寄存器（偏移04h） 988](#bookmark911)

[7.9.21.3备用协议控制寄存器（偏移08h）988](#bookmark912)

[7.9.21.4备用协议数据1寄存器（偏移0Ch）989](#bookmark913)

[7.9.21.5备用协议数据2寄存器（偏移10h）990](#bookmark914)

[7.9.21.6替代协议选择性启用掩码寄存器（偏移14h）990](#bookmark915)

[7.9.22传统PCI高级配置能力（AF） 991](#bookmark916)

[7.9.22.1高级功能Capability Headerer（Offset 00h） 991](#bookmark917)

[7.9.22.2AF能力寄存器（偏移03h） 992](#bookmark918)

[7.9.22.3常规PCI高级功能控制寄存器（fset 04h的） 992](#bookmark919)

[7.9.22.4AF状态寄存器（Offset05h）993](#bookmark920)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[7.9.23SFI扩展能力993](#bookmark921)

[7.9.23.1SFI扩展能力报头（偏移00h） 994](#bookmark922)

[7.9.23.2SFI能力寄存器（O偏移04h） 995](#bookmark923)

[7.9.23.3SFI控制寄存器（偏移06h）995](#bookmark924)

[7.9.23.4SFI状态寄存器（偏移08h）997](#bookmark925)

[7.9.23.5SFI CAM Address Register（Offset 0Ch） 998](#bookmark926)

[7.9.23.6SFI CAM数据寄存器（偏移10h） 998](#bookmark927)

[7.9.24子系统ID和系统供应商ID能力 998](#bookmark928)

[8.电气子块1001](#bookmark929)

[8.1电气规范介绍1001](#bookmark930)

[8.2互操作性标准 1001](#bookmark931)

[8.2.1数据速率1001](#bookmark932)

[8.2.2参考架构1001](#bookmark933)

[8.3变送器规范1001](#bookmark934)

[8.3.1字符化变送器的测量设置1001](#bookmark935)

[8.3.1.1 分线和分线通道1003](#bookmark936)

[8.3.2电压电平定义1004](#bookmark937)

[8.3.3Tx电压参数1005](#bookmark938)

[8.3.3.1 2.5和5.0 GT/s发射机均衡 1005](#bookmark939)

[8.3.3.2 8.0、16.0和32.0 GT/s发射机均衡 1005](#bookmark940)

[8.3.3.3 Tx均衡预设1006](#bookmark941)

[8.3.3.4 测量2.5 GT/s和5.0 GT/s的Tx均衡 1008](#bookmark942)

[8.3.3.5 8.0 GT/s、16.0 GT/s和32.0 GT/s时的测量预设1008](#bookmark943)

[8.3.3.6 在2.5 GT/s和5.0 GT/s下测量V TX-DIFF-PP的方法 1011](#bookmark944)

[8.3.3.7 在8.0 GT/s、16.0 GT/s和32. 0 GT/s1011](#bookmark945)

[8.3.3.8 系数范围和公差 1012](#bookmark946)

[8.3.3.9 EIEOS和VTX-EIEOS-FS和VTX-EIEOS-RS限值 1012](#bookmark947)

[8.3.3.10减少摆动信号1014](#bookmark948)

[8.3.3.11 8.0GT/s、16.0 GT/s和32.0GT/s时的有效Tx封装损耗 1014](#bookmark949)

[8.3.4变送器裕度1016](#bookmark950)

[8.3.5Tx抖动参数1017](#bookmark951)

[8.3.5.1 提取抖动 的后处理步骤1017](#bookmark952)

[8.3.5.2 应用CTLE或去嵌入 1017](#bookmark953)

[8.3.5.3 独立参考测量和后处理 1018](#bookmark954)

[8.3.5.4 嵌入式和非嵌入式基准测量和后处理 1018](#bookmark955)

[8.3.5.5 行为CDR特征1019](#bookmark956)

[8.3.5.6 数据相关和非线性抖动 1023](#bookmark957)

[8.3.5.7 数据相关抖动1023](#bookmark958)

[8.3.5.8 不相关总抖动和确定性抖动（双狄拉克模型）（TTX-UTJ和TTX-UDJDD） 1024](#bookmark959)

[8.3.5.9 随机抖动（TTX-RJ）（通知） 1025](#bookmark960)

[8.3.5.10不相关的总体和确定性PWJ（TTX-UPW-TJ和TTX-UPW-DJDD）1025](#bookmark961)

[8.3.6数据速率相关参数 1027](#bookmark962)

[8.3.7 Tx和Rx回波损耗1031](#bookmark963)

[8.3.8发送器PLL带宽和峰值1032](#bookmark964)

[8.3.8.1 2.5 GT/s和5.0 GT/s Tx PLL带宽和峰值 1032](#bookmark965)

[8.3.8.2 8.0 GT/s、16.0 GT/s和32.0 GT/s Tx PLL带宽和峰值 1032](#bookmark966)

[8.3.8.3 串联电容器1033](#bookmark967)

[8.3.9与数据速率无关的Tx参数1033](#bookmark968)

[8.4接收器规格 1034](#bookmark969)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

8.4.1接收器应力弹性规范1034

8.4.1.1 分线和分线通道1035

8.4.1.2 校准通道插入损耗特性 1035

8.4.1.3 后处理程序1043

8.4.1.4 Behavioral Rx封装型号 1044

8.4.1.5 行为CDR模型1044

8.4.1.6 2.5和5.0 GT/s 1044无行为Rx均衡

8.4.1.7 8.0、16.0和32.0 GT/s的行为Rx方程 1044

8.4.1.8 行为CTLE（8.0和16.0GT/s） 1045

8.4.1.9 行为CTLE（32.0 GT/s）1046

8.4.1.10 行为DFE（仅8.0、16.0和32.0 GT/s） 1048

8.4.2压力眼睛测试1049

8.4.2.1 用于校准应力EH/EW眼 1050的程序

8.4.2.1.1后处理工具要求1054

8.4.2.2 Rx DUT 1055的测试程序

8.4.2.2.1Sj面罩1055

8.4.2.3 接收机参考模块1061

8.4.2.3.1公共参考模式1061

8.4.2.3.2独立参考模式1062

8.4.3通用接收器参数 1063

8.4.3.1 5.0 GT/s退出怠速检测（怠速） 1065

8.4.3.2 接收器回波损耗 1065

8.4.4接收器处的通道边缘-电气要求1066

8.4.5低频和其他信号要求

8.4.5.1 ESD标准 1068

8.4.5.2 通道交流耦合电容器 1068

8.4.5.3 短路要求1068

8.4.5.4 发送器和接收器终端 1068

8.4.5.5 电气Idle 1069

8.4.5.6 直流共模电压 1069

8.4.5.7 接收器检测 1069

8.5通道公差 1070

8.5.1通道一致性测试1070

8.5.1.1 行为发射器和接收器封装型号 1071

8.5.1.2 测量组件性能（仅16.0 GT/s） 1078

8.5.1.3 模拟工具要求 1078

8.5.1.3.1模拟工具链输入1079

8.5.1.3.2处理步骤

8.5.1.3.3模拟工具输出1079

8.5.1.3.4开源模拟工具1080

8.5.1.4 行为滤波器参数1080

8.5.1.4.1推导电压和抖动参数1080

8.5.1.4.2优化Tx/Rx均衡（仅限8.0 GT/s、16.0 GT/s和32.0GT/s） 1082

8.5.1.4.3通过/未通过眼特性1082

8.5.1.4.4表征通道共模噪声1084

CH-IDLE- DET- DIFF-第 1084页

8.6参考规格1085

8.6.1参考测试设置1085

8.6.2REFCLK交流规格1086

8.6.3与数据速率无关的参考 参数1089

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

8.6.3.1 低频基准电压抖动Limits1090

8.6.4支持的参考架构1091

8.6.5应用于原始数据的 过滤功能1091

8.6.5.1 PLL滤波器传递函数示例1092

8.6.5.2 CDR传递函数示例1092

8.6.6通用参考Rx架构（CC） 1093

8.6.6.1 确定PLL BW和峰化组合的数量 1093

8.6.6.2 通用参考1094的CDR和PLL带宽和峰值限值

8.6.7参考架构的抖动限制1095

8.6.8RefClock架构 的外形要求1096

9. 单根I/ O虚拟化和共享1099

9.1SR-IOV体系结构概述1099

9.1.1 PCI技术互操作性 1111

9.2SR-IOV配置和资源分配1112

9.2. 1 SR-IOV资源分配 1112

9.2.1.1 配置SR-IOV功能 1112

9.2.1.1.1配置VF BAR机制1112

9.2.1.2 VF Discovery1113

9.2.1.3 函数依赖项列表1116

9.2.1.4 资源分配1116

9.2.2SR-IOV复位机制1116

9.2.2.1 SR-IOV常规复位 1116

9.2.2.2 FLRThatTargets aVF 1116

9.2.2.3 针对PF 1116的FLR

9.2.3 IOV重新初始化和重新分配1117

9.2.4VF迁移1117

9.2.4.1 初始VF状态1117

9.2.4.2 VF迁移状态转换 1118

9.3配置1120

9.3. 1 SR-IOV配置概述1120

9.3.2配置空间1121

9.3.3SR-IOV扩展能力 1121

9.3.3.1 SR-IOV扩展能力报头（偏移00 h） 1122

9.3.3.2 SR-IOV能力寄存器（04 h） 1123

9.3.3.2.1支持VF迁移1124

9.3.3.2.2ARI能力层次结构保留1124

9.3.3.2.3VF 10位标签转发器支持端口1124

9.3.3.2.4 VF迁移验证消息编号 1125

9.3.3.3 SR-IOV控制寄存器（偏移08 h） 1125

9.3.3.3.1VF启用1127

9.3.3.3.2VF迁移启用1128

9.3.3.3.3VF迁移验证码启用1128

9.3.3.3.4VF MSE（内存空间启用） 1128

9.3.3.3.5ARI能力层级1129

9.3.3.4 SR-IOV状态寄存器（偏移0Ah） 1129

9.3.3.4.1VF迁移状态1130

9.3.3.5 初始VF（偏移0Ch）1130

9.3.3.6 总VF（偏移0Eh） 1130

9.3.3.7 NumVF（偏移10h）1131

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

9.3.3.8 函数相关链接（偏移12h）1131

9.3.3.9 第一VF偏移（偏移14h）1133

9.3.3.10VFStride（Offset 16h）1133

9.3.3.11VF设备ID（偏移1Ah） 1133

9.3.3.12支持的页面大小（偏移量1Ch） 1134

9.3.3.13系统页面大小（偏移量20h）1134

9.3.3.14VF BAR0（偏移24 h）、VF BAR1（偏移28 h）、VF BAR2（偏移2Ch）、VF BAR3（偏移30 h）、VF BAR4（偏移

34 h），VF BAR5（偏移38 h）1134

9.3.3.15VF Migration StateArray Offset（Offset3Ch）1135

9.3.3.15.1 VF迁移状态数组1136

9.3.4PF/VF配置空间报头1138

9.3.4.1 PF/VF类型0配置空间报头1138

9.3.4.1.1供应商ID寄存器更改（偏移00h）1139

9.3.4.1.2设备ID寄存器更改（偏移02h）1140

9.3.4.1.3命令寄存器更改（fset04h） 1140

9.3.4.1.4状态寄存器更改（偏移06h） 1140

9.3.4.1.5版本ID寄存器变更（偏移08h） 1141

9.3.4.1.6类代码寄存器更改（偏移09h）1141

9.3.4.1.7高速缓存行大小寄存器更改（偏移0Ch）1141

9.3.4.1.8延迟定时器寄存器更改（偏移0Dh）1141

9.3.4.1.9报头类型寄存器更改（偏移0Eh）1141

9.3.4.1.10 BIST寄存器更改（偏移0Fh）1141

9.3.4.1.11基址寄存器寄存器更改（偏移设置10 h、14 h、 24 h）... ................... 1141

9.3.4.1.12 Cardbus CIS指针寄存器更改（偏移28 h）1142

9.3.4.1.13子系统供应商ID寄存器更改（偏移2Ch）1142

9.3.4.1.14子系统ID寄存器更改（偏移2Eh）1142

9.3.4.1.15扩展ROM基址寄存器寄存器更改（偏移30h）1142

9.3.4.1.16能力指针寄存器更改（O偏移34 h） 1142

9.3.4.1.17线路寄存器更改（偏移3通道）1142

9.3.4.1.18引脚寄存器更改（偏移3Dh）1142

9.3.4.1.19Min\_Gnt寄存器/Max\_Lat寄存器更改（偏移3Eh/3Fh）1142

9.3.5PCI Express功能更改1142

9.3.5.1 PCI Express功能寄存器更改（偏移00h） 1143

9.3.5.2 PCI Express功能寄存器更改（偏移02h） 1143

9.3.5.3 设备功能寄存器更改（偏移04h） 1143

9.3.5.4 设备控制寄存器更改（偏移08h）1143

9.3.5.5 设备状态寄存器更改（偏移0Ah） 1144

9.3.5.6 链路功能寄存器更改（偏移0Ch） 1144

9.3.5.7 链路控制寄存器更改（偏移10h）1145

9.3.5.8 链路状态寄存器更改（偏移12h）1145

9.3.5.9 器件功能2寄存器更改（偏移24h） 1145

9.3.5.10 设备控制2寄存器更改（偏移28h） 1146

9.3.5.11 设备状态2寄存器更改（偏移2Ah） 1147

9.3.5.12链接功能2寄存器更改（偏移2通道） 1147

9.3.5.13 链路控制2寄存器更改（偏移30h） 1147

9.3.5.14 链路状态2寄存器更改（偏移32小时） 1147

9.3.6PCI标准功能1147

9.3.6.1 VPD能力1148

9.3.7 PCI Express扩展功能更改 1148

9.3.7.1 虚拟通道/MFVC 1150

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

9.3.7.2 器械序列号1151

9.3.7.3 电源开关 1151

9.3.7.4 可调整尺寸的BAR 1151

9.3.7.5 VF可调整BAR扩展功能 1151

9.3.7.5.1VF可调整大小的BAR扩展能力报头（偏移00h） 1153

9.3.7.5.2VF可调整BAR能力寄存器（偏移04h） 1153

9.3.7.5.3VF可调整BAR控制寄存器（偏移08h） 1153

9.3.7.6 访问控制服务（ACS）扩展功能更改 1155

9.3.7.7 替代路由ID解释扩展能力（ARI）更改 1156

9.3.7.8 地址翻译服务扩展功能更改（ATS） 1157

9.3.7.9 MR-IOV变更 1157

9.3.7.10多播更改 1158

9.3.7.11 页面请求接口更改（PRI） 1158

9.3.7.12动态功率分配改变（DPA）1158

9.3.7.13TPH转换器更改（TPH） 1159

9.3.7.14 PASID挑战赛 1159

9.3.7.15准备时间报告扩展功能更改1159

9.4SR-IOV错误处理

9.4.1基线错误报告1159

9.4.2高级错误报告1160

9.4.2.1 VF标头日志1160

9.4.2.2 高级错误报告功能更改 1161

9.4.2.3 高级错误报告扩展功能标头更改（偏移量00h） 1161

9.4.2.4 无法纠正的错误状态寄存器更改（偏移量04 h） 1161

9.4.2.5 不可纠正错误掩码寄存器更改（偏移08h） 1161

9.4.2.6 无法纠正的错误或严重性寄存器更改（偏移0Ch） 1162

9.4.2.7 可纠正的错误状态寄存器更改（偏移t 10h） 1163

9.4.2.8 可纠正错误掩码寄存器更改（偏移14h） 1163

9.4.2.9 高级错误功能和控制寄存器更改（偏移18h） 1163

9.4.2.10 标头日志寄存器更改（偏移1Ch） 1164

9.4.2.11根错误命令寄存器更改（fset2Ch） 1164

9.4.2.12 根错误状态寄存器更改（偏移30h） 1164

9.4.2.13错误源识别注册表更改（偏移量34 h） 1165

9.4.2.14TLP前缀日志寄存器更改（偏移量38小时） 1165

9.5SR-IOV中断

9.5.1安装机构1165

9.5.1.1 MSI中断 1165

9.5.1.2 MSI-X中断1165

9.5.1.3 地址范围隔离 1166

9.6SR-IOV电源管理

9.6.1VF设备电源管理状态 1166

9.6.2PF设备电源管理状态 1167

9.6.3链路电源管理状态1168

9.6.4VF电源管理能力1168

9.6.5 VF紧急功率降低状态 1168

10. ATS规范1169

10.1 ATS体系结构概述

10.1.1地址转换服务（ATS）概述 1170

10.1.2页面请求接口扩展1176

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

10.1.3进程地址空间ID（PASID） 1177

10.2 ATS翻译服务 1178

10.2.1地址类型为1178的

10.2.2翻译请求1179

10.2.2.1属性字段1180

10.2.2.2 长度字段d 1181

10.2.2.3Tag Field1181

10.2.2.4未翻译地址字段1181

10.2.2.5 无写（NW）标志 1181

10.2.2.6转换请求上的PASIDTLP前缀1182

10.2.3翻译 完成1182

10.2.3.1翻译地址字段1185

10.2.3.2翻译范围大小（S）字段1185

10.2.3.3Non-snooped（N）字段1186

10.2.3.4未翻译的仅访问（U）字段1186

10.2.3.5 读（R）和写（W）字段 1187

10.2.3.6 允许执行（Exe） 1187

10.2.3.7加密模式访问（Priv） 1188

10.2.3.8Global Mapping（Global） 1189

10.2.4多个翻译 的完成1189

10.3 ATS失效

10.3.1使请求无效1190

10.3.2使完工无效1191

10.3.3使完成语义 无效1193

10.3.4请求接受规则 1193

10.3.5使流量控制无效1194

10.3.6使排序语义 无效1194

10.3.7隐式失效事件 1195

10.3.8PASIDTLP前缀和全局无效1196

10.4页面请求服务 1197

10.4.1页面请求消息e 1197

10.4.1.1 PASIDTLP前缀用法 1199

10.4.1.2 管理PRG请求上的PAS ID TLP前缀使用 1199

10.4.1.2.1停止标记消息1200

10.4.2寻呼请求组响应消息1201

10.4.2.1响应代码字段1203

10.4.2.2 PRG响应上的PASID TLP前缀用法 1203

10.5 ATS配置1203

10.5.1ATS扩展能力 1203

10.5.1.1ATS扩展能力报头（偏移设置00h） 1204

10.5.1.2ATS能力寄存器（偏移04h） 1204

10.5.1.3ATS控制寄存器（偏移06h）1205

10.5.2页面请求扩展能力结构1206

10.5.2.1页面请求扩展能力报头（偏移00h）1206

10.5.2.2 页面请求控制寄存器（偏移04h） 1207

10.5.2.3 页请求状态寄存器（偏移06h） 1208

10.5.2.4未完成页面请求容量（偏移08h） 1209

10.5.2.5未完成页面请求分配（偏移0Ch） 1209

A.同步应用 1211

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

A.1导言1211

A.2等值线合同和合同参数 1212

A.2.1等时周期和等时虚拟时隙1213

A.2.2等离子体有效载荷大小1213

A.2.3等带宽分配1214

A.2.4等值交易延迟1215

A.2.5等温线参数示例1216

A.3等值交易规则1216

A.4交易订单 1217

A.5等值线数据相干cy1217

A.6流量控制 1217

A.7带宽分配 的考虑因素1218

A.7.1PCIExpress链路 的等带宽1218

A.7.2端点的等值线带宽1218

A.7.3交换机的等效带宽1218

A.7.4根复合体 的等效带宽1218

A.8PCI Express组件的注意事项1218

A.8.1作为查询器的端点1218

A.8.2作为完成者的端点1219

A.8.3开关1219

A.8.4根复合体1220

B.符号编码 1221

C.物理层附录 1231

C.1 8b/10 b数据加扰示例 1231

C.2128 b/130 b数据分析随机示例 1236

D.请求确认 1239

E. 基于ID的排序用法1243

E.1导言1243

E.2使用IDO的潜在益处1244

E.2.1MFD/RP直连的优势1244

E.2.2交换环境的好处1244

E.2.3集成端点的 优势1244

E.2.4IDO与RO 1245

E.3何时使用IDO1245

E.4何时不使用IDO 1245

E.4.1何时不使用带有端点的IDO1245

E.4.2何时不使用带有根端口的 IDO1246

E.5IDO使用 的软件控制1246

E.5.1端点IDO使用的软件控制1246

E.5.2根端口IDO使用的软件控制1247

F.消息代码使用1249

G.协议复用1251

与PCI Express 1253的G.1协议多路复用交互

G.2PMUX数据包 1257

G.3PMUX数据包布局1258

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

G.3.18b/10 b编码的PMUX数据包布局1258

G.3.2128 b/130 b 编码的PMUX数据包布局1260

G.4PMUX控制1263

G.5PMUX扩展功能1264

G.5.1PMUX扩展能力报头（偏移00h） 1265

G.5.2PMUX能力寄存器（偏移04h）1265

G.5.3PMUX控制R登记器（偏移08h） 1266

G.5.4PMUX状态寄存器（偏移0Ch）1267

G.5.5PMUX协议阵列（偏移10 h至48 h） 1269

H.流控制更新延迟和ACK更新延迟计算1271

H.1流量控制更新日期延迟 1271

H.2确认延迟1273

I. 异步热插拔参考型号1277

I.1 异步热插拔初始配置 1279

I.2 异步消除配置和异步处理 1281

I.3 异步热添加配置和故障处理 1283

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图表目录

[图1-1 PCI Express Link91](#bookmark970)

[图1-2 示例PCI Express到拓扑 92](#bookmark971)

[图1-3 交换机 的逻辑框图95](#bookmark972)

[图1-4 高级分层图98](#bookmark973)

[图1-5 通过第98层的数据包流](#bookmark974)

图2-1 突出显示事务处理层 103的分层图

图2-2 TLP 105系列视图

图2-3 通用TLP格式106

图2-4 所有TLP 中存在的字段107

图2-5 所有TLP头中存在的字段108

图2-6 FetchAdd 112的完成程序目标内存访问 示例

图2-7 64位地址路由114

图2-8 32位地址路由114

图2-9 非ARI ID路由，带有4 DW报头 116

图2-10 带有4个DW报头 的ARI ID路由116

图2-11 带有3个DW报头的非ARI ID路由 116

图2-12 带有3个DW报头 的ARI ID路由117

图2-13 TLP报头117中By te Enables的位置

图2-14 交易描述符120

图2-15 交易ID120

图2-16 事务描述符 125的属性字段

图2-17 用于存储器129的64位寻址的请求报头 格式

图2-18 用于存储器129的32位寻址的请求报头 格式

图2-19 I/O事务的请求报头格式 130

图2-20 配置事务的请求报头格式 131

图2-21 TPHTLP Prefix 131

图2-22 PH[1：0]在4DW请求报头 132中的位置

图2-23 PH[1：0]在3DW请求报头 132中的位置

图2-24 ST[7：0]在存储器写请求报头 133中的位置

图2-25 ST[7：0]在存储器读取和原子操作请求报头中的位置 133

图2-26 消息请求报头 134

图2-27 ERR\_COR消息 141

图2-28 供应商定义消息的标题 143

图2-29 PCI-SIG定义的VDM的报头 144

图2-30 LN M消息 146

图2-31 DRS消息 147

图2-32 FRS消息 148

图2-33 Hierarchy ID消息 149

图2-34 LTR消息 151

图2-35 OBFF Message 152

图2-36 PTM请求/响应消息 153

图2-37 PTM响应D消息（4个DW报头和1个DW有效载荷） 153

图2-38 154处的 完成标题表单

图2-39 （非ARI）完成者ID 155

图2-40 ARI填写人ID 155

图2-41 收到的TLP处理流程图 161

图2-42 TLP 开关处理流程图163

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图2-43 接收请求处理流程图 168

图2-44 某些字节使能为0b 171时的复杂数据示例

图2-45 虚拟渠道概念-一个例证183

图2-46 虚拟通道概念t-交换机内部构件（上游流） 184

图2-47 TC/VC双186实例

图2-48 完成者和最终完成者之间的 关系187

图2-49 TLP端到端数据完整性保护的32位ECRC计算 201

图3-1 分层图突出显示数据链路层 209

图3-2 数据链路控制和管理状态机 211

图3-3 具有基于8b/10b编码的成帧的VC 0流控制RTP示例 219

图3-4 DLLP类型和CRC字段 221

图3-5 数据链路层数据包格式，用于确认和拒绝 224

图3-6 NOP数据链路层分组格式224

图3-7 InitFC1224的数据链路层包和格式

图3-8 InitFC2224的数据链路层包和格式

图3-9 UpdateFC 225的数据链路层数据包格式

图3-10 PM数据链路层包格式 225

图3-11 供应商专用数据链路层分组格式 225

图3-12 数据链路功能DLLP格式 225

图3-13 DLLP的CRC计算图 227

图3-14 使用LCRC和TLP序列号的TLP 228

图3-15 在应用TLP序列号和保留位之后的TLP 230

图3-16 LCRC232的计算

图3-17 接收DLLP错误检查流程图 236

图3-18 Ack/Nak DLLP处理流程图238

图3-19 TLP的接收数据链路层处理 241

图4-1 突出显示物理层245的分层图

图4-2 字符到符号映射 246

图4-3 物理通道上的位传输顺序-x1示例 247

图4-4 物理通道上的位传输顺序-x4示例 247

图4-5 使用帧符号的TLP 250

图4-6 DLLP与帧符号应用 250

图4-7 x1链路 上的帧TLP251

图4-8 x2链路 上的帧TLP251

图4-9 x4链路 上的框架TLP252

图4-10 具有8b/10 b抓取多项式的LFSR253

图4-11 x1链路中的位传输顺序示例，显示块 255的130位

图4-12 每个通道256一个块的x4链路中的位放置 示例

图4-13 框架布局Tokens 259

图4-14 TLP和DLLP布局 261

图4-15 x8链路261中的数据包传输

图4-16 x8链路中的无效TLP布局与其他数据包 262

图4-17 SKP长度为66位的有序集，x8 Link 263

图4-18 8.0GT/s及以上数据速率的加扰多项式LFSR 269

图4-19 用于解扰的LFSR的替代实现 271

图4-20 对加扰器/解扰器273进行预编码工作

图4-21 8.0 GT/s均衡流量 284

图4-22 16.0 GT/s E均衡流程 285

图4-23 均衡旁路示例 286

图4-24 替代协议协商和均衡旁路LTSSM状态 299

图4-25 8.0GT/s及以上数据速率（EIEOS）的电气怠速退出指令设置 303

图4-26 链路训练和状态状态机 317的主状态图

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图4-27 检测子状态机 319

图4-28 轮询子状态机 325

图4-29 配置子状态机 340

图4-30 恢复子状态机 365

图4-31 L0s子状态机 371

图4-32 L1子状态机 373

图4-33 L2子状态机 374

图4-34 环回子状态机 380

图4-35 接收器编号分配器 396

图4-36 支持的重定时器拓扑410

图4-37 重定时器CLK #连接拓扑 436

图5-1 链路电源管理状态流程图 442

图5-2 进入L1 LinkState451

图5-3 从上游组件453发起的L1链路状态 退出

图5-4 示出WAKE# Routing 456的两个示例情况的概念 图

图5-5 概念性PME控制状态机 459

图5-6 L1转换序列以拒绝结束（启用L0） 470

图5-7 L1成功转换序列 471

图5-8 L1退出延迟计算示例473

图5-9 L1 PM子状态479的状态图

图5-10 带有单个PLL 480的下游端口

图5-11 具有共享PLL 481的多个下游端口

图5-12 示例：L1.1说明上游端口启动退出483的波形

图5-13 示例：L1.1说明下游端口启动退出484的波形

图5-14 L1.2第 485款

图5-15 示例：由于CLKING#486的不同采样而导致的边界条件图示

图5-16 示例：L1.2说明上游端口启动退出487的波形

图5-17 示例：L1.2说明下游端口启动退出488的波形

图5-18 功能电源管理状态转换 492

图5-19 PCI Express桥接电源管理图 493

图6-1 错误分类 506

图6-2 示出设备错误信号发送和记录操作的序列的流程图 518

图6-3 所选错误消息控制和状态位的伪逻辑图 519

图6-4 TC过滤示例 535

图6-5 TC到VC映射示例 536

图6-6 说明入口和出口的业务流的示例 537

图6-7 通过交换机 538的区分业务流的示例

图6-8 交换机仲裁结构 539

图6-9 VC ID和优先级顺序-示例 540

图6-10 多功能仲裁模型 543

图6-11 根复合体Re呈现为单个分量578

图6-12 根复合体表示为多个组分 579

图6-13 具有ARI D设备的示例系统拓扑 592

图6-14 多播地址范围的分段 593

图6-15 LTR消息的潜在字段格式 609

图6-16 CLKCLK #和时钟电源管理 612

图6-17 使用LTR和时钟电源管理 613

图6-18 代码和等效WAKE#模式 615

图6-19 示出OBFF由消息携带的链路的示例平台拓扑 616

图6-20 PASIDTLPPrefix 619

图6-21 LN系统框图示例 623

图6-22 LN协议基本操作 624

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图6-23 使用PTM 628的示例系统拓扑

图6-24 精密时间测量链路协议 629

图6-25 精确时间测量示例 631

图6-26 PTM调试器操作 633

图6-27 PTM时间戳捕获示例 636

图6-28 说明增强分配 640的应用的示例

图6-29 紧急功率降低状态：示例附加卡 644

图6-30 FPB高级图和示例拓扑 649

图6-31 示出开关650的“扁平化”的示例

图6-32 地址范围译码 651的矢量机制

图6-33 FPB和非FPB解码机制之间的关系 652

图6-34 路由ID（RID）和支持的粒度 654

图6-35 4 GB以下内存中的缓存和粒度655的影响

图6-36 VPD格式660

图6-37 使用下游端口665的NPEM配置 示例

图6-38 使用上游端口666的NPEM配置示例

图6-39 NPEM命令流 667

图7-1 PCIExpress根复合体设备映射 674

图7-2 PCI Express交换机设备映射 674

图7-3 PCI Express配置空间布局

图7-4 公共配置空间标题 685

图7-5 命令寄存器686

图7-6 状态寄存器er689

图7-7 分类代码寄存器 691

图7-8 标题类型寄存器 692

图7-9 BIST寄存器 693

图7-10 Type 0ConfigurationSpace Header696

图7-11 存储器基址寄存器 697

图7-12 用于I/O 697的基址寄存器

图7-13 扩展ROM基址寄存器 701

图7-14 类型1配置空间标题704

图7-15 辅助状态寄存器 706

图7-16 桥接控制寄存器 710

图7-17 电源管理能力结构 712

图7-18 电源管理能力寄存器 713

图7-19 电源管理控制/状态寄存器 715

图7-20 数据寄存器 716

图7-21 PCI扩展能力结构 719

图7-22 PCI Express Capability List Register 720

图7-23 PCI Express能力寄存器 720

图7-24 设备容量寄存器 722

图7-25 设备控制寄存器 725

图7-26 设备状态寄存器 731

图7-27 链路能力寄存器 732

图7-28 链路控制寄存器 736

图7-29 链接状态寄存器 742

图7-30 插槽能力寄存器 744

图7-31 插槽控制寄存器 746

图7-32 插槽状态寄存器 749

图7-33 根控制寄存器 751

图7-34 根能力寄存器 752

图7-35 根状态寄存器 752

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图7-36 设备能力2寄存器 753

图7-37 设备控制2寄存器 758

图7-38 链路能力2寄存器 761

图7-39 链路控制2寄存器 764

图7-40 链路状态2寄存器 768

图7-41 插槽功能2寄存器 771

图7-42 PCI Express扩展配置空间布局 772

图7-43 PCI Express扩展功能Header 772

图7-44 32位消息地址 774的MSI能力结构

图7-45 64位消息地址 774的MSI功能结构

图7-46 32位消息地址和PVM 774的MSI能力结构

图7-47 64位消息地址和PVM 775的MSI能力结构

图7-48 MSI能力标头 775

图7-49 MSI 776的消息控制寄存器

图7-50 MSI 778的消息地址寄存器

图7-51 MSI 778的消息高位地址寄存器

图7-52 MSI 779的消息数据寄存器

图7-53 MSI 779扩展消息数据寄存器

图7 - 54 MSI 780屏蔽位寄存器

图7-55 MSI 780的挂起位寄存器

图7-56 MSI-X能力结构 781

图7-57 MSI-X扫描床结构 782

图7-58 MSI-X PBA结构 782

图7-59 MSI-X能力标头 784

图7-60 MSI-X 785的消息控制寄存器

图7-61 MSI-X785的表偏移/表BIR寄存器

图7-62 PBA偏移/PBA BIR寄存器，用于MSI-X 786

图7-63 MSI-X表787的消息地址寄存器

图7-64 MSI-X表787的消息上层地址寄存器

图7-65 MSI-X表788的消息数据寄存器

图7-66 MSI-X表的矢量控制寄存器 788

图7-67 MSI-XPBA 789 的挂起位注册

图7-68 辅助PCI Express扩展能力结构 791

图7-69 辅助PCI Express扩展能力标头 792

图7-70 链路控制3寄存器 792

图7-71 局域网错误状态寄存器 793

图7-72 通道均衡控制寄存器 794

图7-73 通道均衡控制寄存器条目 794

图7-74 数据链路特性扩展能力 797

图7-75 数据链路功能扩展能力报头 797

图7-76 数据链路特征能力寄存器 798

图7-77 数据链路特性状态寄存器 798

图7-78 物理层16.0 GT/s扩展功能 800

图7-79 物理层16.0 GT/s扩展容量头 800

图7-80 16.0 GT/s能力寄存器 801

图7-81 16. 0 GT/s控制寄存器801

图7-82 16.0 GT/s状态寄存器 802

图7-83 16.0 GT/s本地数据奇偶不匹配状态寄存器 803

图7-84 16.0 GT/s第一重定时器数据奇偶不匹配状态寄存器 803

图7-85 16.0 GT/s第二重定时器数据奇偶不匹配状态寄存器 804

图7-86 16.0 GT/s通道均衡控制寄存器条目 805

图7-87 物理层32.0 GT/s扩展能力 807

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图7-88 物理层32.0 GT/s扩展功能Header 807

图7-89 32.0GT/s能力寄存器808

图7-90 32.0 GT/s控制寄存器809

图7-91 32.0 GT/s状态寄存器810

图7-92 接收的修改的TS数据1寄存器 811

图7-93 接收的修改的TS数据2寄存器 812

图7-94 发送的修改的TS数据1寄存器 814

图7-95 发送的调制TS数据2寄存器 815

图7-96 32.0 GT/s通道均衡控制寄存器条目 816

图7-97 接收机扩展能力 818处的通道边缘

图7-98 接收机扩展能力报头 819处的通道边缘化

图7-99 边缘端口能力寄存器 819

图7-100 边缘端口状态寄存器 820

图7-101 通道N：边缘控制寄存器条目 821

图7-102 通道N：边缘通道状态寄存器条目 822

图7-103 ACS扩展能力 823

图7-104 ACS扩展能力报头 823

图7-105 ACS能力寄存器 824

图7-106 ACS控制寄存器 825

图7-107 出口控制向量寄存器 828

图7-108 电源扩展能力 829

图7-109 功率放大器扩展功能Header 830

图7-110 电源管理数据寄存器 831

图7-111 功率调整能力寄存器 833

图7-112 LTR扩展能力结构 833

图7-113 LTR扩展能力Header 834

图7-114 最大监听延迟寄存器 834

图7-115 最大无监听延迟寄存器 835

图7-116 L1 PMSubstates Extended Capability 836

图7-117 L1 PM子状态扩展能力报头 836

图7-118 L1 PM子状态能力寄存器 837

图7-119 L1 PM子状态控制1寄存器 838

图7-120 L1 PM子状态控制器2寄存器840

图7-121 L1 PM子状态状态寄存器 841

图7-122 高级错误报告扩展能力结构 842

图7-123 高级错误报告扩展功能标头 843

图7-124 不可纠正错误状态寄存器 844

图7-125 错误掩码寄存器 845

图7-126 无法纠正的错误严重性寄存器 847

图7-127 可纠正错误状态寄存器 848

图7-128 可纠正错误掩码寄存器 849

图7-129 高级错误能力和控制寄存器 850

图7-130 标题日志寄存器 851

图7-131 根错误命令寄存器 852

图7-132 根错误状态寄存器 853

图7-133 错误源标识寄存器 854

图7-134 TLP前缀日志寄存器 855

图7-135 增强分配能力的第一DW 856

图7-136 增强分配能力的第二DW 857

图7-137 增强分配能力的每个条目的第一DW 857

图7-138 增强分配能力的输入格式 859

图7-139 具有64bBase和64b MaxOffset 861的条目示例

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图7-140 具有64b Base和32b MaxOffset 861的条目示例

图7-141 具有32b Base和64b MaxOffset 862的条目示例

图7-142 具有32b Base和32b MaxOffset 862的条目示例

图7-143 可调整尺寸的BAR E扩展功能 864

图7-144 可调整尺寸的BAR扩展能力接头 864

图7-145 可调整BAR容量寄存器 865

图7-146 可调整大小的BAR控制寄存器 867

图7-147 ARI扩展功能 869

图7-148 ARI扩展功能Header 870

图7-149 ARI Capability Register 870

图7-150 ARI控制寄存器 871

图7-151 PASID扩展能力结构 872

图7-152 PASID扩展功能Header 872

图7-153 PASID Capability Register 873

图7-154 PASID控制寄存器 873

图7-155 FRS请求使用扩展功能 874

图7-156 FRS队列扩展能力报头 875

图7-157 FRS排队能力寄存器 875

图7-158 FRS认证状态寄存器 876

图7-159 FRS封装控制寄存器 877

图7-160 FRS消息队列寄存器 877

图7-161 FPB能力结构 878

图7-162 FPB能力标头 878

图7-163 FPB能力寄存器 879

图7-164 FPB RID矢量控制1寄存器 881

图7-165 FPB RID矢量控制2寄存器 882

图7-166 FPB MEM低电平矢量控制寄存器 883

图7-167 FPB MEM高矢量控制1寄存器 884

图7-168 FPB MEM高水平载体对照2登记册 886

图7-169 FPB矢量A访问控制寄存器 887

图7-170 FPB矢量访问数据寄存器 888

图7-171虚拟通道扩展能力结构 890

图7-172虚拟通道扩展能力报头891

图7-173 端口VC能力寄存器1 891

图7-174 端口VC能力寄存器2 892

图7-175 端口VC控制寄存器 893

图7-176 端口VC状态寄存器 894

图7-177 VC资源能力寄存器 895

图7-178 VC资源控制寄存器 896

图7-179 VC资源状态寄存器

图7-180 具有32个阶段的示例VC仲裁表 899

图7-181 具有128个相位和2位表的示例端口仲裁表 900

图7-182 MFVC能力结构 902

图7-183 MFVC扩展能力报头 903

图7-184 MFVC端口VC能力寄存器1 903

图7-185 MFVC端口VC能力寄存器2 904

图7-186 MFVC端口VC控制寄存器 905

图7-187 MFVC端口VC状态寄存器 906

图7-188 MFVCVC资源能力寄存器 907

图7-189 资源控制寄存器 908

图7-190 MFVCVC资源状态注册表 909

图7-191 设备序列号扩展能力结构 912

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图7-192 设备序列号扩展功能标题 912

图7-193 序列号寄存器 913

图7-194供应商特定能力913

图7-195 VSEC能力结构 914

图7-196特定于供应商的扩展能力报头 915

图7-197 供应商-SP专用标题 915

图7-198 指定供应商规格的扩展功能 916

图7-199 指定的供应商特定扩展能力报头 917

图7-200 设计的供应商专用标题1 917

图7-201 指定的供应商专用标题2 918

图7-202 RCRB报头扩展能力结构 919

图7-203 RCRB HeaderExtended Capability Header 919

图7-204 RCRB供应商ID和设备ID寄存器 920

图7-205 RCRB能力寄存器 920

图7-206 RCRB控制寄存器 921

图7-207 根复合体链接声明扩展功能 922

图7-208 根复杂链路声明扩展能力标头 923

图7-209 元素自描述寄存器 923

图7-210 链接条目924

图7-211 链接描述寄存器 925

图7-212 链接类型0的链接地址 926

图7-213 链接类型1的链接地址 927

图7-214 根复合体内部链路控制扩展能力 928

图7-215 根复合内部链路控制扩展能力报头 928

图7-216 根复合体链路能力寄存器 929

图7-217 根复合体链路控制寄存器 931

图7-218 根复合体链路状态寄存器 932

图7-219 根复合体事件收集器端点关联扩展功能 934

图7-220 根复合体事件收集器端点关联扩展能力标头 934

图7-221 RCEC关联总线编号寄存器 935

图7-222 多播扩展能力结构 936

图7-223 多播扩展能力报头 937

图7-224 多播能力寄存器 937

图7-225 多播控制寄存器 938

图7-226 MC\_Base\_Address寄存器 939

图7-227 MC\_接收寄存器 939

图7-228 MC\_Block\_All寄存器 940

图7-229 MC\_Block\_Untranslated寄存器 940

图7-230 MC\_Overlay\_BAR寄存器 941

图7-231 动态功率分配扩展能力结构 942

图7-232 DPA扩展能力报头 942

图7-233 DPA能力寄存器 943

图7-234 DPA延迟指示器寄存器 944

图7-235 DPA状态注册 944

图7-236 DPA控制寄存器 945

图7-237 DPA功率分配阵列 945

图7-238 子状态功率分配寄存器（0至子状态\_最大值） 946

图7-239 TPH扩展能力结构 946

图7-240 TPH路由器E扩展能力标题 946

图7-241 TPH请求器能力寄存器 947

图7-242 TPH计数器控制寄存器 948

图7-243 TPHST表 949

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图7-244 TPH ST表条目 949

图7-245 LN扩展能力 950

图7-246 LNR扩展能力报头 950

图7-247 LNR能力寄存器 951

图7-248 LNR控制寄存器 951

图7-249 DPC扩展能力 953

图7-250 DPC扩展能力报头 953

图7-251 DPC能力寄存器 954

图7-252 DPC控制寄存器 955

图7-253 DPC状态寄存器 957

图7-254 DPC错误源ID寄存器 959

图7-255 RP PIO状态寄存器 959

图7-256 RP PIO掩码寄存器 960

图7-257 RP PIO严重性寄存器 961

图7-258 RP PIO系统错误寄存器 962

图7-259 RP PIO异常寄存器 963

图7-260 RP PIO报头日志寄存器 964

图7-261 RP PIO ImpSpec日志寄存器 964

图7-262 RP PIOTLP前缀日志寄存器 965

图7-263 PTM能力结构 966

图7-264 PTM扩展功能标头 966

图7-265 PTM能力寄存器 967

图7-266 PTM控制寄存器 968

图7-267 就绪时间报告扩展功能 970

图7-268 读取时间编码 970

图7-269 就绪时间报告扩展能力标头 970

图7-270 准备时间报告1寄存器 971

图7-271 准备时间报告2寄存器 972

图7-272 Hierarchy ID扩展功能 974

图7-273 Hierarchy ID扩展能力标头 974

图7-274 层次结构ID状态寄存器 975

图7-275 寄存器976中的层次ID数据

图7-276 HierarchyID 977

图7-277 Hierarchy ID 972寄存器 977

图7-278 层次结构ID 973寄存器 978

图7-279 层次ID寄存器 978

图7-280 层次结构ID 975寄存器 979

图7-281VPD能力结构980

图7-282 VPD地址寄存器 980

图7-283 VPD数据寄存器 981

图7-284 NPEM扩展能力 982

图7-285 NPEM ExtendedCapability Header 982

图7-286 NPEM能力寄存器 983

图7-287 NPEM控制寄存器 984

图7-288 NPEM状态寄存器 986

图7-289备用协议扩展功能 987

图7-290 备用方案l扩展能力标题 987

图7-291备用协议能力寄存器 988

图7-292 备用协议控制寄存器 988

图7-293 备用协议数据1寄存器 989

图7-294 备用协议数据2寄存器 990

图7-295 备用协议选择性启用掩码寄存器 990

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图7-296 常规PCI高级功能（AF） 991

图7-297 高级功能Capability Header 991

图7-298 AF能力寄存器 992

图7-299 常规PCI高级特性控制寄存器 992

图7-300 AF状态寄存器 993

图7-301 SFI扩展功能 994

图7-302 SFI扩展能力标头 994

图7-303 SFI能力寄存器 995

图7-304 SFI控制寄存器 995

图7-305 SFI Status Register 997

图7-306 SFI CAM地址寄存器 998

图7-307 SFI CAM数据寄存器 998

图7-308 子系统ID和系统供应商ID功能 999

图8-1 用于非嵌入式参考 1002的Tx测试板

图8-2 Tx测试板，用于嵌入式参考 1003

图8-3 单端和差分电平1005

图8-4 Tx均衡FIR表示 1006

图8-5 Tx电压电平和均衡比的定义 1007

图8-6 预拍摄1009的Waveform测量点

图8-7 去加重的波形测量点 1010

图8-8 VTX-DIFF-PP和VTX-DIFF-PP-LOW测量 1011

图8-9 发射均衡系数空间三角矩阵示例 1012

图8-10 在8.0 GT/s时测量VTX-EIEOS-FS和VTX-EIEOS-RS 1014

图8-11 顺应性模式和产生的包装损失测试波形 1015

图8-12 2.5和5.0 GT/s变送器裕量电压电平和代码 1017

图8-13 一阶CC行为CDR传递函数 1020

图8-14 2.5 GT/s和5.0 GT/s的二阶行为SRIS CDR传递函数 1021

图8-15 8.0GT/s的行为SRIS CDR功能和16.0 GT/s的SRIS和CCCDR 1022

图8-16 数据边沿PDF与所覆盖的数据时钟 1024之间的关系

图8-17 TTX-UTJ和TTX-UDJDD 1025的推导

图8-18 PWJ相对于连续边缘1 UI间隔 1026

图8-19 TTX-UPW-DJDD和TTX-UPW-TJ数据速率相关发射机参数的定义 1027

图8-20 Tx、Rx差分回波损耗屏蔽，带50欧姆基准电压源 1031

图8-21 Tx，Rx共模回波损耗Mask（50 Ohm基准电压源） 1032

图8-22 RxTestboard拓扑，适用于16.0和32.0 GT/s 1035

图8-23 校准通道IL掩模示例，不包括8.0 GT/s 1036的Rx封装

图8-24 实施例16.0 GT/s校准离子通道 1039

图8-25 示例16.0 GT/s校准通道1039的叠加

图8-26 CEM连接器钻孔垫堆叠1040

图8-27 用于SMA钻孔的垫堆叠 1041

图8-28 示例32.0 GT/s校准通道 1043

图8-29 示例32.0 GT/s校准通道 1043的叠加

图8-30 8.0GT/s行为CTLE 1045的传递函数

图8-31 8.0GT/s性能CTLE 1045的损耗曲线

图8-32 16.0GT/s BehavioralCTLE 1046的损失曲线

图8-33 32.0GT/s性能CTLE 1048的损耗曲线

图8-34 单抽头DFE 1049的变量定义和图表

图8-35 2抽头DFE 1049示意图

图8-36 校准8.0GT/s时应力抖动眼的布局 1052

图8-37 在16.0GT/s时校准应力抖动眼的布局 1053

图8-38 Sj MaskforReceivers Operating in IR modeat8.0GT/s 1056

图8-39 接收机在16.0 GT/s的SRIS模式下工作时的Sj屏蔽 1057

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图8-40 在CC模式下以16.0 GT/s工作的接收机的Sj屏蔽 1058

图8-41 接收机在32.0 GT/s下以SRIS模式运行的Sj屏蔽 1059

图8-42 在CC模式下以32.0 GT/s 1060工作的接收机的Sj 屏蔽

图8-43 在CC模式下以8.0 GT/s 1061工作的接收机的Sj 面罩

图8-44 16.0GT/s 1062时抖动测试通用参考Rx的 布局

图8-45 16.0GT/s 1062下独立Refclk Rx的抖动测试 布局

图8-46 退出空闲电压和时间限制 1065

图8-47 最大时序和电压裕度的允许范围 1066

图8-48 2.5和5.0GT/s时通道公差的流量直径 1070

图8-49 8.0和16.0GT/s时通道公差的流程图 1071

图8-50 Tx/Rx行为包装模型 1072

图8-51 8.0和16.0 GT/s封装的行为Tx和Rx S端口指定 1072

图8-52 16.0GT/s 1073的根和N根上包的SDD 21 图

图8-53 32.0GT/s 1074的根参考封装的插入损耗

图8-54 32.0GT/s 1074根参考包的回波损耗

图8-55 根参考包的NEXT（最差情况），用于32.0GT/s 1075

图8-56 32.0GT/s 1075根参考包的FEXT（最差情况）

图8-57 32.0GT/s 1076非根参考包的插入 损耗

图8-58 32.0GT/s 1076非根参考包的回波 损耗

图8-59 NEXT用于32.0 GT/s 1077的非根参考包（最差情况）

图8-60 32.0GT/s 1077非根参考包的FEXT（最差情况）

图8-61 32.0 GT/s参考封装端口连接，用于引脚到引脚通道评估 1078

图8-62 1080的8.0 GT/s抖动参数s的示例 推导

图8-63 EH、EW面罩 1082

图8-64 示波器参考测试设置适用于除抖动（32.0 GT/s） 1085以外的所有情况

图8-65 绝对交叉点和摆动的单端测量点 1088

图8-66 三角形交叉点 1088的单端测量点

图8-67 用于上升和下降时间匹配的单端测量点 1088

图8-68 占空比和周期的差分测量点 1088

图8-69 上升和下降时间的差分测量点 1089

图8-70 回铃音1089的差分测量点

图8-71 5000ppmSSC 1091基准电压源的相位抖动限值

图8-72 5 MHz PLL传输功能示例 1092

图8-73 适用于除32.0 GT/s以外的所有数据速率的通用参考Rx架构 1093

图8-74 2.5 GT/s 1094的通用参考PLL和CDR特性

图8-75 Common Refresh PLLand CDR Characteristicsfor5.0 GT/s 1095

图8-76 8.0和16.0 GT/s 1095的公共基准PLL和CDR特性

图8-77 Common RefreshPLL and CDR Characteristicsfor32.0 GT/s 1095

图9-1 通用平台配置 1099

图9-2 具有VI和多个SI 1100的通用平台配置

图9-3 具有SR-IOV和IOV使能器的通用平台配置 1102

图9-4 示例多功能设备 1104

图9-5 示例SR-IOV单PF能力 设备1105

图9-6 示例性SR-IOV多PF能力设备 1107

图9-7 具有多个总线号的SR-IOV设备示例 1109

图9-8 具有混合功能类型的示例SR-IOV设备 1110

图9-9 I/O虚拟化互操作性 1111

图9-10 单个BAR器件1113的BARSpa实例

图9-11 初始VF迁移状态数组 1118

图9-12 VF迁移状态图1119

图9-13 SR-IOV扩展功能 1122

图9-14 SR-IOV扩展能力报头 1122

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图9-15 SR-IOV能力寄存器 1123

图9-16 SR-IOV控制寄存器1126

图9-17 SR-IOV状态 1130

图9-18 VF迁移状态阵列偏移 1136

图9-19 VF迁移状态条目1137

图9-20 PF/VF类型0配置空间报头 1139

图9-21 VF可调整BAR扩展功能 1152

图9-22 VF可调整大小的BAR扩展功能头 1153

图9-23 VF可调整BAR控制寄存器 1154

图9-24 MSI-X能力 1166

图10-1 示出具有TA、ATPT和ATC元件的平台的示例 1170

图10-2 示例ATS转换请求/完成交换 1171

图10-3 示例性多功能设备，每个功能具有ATC 1173

图10-4 具有单个无效请求和完成的无效协议 1174

图10-5 具有多个无效完成的单个无效请求 1176

图10-6 64位地址的内存请求报头 1178

图10-7 32位地址1179的内存请求报头

图10-8 64位转换请求报头1180

图10-9 32位转换请求报头1180

图10-10 没有数据的翻译完成 1182

图10-11 成功的翻译 完成1183

图10-12 翻译完成数据输入 1184

图10-13 无效请求消息 1190

图10-14 无效请求消息Body 1191

图10-15 无效完成消息格式 1192

图10-16 页面请求消息 1198

图10-17 停止标记消息 1201

图10-18 PRG响应消息 1202

图10-19 ATS扩展能力结构 1204

图10-20 ATS扩展功能Header 1204

图10-21 ATS能力寄存器（偏移04h） 1205

图10-22 ATS控制寄存器 1205

图10-23 页面请求扩展能力结构 1206

图10-24 页面请求扩展能力标头 1207

图10-25 页面请求控制寄存器 1207

图10-26 页面请求状态寄存器 1208

图A-1 示出端点到根复合体和对等通信模型的示例 1211

图A-2 两个基本的带宽资源问题：超额订购和拥塞 1212

图A-3 示出PCI Express Isocycle参数1216的简化示例

图C-1 在2.5 GT/s时，数据值为0 1236时的加扰频谱

图E-1 IDO使用 的参考拓扑1243

图G-1 使用PMUX链路连接的设备和处理器 1251

图G-2 PMUXLink 1252

图G-3 通过层的PMUX护套流 1253

图G-4 PMUX数据包 1258

图G-5 TLP和PMUX分组成帧（8b/10 b编码） 1259

图G-6 TLP和PMUX分组成帧（128 b/130 b编码） 1261

图G-7 PMUX扩展功能 1264

图G-8 PMUX扩展功能头 1265

图G-9 PMUX能力注册表 1265

图G-10 PMUX控制寄存器 1267

图G-11 PMUX状态寄存器 1268

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

图G-12 PMUX协议阵列条目................................................................................................................... 1269

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表目录

表2-1 不同处理空间的事务类型 104

表2-2 Fmt[2：0]字段值 108

表2-3 Fmt[2：0]和Type[4：0]字段编码 108

表2-4 长度[9：0]字段编码 110

表2-5 地址字段映射114

表2-6 非ARI ID路由的报头字段位置 115

表2-7 ARI ID路由的报头字段位置 115

表2-8 字节启用位置和通信 118

表2-9 排序属性 126

表2-10 高速缓存一致性管理属性 126

表2-11 TC场编码的定义 127

表2-12 AtomicOp请求的长度字段值 128

表2-13 TPHTLP前缀位映射 131

表2-14 TLP H头132中PH[1：0]的位置

表2-15 处理提示编码 132

表2-16 TLP头133中ST[7：0]的 位置

表2-17 消息路由 135

表2-18 INTx机制消息 136

表2-19 INTx虚拟线的桥接映射 138

表2-20 电源管理消息 139

表2-21 错误信令消息 140

表2-22 ERR\_COR子类（ECS）字段编码 141

表2-23 留言 142

表2-24 Set\_Slot\_Power\_Limit消息 142

表2-25 供应商定义的消息143

表2-26 通知原因（NR）字段编码 145

表2-27 LN消息 146

表2-28 DRS消息147

表2-29 FRS消息 148

表2-30 层次结构ID消息 149

表2-31 忽略的消息 150

表2-32 LTR消息151

表2-33 OBFF消息 151

表2-34 精密时间测量消息 152

表2-35 完成状态字段值 154

表2-36 本地TLP前缀类型 157

表2-37 端-端张力腿平台压力表类型 158

表2-38 从长度和字节计算字节计数启用 172

表2-39 从第一个DW BE 173计算较低地址

表2-40 订购规则摘要 177

表2-41 TC到VC映射示例 185

表2-42 流量控制信用类型 188

表2-43 TLP流量控制信用消耗 189

表2-44 最小初始流控制通告 190

表2-45 [字段大小]值 192

表2-46 2.5GT/s（符号时间）的最大UpdateFC传输延迟指南 197

表2-47 最大UpdateFC传输延迟指导值（5.0 GT/s（符号时间）） 197

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表2- 488.0GT/s及更高数据速率的最大UpdateFC传输延迟准则

时间）198

表2-49 将比特映射到ECRC字段 199

表3-1 数据链路特性支持的位定义 215

表3-2 缩放流量控制缩放因子 220

表3-3 DLLP类型编码 221

表3-4 HdrScale和DataScale编码 223

表3-5 将比特映射到CRC字段226

表3-6 将比特映射到LCRC字段230

表3-7 2.5GT/s的最大确认延迟限制（符号时间） 242

表3-8 5.0GT/s的最大确认延迟限制（符号时间） 243

表3-9 8.0GT/s和更高数据速率的最大确认延迟限制（符号时间） 243

表4-1 特殊符号 248

表4-2 框架令牌编码ng 258

表4-3 不同条件下的均衡要求 279

表4-4 变送器预设编码 287

表4-5 接收器预设提示编码f或8.0 GT/s 287

表4-6 TS1有序集290

表4-7 TS2有序集294

表4-8 修改的TS 1/TS 2有序集（8b/10 b编码） 296

表4- 9如果修改的TS使用=010 b，则修改的TS 1/TS 2有序集合中的修改的TS信息1字段

议定书）300

表4-10 2.5GT/s和5.0 GT/s数据速率的电气I dle有序集（EIOS） 301

表4-11 8.0GT/s及以上数据速率的电气怠速有序设置（EIOS） 301

表4-12 5.0 G T/s数据速率的电气怠速退出有序设置（EIEOS） 301

表4-13 8.0 GT/s数据速率的电气怠速退出有序设置（EIEOS） 302

表4-14 16.0 GT/s数据速率的电气怠速退出有序设置（EIEOS） 302

表4-15 32.0 GT/s数据速率的电气怠速退出有序设置（EIEOS） 302

表4-16 电气Idle推断条件 305

表4-17 8.0GT/s及以上数据速率的FTS 307

表4-18 SDS有序集（用于8.0 GT/s和16.0GT/s数据速率） 308

表4-19 SDS有序集（适用于32.0 GT/s及更高数据速率） 308

表4-20 映射到LTSSM 315的链路状态

表4-21 顺应性模式设置 321

表4-22 128b/130 b编码的标准SKP有序集 384

表4-23 128b/130 b编码的控制SKP有序集 385

表4-24 修改后的顺应性图案389的图示

表4-25 控制SKP有序集合394中的容限命令相关字段

表4-26 保证金命令和相应的响应 397

表4-27 最大重定时器退出延迟 415

表4-28 推断电气怠速 416

表4-29 重定时器延迟限制不是SRIS（符号时间） 433

表4-30 重定时器延迟限制SRIS（符号时间） 433

表5-1 PCI Express链路电源管理状态摘要 443

表5-2 链路和组件的功率管理状态之间的关系

表5-3 ASPM支持字段的编码474

表5-4 时隙时钟配置位 474的说明

表5-5 公共时钟配置位 474的说明

表5-6 L0s退出延迟字段 的编码475

表5-7 L1退出等待时间字段的编码475

表5-8 端点L0s可接受延迟字段的编码476

表5-9 端点L1可接受延迟字段 476的编码

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表5-10 ASPM控制字段的编码 476

表5-11 L1.2定时参数 489

表5-12 电源管理系统消息和DLLP 490

表5-13 PCI功能状态转换延迟 492

表6-1 错误消息 508

表6-2 一般PCI Express错误列表520

表6-3 物理层错误列表 520

表6-4 数据链路层错误列表 520

表6-5 事务层错误列表521

表6-6 多功能仲裁错误模型示例 545

表6-7 热插拔 558的元件

表6-8 注意指示器状态 559

表6-9 电源指示灯状态 560

表6-10 ACS P2P请求重定向和ACS P2P出口控制接口 586

表6-11 ECRC规则MC\_Overlay 598

表6-12 处理提示映射 606

表6-13 ST操作模式 607

表6-14 PASIDTLP前缀 619

表6-15 紧急功率降低支持值 641

表6-16 系统授权ID编码 645

表6-17 小资源数据类型标记位定义 659

表6-18 大型资源数据类型标记位定义 659

表6-19 典型VPD 659的资源数据类型标志

表6-20 附加序列卡编号 660的示例

表6-21 VPD大型和小型资源数据标记 661

表6-22 VPD只读字段661

表6-23 VPD读/写字段662

表6-24 VPD实施例 663

表6-25 NPEM国家 668

表7-1 增强型配置地址映射677

表7-2 寄存器和寄存器位字段类型 683

表7-3 命令寄存器686

表7-4 状态寄存器689

表7-5 分类代码寄存器 691

表7-6 标题类型寄存器 692

表7-7 BIST寄存器 693

表7-8 存储器基址寄存器位2：1编码 697

表7-9 扩展ROM基址寄存器 701

表7-10 I/O寻址能力 706

表7-11 二级状态寄存器 707

表7-12 桥控制寄存器 710

表7-13 电源管理能力寄存器 713

表7-14 电源管理控制/状态寄存器 715

表7-15 数据寄存器717

表7-16 功耗/耗散报告 717

表7-17 PCI Express能力列表寄存器 720

表7-18 PCIExpress能力寄存器 720

表7-19 设备能力寄存器 722

表7-20 设备控制寄存器 726

表7-21 设备状态寄存器 731

表7-22 链路能力寄存器 733

表7-23 链接控制寄存器 736

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表7-24 链路状态寄存器 742

表7-25 插槽能力寄存器 744

表7-26 Slot Control Register 746

表7-27 插槽状态寄存器 749

表7-28 根控制寄存器 751

表7-29 根能力寄存器 752

表7-30 根状态注册表 752

表7-31 设备功能2寄存器 753

表7-32 设备控制2寄存器 758

表7-33 链路能力2寄存器 761

表7-34 LinkControl2寄存器 765

表7-35 Link Status2 Register 768

表7-36 插槽功能2寄存器 771

表7-37 PCI Express扩展功能头 773

表7-38 MSI能力标头 776

表7-39 MSI 776的消息控制寄存器

表7-40 MSI 778的消息地址寄存器

表7-41 MSI 778的消息上地址寄存器

表7-42 MSI 779的消息数据注册表

表7-43 MSI 779的扩展消息数据寄存器

表7-44 MSI 780屏蔽位寄存器

表7-45 MSI 781的挂起位寄存器

表7-46 MSI-X能力标头 784

表7-47 MSI-X 785的消息控制寄存器

表7-48 MSI-X 786的表偏移/表BIR寄存器

表7-49 PBA偏移/PBA BIR寄存器，用于MSI-X 786

表7-50 MSI-X表787的消息地址寄存器

表7-51 MSI-X表的消息上地址寄存器 787

表7-52 MSI-X表条目的消息数据寄存器 788

表7-53 MSI-XT型EEPROM 788的矢量控制寄存器

表7-54 MSI-X PBA 10789的挂起位寄存器

表7-55 辅助PCI Express扩展能力报头 792

表7-56 链路控制3寄存器 792

表7-57 车道错误状态注册表 794

表7-58 通道均衡控制寄存器条目 795

表7-59 数据链路特性E扩展能力报头 797

表7-60 数据链路功能寄存器 798

表7-61 数据链路特性状态寄存器 799

表7-62 物理层16.0 GT/s扩展能力报头 801

表7-63 16.0 GT/s能力寄存器 801

表7-64 16.0 GT/s Control Register 801

表7-65 16.0 GT/s状态寄存器 802

表7-66 16.0 GT/s本地数据奇偶不匹配状态寄存器 803

表7-67 16.0 GT/s第一重定时器数据奇偶不匹配状态寄存器 804

表7-68 16.0 GT/s第二重定时器数据奇偶校验不匹配状态寄存器 804

表7-69 16.0 GT/s通道均衡控制寄存器条目 805

表7-70 物理层32.0 GT/s扩展能力报头 808

表7-71 32.0 GT/s容量寄存器 808

表7-72 32.0 GT/s Control Register 809

表7-73 32.0 GT/s状态寄存器 810

表7-74 接收的修改的TS数据1寄存器 812

表7-75 接收的修改的TS数据2寄存器 813

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表7-76 发送的修改的TS数据1寄存器 814

表7-77 发送的修改的TS数据2寄存器 815

表7-78 32.0 GT/s通道均衡控制寄存器条目 816

表7-79 接收机扩展能力报头 819处的通道边缘化

表7-80 边缘端口能力寄存器 819

表7-81 边缘端口状态寄存器 820

表7-82 通道N：边缘控制寄存器条目 821

表7-83 通道N：边缘通道状态寄存器条目 822

表7-84 ACS扩展能力报头823

表7-85 ACS能力寄存器 824

表7-86 ACS控制寄存器 825

表7-87 出口控制向量寄存器 828

表7-88 功率调整扩展能力头 830

表7-89 功率调整数据寄存器 831

表7-90 功率调整能力寄存器 833

表7-91 LTR扩展能力报头 834

表7-92 最大监听延迟寄存器 834

表7-93 最大无监听延迟寄存器 835

表7-94 L1 PM子状态扩展能力标头 836

表7-95 L1 PM子状态能力寄存器 837

表7-96 L1 PM子状态控制器1寄存器 838

表7-97 L1 PM子状态控制2寄存器 840

表7-98 L1 PM子状态状态寄存器 841

表7-99 高级错误报告扩展功能标头 843

表7-100 不可纠正错误状态寄存器 844

表7-101 不可纠正错误掩码寄存器 846

表7-102 无法纠正的错误严重性寄存器 847

表7-103 可更正的错误状态寄存器 848

表7-104 可纠正错误掩码寄存器 849

表7-105 高级错误能力检查和控制寄存器 850

表7-106 标题日志寄存器 851

表7-107 根错误命令寄存器 852

表7-108 根错误状态寄存器 853

表7-109 错误源识别寄存器 854

表7-110 TLP前缀日志寄存器 855

表7-111 首个增强型全位置能力 DW 856

表7-112 增强分配能力的第二DW 857

表7-113 增强分配能力的每个条目的第一DW 858

表7- 114主要属性和次要属性的增强分配条目字段值定义

属性字段 860

表7-115 可调整大小的BAR扩展功能和接头 864

表7-116 可调整BAR能力寄存器 865

表7-117 可调整大小的BAR控制寄存器 867

表7-118 ARI扩展能力报头 870

表7-119 ARI能力寄存器 870

表7-120 ARI控制寄存器 871

表7-121 PASID扩展能力标头 872

表7-122 PASID能力寄存器 873

表7-123 PASID控制寄存器 874

表7-124 FRS增强型扩展能力头 875

表7-125 FRS认证能力注册表 875

表7-126 FRS认证状态寄存器 876

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表7-127 FRS封装控制寄存器 877

表7-128 FRS消息队列寄存器 877

表7-129 FPB能力头 879

表7-130 FPB Capabi登记册 879

表7-131 FPB RID矢量控制1寄存器 881

表7-132 FPB RID矢量控制2寄存器 882

表7-133 FPB MEM低电平矢量控制寄存器 883

表7-134 FPB MEM高电平矢量控制1寄存器 884

表7-135 FPB MEM高矢量控制2寄存器 886

表7-136 FPB载体访问控制寄存器 887

表7-137 FPB矢量访问数据寄存器 888

表7-138 虚拟信道扩展能力报头 891

表7-139 端口VC能力寄存器1 892

表7-140 VC港能力登记2 893

表7-141 端口VC控制寄存器 893

表7-142 端口VC状态寄存器 894

表7-143 VC检索能力寄存器 895

表7-144 VC资源控制寄存器 896

表7-145 资源状态寄存器 898

表7-146 VC仲裁表899中的4比特位的 定义

表7-147 VC仲裁表的长度 899

表7-148 端口仲裁表长度h 900

表7-149 MFVC扩展能力报头 903

表7-150 MFVC端口VC能力寄存器1 904

表7-151 MFVC端口VC能力寄存器2 905

表7-152 MFVC端口VC控制寄存器 905

表7-153 MFVC端口VC状态寄存器 906

表7-154 MFVCVC资源能力寄存器 907

表7-155 资源控制寄存器 908

表7-156 资源状态寄存器 909

表7-157 函数仲裁表长度 911

表7-158 设备序列号扩展功能标题 912

表7-159 序列号寄存器 913

表7-160 供应商特定能力 914

表7-161 供应商特定扩展能力标头 915

表7-162 供应商专用标题 916

表7-163 指定的供应商特定扩展能力报头 917

表7-164 指定供应商特定标题1 918

表7-165 指定的供应商专用头r2 918

表7-166 RCRB Header ExtendedCapability Header 919

表7-167 RCRB供应商ID和设备ID寄存器 920

表7-168 RCRB能力寄存器 920

表7-169 RCRB控制寄存器 921

表7-170 根复合体链接声明扩展能力标头 923

表7-171 元素自描述寄存器 923

表7-172 链接描述寄存器 925

表7-173 链路类型1的链路地址 927

表7-174 根复合体内部链路控制扩展能力报头 928

表7-175 根复合体链路能力寄存器 929

表7-176 根复合体链路控制寄存器 932

表7-177 根复合链路状态寄存器 933

表7-178 根复合体事件收集器端点关联扩展能力标头 934

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表7-179 相关总线编号寄存器 935

表7-180 多播扩展能力报头 937

表7-181 组播能力寄存器 937

表7-182 多播控制寄存器 938

表7-183 MC\_Base\_Address寄存器 939

表7-184 MC\_接收注册表 939

表7-185 MC\_Block\_All寄存器 940

表7-186 MC\_Block\_Unttranslated寄存器 941

表7-187 MC\_Overlay\_BAR寄存器 941

表7-188 DPA扩展功能标头 942

表7-189 DPA容量寄存器 943

表7-190 DPA延迟指示器寄存器 944

表7-191 DPA状态寄存器 944

表7-192 控制寄存器 945

表7-193 子状态功率分配寄存器（0至Substate\_Max） 946

表7-194 TPH扩展能力接头 947

表7-195 TPH电容器能力Register 947

表7-196 TPH计数器控制寄存器 948

表7-197 TPH STT表条目 949

表7-198 LNR扩展能力Header 950

表7-199 LNR能力寄存器 951

表7-200 LNR C控制寄存器 951

表7-201 DPC扩展能力Header 954

表7-202 DPC能力寄存器 954

表7-203 DPC控制寄存器 955

表7-204 DPC状态寄存器957

表7-205 DPC错误源ID寄存器 959

表7-206 RP PIO状态寄存器959

表7-207 RP PIO掩码寄存器960

表7-208 RP PIO Severity寄存器 961

表7-209 RP PIO系统错误寄存器 962

表7-210 RP PIO异常寄存器 963

表7-211 RP PIO报头日志寄存器 964

表7-212 RP PIO ImpSpec日志寄存器 964

表7-213 RP PIOTLP前缀日志寄存器 965

表7-214 PTM扩展功能头 966

表7-215 PTM能力注册表 967

表7-216 PTM控制寄存器 968

表7-217 就绪时间报告扩展能力标头 971

表7-218 准备时间报告1寄存器 971

表7-219 准备时间报告2寄存器 972

表7-220 Hierarchy ID扩展功能标头 974

表7-221 层次ID状态寄存器 975

表7-222 层次结构ID数据寄存器 976

表7-223 层次ID寄存器 977

表7-224 层次ID寄存器 977

表7-225 Hierarchy ID寄存器 978

表7-226 层次ID寄存器 978

表7-227 Hierarchy ID505寄存器 979

表7-228 VPD地址寄存器 981

表7-229 VPD数据寄存器 981

表7-230 NPEM扩展能力标头 982

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表7-231 NPEM能力寄存器 983

表7-232 NPEM控制寄存器 984

表7-233 NPEM状态寄存器 986

表7-234 备用协议扩展能力报头 987

表7-235 备用协议能力寄存器 988

表7-236 备用协议控制寄存器 989

表7-237 备用协议数据1寄存器 989

表7-238 备用协议数据2寄存器 990

表7-239 交替协议选择性启用掩码寄存器 990

表7-240 高级特性能力标题 991

表7-241 AF能力寄存器 992

表7-242 常规PCI高级特性控制寄存器 992

表7-243 AF状态寄存器 993

表7-244 SFI扩展能力标头 994

表7-245 SFI C能力登记册 995

表7-246 SFI控制寄存器 995

表7-247 SFI状态寄存器 997

表7-248 SFI CAM地址寄存器 998

表7-249 SFI CAM数据寄存器 998

表7-250 子系统ID和系统供应商ID功能 999

表8-1 Tx预设比率和对应的系数值 1007

表8-2 预设测量对照表1010

表8-3 参考包和ps21 TX参数计为标准 1015的情况

表8-4 建议的去嵌入截止频率 1018

表8-5 针对不同参考的Tx测量和后处理 1019

表8-6 数据速率相关传输参数 1027

表8-7 与数据速率无关的Tx参数 1033

表8-8 校准通道IL限值1036

表8-9 应力抖动眼参数 1053

表8-10 通用接收器参数 1063

表8-11 车道边缘定时 1066

表8-12 封装型号电容值 1072

表8-13 通道容差 的抖动/电压参数1080

表8-14 通道容差眼罩值 1083

表8-15 EIEOS信令参数 1085

表8-16 REFCLK直流规格和交流时序要求 1086

表8-17 与数据速率无关的参考参数 1089

表8-18 CC架构1095的抖动限制

表8-19 外形尺寸时钟架构要求 1096

表8-20 Form Factor Common ClockArchitecture Details 1097

表8-21 外形规格时钟架构要求示例 1097

表8-22 形式因素通用时钟架构详细信息示例 1097

表9-1 VF路由ID算法1114

表9-2 SR-IOVVF迁移状态表 1119

表9-3 SR-IOV扩展能力报头 1123

表9-4 SR-IOV能力寄存器 1123

表9-5 SR-IOV控制寄存器1126

表9-6 SR-IOV状态 1130

表9-7 BAR偏移 1135

表9-8 VF迁移状态阵列偏移 1136

表9-9 VF迁移状态条目1137

表9-10 VF迁移状态描述1137

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表9-11 SR-PCIM启动的VF迁移状态转换 1137

表9-12 MR-PCIM I发起的VF迁移状态转换 1138

表9-13 命令寄存器更改 1140

表9-14 状态寄存器更改 1140

表9-15 设备能力寄存器变更 1143

表9-16 设备控制寄存器更改 1143

表9-17 设备状态寄存器更改 1144

表9-18 链路控制寄存器更改 1145

表9-19 设备功能2注册表更改 1145

表9-20 设备控制2寄存器更改 1146

表9-21 链路状态2寄存器更改 1147

表9-22 SR-IOV PCI标准功能的使用 1147

表9-23 PCIExpress扩展功能1149的SR-IOV使用

表9-24 VF可调整大小的BAR扩展功能头 1153

表9-25 VF可调整BAR控制寄存器1154

表9-26 ACS能力寄存器更改1155

表9-27 ARI能力寄存器更改1156

表9-28 ATS能力寄存器 1157

表9-29 ATS控制寄存器更改 1157

表9-30 Multicast能力寄存器更改 1158

表9-31 多播控制寄存器更改 1158

表9-32 多播基本地址寄存器更改 1158

表9-33 无法纠正的错误状态寄存器更改 1161

表9-34 不可纠正的错误或掩码寄存器更改 1161

表9-35 无法纠正的错误严重性寄存器更改 1162

表9-36 可纠正的错误状态寄存器更改 1163

表9-37 可纠正错误掩码寄存器更改 1163

表9-38 高级错误能力和控制寄存器变更 1164

表9-39 标题日志寄存器更改 1164

表9-40 MSI功能：消息控制 1165

表9-41 SR-IOV电源管理控制/状态（PMCSR） 1168

表9-42 SR-IOV电源管理数据寄存器 1168

表10-1 地址类型（AT）字段编码 1179

表10-2 翻译完成，无数据状态代码 1183

表10-3 翻译完成数据字段 1184

表10-4 使用S字段 1186的翻译大小的示例

表10-5 寻呼请求消息数据字段 1198

表10-6 PRG响应消息数据字段 1203

表10-7 响应代码 1203

表10-8 ATS扩展能力报头 1204

表10-9 ATS能力寄存器（偏移04h） 1205

表10-10 ATS控制寄存器 1206

表10-11 页面请求扩展能力标头 1207

表10-12 页面请求控制寄存器 1207

表10-13 页面请求状态寄存器1208

表A-1 等带宽范围和粒度1214

表B-1 8b/10 b数据符号代码 1221

表B-2 8b/10 b特殊字符符号代码 1230

表F-1 消息代码用法 1249

表F-2 PCI-SIG定义的VDM子类型用法 1250

表G-1 PCI Express对协议复用的影响

表G-2 PMUX属性对PCI Express 1256的影响

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表G-3 PMUX数据包布局（8b/10 b编码） 1259

表G-4 PMUX数据包布局（128 b/130 b编码） 1261

表G-5 符号1位[6：3]1262

表G-6 PMUX扩展能力标头 1265

表G-7 PMUX能力寄存器 1266

表G-8 PMUX控制寄存器r 1267

表G-9 PMUX状态寄存器 1268

表G-10 PMUX协议阵列条目 1269

表H-1按链路宽度和最大值划分的2.5GT/s模式操作的最大UpdateFC传输延迟指南

有效载荷（符号时间）1272

表H-2按链路宽度和最大值划分的5.0GT/s模式操作的最大UpdateFC传输延迟指南

有效载荷（符号时间）1272

表H-3按链路宽度和最大值划分的8.0GT/s操作的最大UpdateFC传输延迟指南

有效载荷（符号时间）1273

表H-4 2.5 GT/s（符号时间）的最大确认延迟限制和AckFactor 1274

表H-5 5.0 GT/s（符号时间）的最大确认传输延迟限制和确认因子 1275

表H-6 8.0 GT/ s（符号时间）的最大确认传输延迟限制和确认因子 1275

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

本文件的状态

这是PCI Express Base 5.0规范的发布版本

·NCB-PCI\_Base\_5.0r1.0.pdf是正常的（即， 官方规格）。它不包含转换条。

·CB-PCI\_PCI\_Base\_5.0r1.0.pdf是信息性的。它包含相对于PCIExpressBase4.0规范的更改条。

·CB 9-PCI\_Express\_Base\_5.0r1.0.pdf是信息性的。它包含相对于PCIExpressBase5.0规范版本0.9的更改条。

正在为这份文件使用一个新的文件处理系统。 PCIExpressBase4.0规范被转换为新格式，作为进一步工作的基准。

注意

高性能系统可能会用完标签

在32.0 GT/s时，具有高端到端延迟的系统，即使具有10位标签，单个功能也可能无法具有足够的未完成请求以获得全部性能。

为了支持更多未完成的请求而进行的更改需要与遗留组件进行互操作，而不考虑该组件的链接速度。针对PCIExpressBase4.0规范的ECN正在考虑定义

可选的行为来解决这个问题。



注意

新文件流程的背景

新的PCISIG文档系统是w3c Respec工具的变体（参见[https://github.com/w3c/respec/wiki）](https://github.com/w3c/respec/wiki)。Respec是一个广泛使用的工具，用于支持万维网规范。PCISIG变体是

<https://github.com/sglaser/respec>。Respec和PCISIG变体都是开源（MIT许可证）JavaScript库。它们在作者的浏览器中运行，并提供快速的编辑/审查周期，而无需任何

安装专用工具。

Respec建立在HTML5之上，HTML5是万维网[ww.w3.org/TR/html5/。](http://www.w3.org/TR/html5/) HTML是一种基于文本的文档格式，允许我们部署软件开发常用的工具（git，持续集成，构建脚本等）。以更好地管理和控制规范开发过程。

PCISIG对Respec的增强支持更接近现有PCISIG实践的文档格式，以及自动创建注册图（消除了大约一半的手动绘制图）。



5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

修订历史

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
| 1.0 | 初始发行. | 07/22/2002 |
| 1.0a | 纳入勘误表C1-C66和E1-E4.1 7。 | 04/15/2003 |
| 1.1 | 合并了获批的勘误表和ECN。 | 03/28/2005 |
| 2.0 | 增加了5.0 GT/s数据速率，并纳入了获批的勘误表和ECN。 | 12/20/2006 |
| 2.1 | PCIExpress基本规范的勘误表，修订版2.0（2009年2月27日），并添加了以下ECN：  · 内部错误报告ECN（2008年4月24日  · 多播ECN（2007年12月14日，PWG于2008年5月8日批准）  · 原子操作ECN（2008年1月15日，PWG于2008年4月17日  · 可调整BAR能力ECN（2008年1月22日，PWG于2008年4月24  · 动态功率分配ECN（2008年5月24日）  · 基于ID的订购ECN（2008年5月16日，2008年5月29日  · 延迟容限报告ECN（2008年1月22日，2008年8月  · 替代标识解释（ARI）ECN（2006年8月7日，最后更新2007年6月  · 扩展标签启用默认ECN（2008年9月5日  · TLP处理提示ECN（2008年9月11日）  · TLP前缀ECN（2008年12月15日） | 03/04/2009 |
| 3.0 | 添加了8.0 GT/s数据速率、最新批准的勘误表和以下ECN：  · 优化缓冲液冲洗/填充ECN（2008年2月8日，2009年4月30日  · ASPM期权ECN（2009年6月19日，由PWG于2009年8月  · RCECN（2010年5月26日）和协议复用ECN（2010年6月17日）的合并端-端TLP变更 | 11/10/2010 |
| 3.1 | 纳入了会员国审查的反馈意见  PCI Express®基本规范修订版3.0的合并勘误表  合并的M-PCIe勘误表（3p1\_active\_errata\_list\_mpcie\_28Aug2014.doc和3p1\_active\_errata\_list\_mpcie\_part2\_11Sept2014.doc）  纳入了以下ECN：  · ECN：下游端口容器（DPC）  · ECN：独立参考独立SSC（SRIS）架构  · 进程地址空间ID（PASID）  · ECN：轻量级通知（LN）协议 | 10/8/2014 |



第55

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
|  | · ECN：精密时间测量  · ECN：增强型DPC（eDPC）  · ECN：8.0 GT/s接收器阻抗  · ECN：L1 PM子状态，带CLKCLK  · ECN：更改根复杂事件收集器类代码  · ECN：M-PCIe  · ECN：准备就绪率（RN）  · ECN：单独参考独立SSC架构（SRIS）JTOL和SSC配置文件要求 |  |
| 3.1a | 小更新：  更正：第www.example.com节中的公式4.3.9<4.3.8.5>，具有独立SSC（SRIS）体系结构的独立引用。在B的定义中添加缺失平方（指数=2）。  B = 2.2 × 10^12 ×（2.π）^2，其中^=指数。 | 12/5/2015 |
| 4.0 | 版本0.3：基于PCI Express®基本规范修订版3.1（2014年10月8日），并在2013年12月收到了一些编辑反馈。  ·添加第9章，电气子块：添加第9章（Rev0.3-11-30-13\_final.docx）  · 与版本0.3发布相关的变更  · 从PCI总线接口管理接口规范（修订版1.2，日期为2004年3月3日）中合并PCI相关材料。该材料的初始整合将更新为  这是必要的，并将取代独立的电源管理接口规范。版本0.5（2014年12月22日，2015年1月26日进行微小修订，2015年2月6日进行微小更正  · 添加了关于预期讨论和变更的说明的前言  · 添加ECN：重定时器（日期：2014年10月6日）  · 将第4章标题更正为  ·在第4章中添加了编码小组反馈  · 将PCIe电气规范修订版0.5 RC 1的电气工作组变更添加到第9章 | 2/6/2015 |
| 版本0.7：基于PCI Express®基本规范版本4.0修订版0.5（11/23/2015）  · 添加了ECN\_DVSEC-2015-08-04  · 申请的ECN PASID-ATS，日期为2011年3月31日  · 应用的PCIE基本规范勘误表：PCIe\_Base\_r31\_Errata\_2015-09-18，除了：。B216; RCIE  . B256.语法不清楚  · 第7章改变根据PCIe\_4.0\_regs\_0-3F\_gord\_7.docx进行软件调试和验证  · 增加了章节SR-IOV规范修订版1.2（修订版1.1，日期为2009年9月8日，加上：。SR-IOV\_11\_errata\_table.doc | 11/24/2015 |



第56

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
|  | . DVSEC  . 3.1基本规格勘误表  · 增加了ATS规范修订版1.2（修订版1.1，日期为2009年1月26日，加上：。 ECN-PASID-ATS  . 3.1基本规格勘误表 |  |
| 2016/2/18来自方案工作组的  ·以下文件的应用变更  . FC初始化/修订|scaled-flow-control-pcie-base40-2016-01-07.pdf（S teve.G）  . 注册集成旧规范的更新|PCIe\_4.0\_regs\_0-3F\_gord\_8.docx（GordC）  . Tag Scaling PCIe 4\_0 Tag Field scaling 2015-11-23 clean.docx（JoeC）  . MSI/MSI-X | PCIe 4\_0 MSI & MSI-X 2015-12-18 clean.docx (JoeC); register diagrams TBD on next draft.  . RESISTANCE\_TIMER/Ack/FC限值|Ack\_FC\_Replay\_Timers\_ver8（PeterJ） | 2/18/16 |
| 第10章SR-IOV相关变更：  · 将2010年1月20日发布的“SR-IOV和共享规范”修订版1.1（sr-iov 1 1 20Jan10.pdf）作为第10章合并，并对以下文档进行了更改。 PCI Express®基本规范修订版3.1，单根I/O勘误表  虚拟化和共享修订版1.1，地址转换和共享修订版1.1，  和M.2规范修订版1.0：PCIe\_Base\_r3 1\_Errata\_2015-09-18\_clean.pdf。 ECN\_\_Integrated\_Endpoints\_and\_IOV\_updates\_19 Nov2015\_Final.pdf  . 标记为“编辑”或标记为PDF的更改  sr-iov11 20Jan10-steve-manning-comments.pdf | 4/26/16 [快照] |
| 第9电气子块相关变更：  来源：工作组批准的Dan Froelich的Word文档  电气-PCI\_Express\_Base\_4. 0 r 0.7\_4月7日wg\_ap proposed\_redo\_for\_figure\_corruption.docx.） | 5/23/  16[快照 |
| 版本0.7继续  第4章.PHY逻辑改变基于：  · Chapter4-PCI\_BASE\_4 0r0 7\_May3\_2016\_draft.docx Chapter 7.. PHY逻辑更改基于：  · PCI\_Base\_4 0r0 7\_物理逻辑\_通道7\_Delta\_28\_Apr\_2016.docx |  |
| - - -2016年8月4.0 r0.7PDF草案中包含的变更-  6月16日 PWG对2016年5月快照 | 8/30/16 |



第57

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
|  | PWG对4.0 r0.7 2016年2月-4月-5月草案的反馈\*EWG反馈：  -CB-PCI\_Express\_Base\_4. 0 r 0.7\_May-2016（最终版）.fdf  -EWGf/b：  电气-PCI\_Express\_Base\_4. 0r0. 7\_4月7日wg\_approved\_redo\_for\_figure\_corruption\_Broadco.docx \* PWG反馈：  -PWG 0.7修复列表第1部分和第2.docx部分-PWG 07修复列表第3a.docx部分  - PCI\_BASE\_4.0r0.7\_pref\_April-2016\_chp5\_PM\_stuff\_only\_ver3.docx-PCI\_BASE\_4.0r0.7\_pref\_April-2016\_chp5\_PM\_stuff\_only\_ver3.docx-scaled-flow-control-pcie-base40-2016-07-07.pdf  - ECN\_NOP\_DLLP-2014 - 06 - 11\_clean.pdf-ECN\_RN\_29\_Aug\_2013.pdf  -3p1\_active\_errata\_list\_mpcie\_28Aug2014.doc  -3p1\_active\_errata\_list\_mpcie\_part2\_11Sept2014.doc-lane-margining-capability-snapshot-2016-06-16.pdf  -带PWRBRK信号的紧急功率降低机制ECN-PWG 07修复列表第4部分. docx  -ECN\_Conventional\_Adv\_Caps\_27Jul06.pdf  -10位标签相关SR-IOV更新\* 其他：  - 将SR-IOV和ATS规范的确认页合并到主基础规范中。鸣谢页。 |  |
| -自2016年8月以来的更改，适用于2016年9月的4.0 r0.7 PDF草案-应用：  PWG关于8月草案的  ECN\_SR-IOV\_Table\_Updatedates\_16-June-2016.doc | 9/28/16 |
| -自2016年9月28日或2016年10月4.0 r0.7 PDF草案以来的变更-EWG：  更新第9章-电气子块（章节：<9.4.1.4>、<9.6.5.1>、<9.6.5.2>、9.6.7）PWG：  更新第3.2.1、3.3、3.5.1、7.13、7.13.3节（图：数据链路状态寄存器） | 10/7/16 |
| - --2016年10月13日4.0 r0.7草案PDF的更改- | 10/21/16 |



第58

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
|  | EWG：  更新第9章-电气子块（第9.3.3.9节和图9-9标题） |  |
| - - -2016年11月3日4.0 r0.7草案PDF的变更-  第2.6.1节流量控制规则：更新FC初始化项目符号下的Scaled Flow Control子项目符号（表2-43之前） | 11/3/16 |
| --对2016年11月11日4.0 r0.7草案PDF的更改-在Open Issues页面中添加了M-PCIe声明  Updated date to November 11，2016 | 11/11/16 |
| 版本0.9：基于PCI Express®基本规范版本4.0修订版0.7（2016年11月11日），包含以下ECN：  -ECN-Hierarchy\_ID-2017-02-23-ECN\_FPB2017年2月9日  -ECN Expanded Resizable BARs2016-04-18-ECN-VF-Resizable-BARS\_6-July-2016  第7章重组：  · 根据PWG批准的重组创建了新的第7.6节，以移动第7.5、7.6、.和7.10分别至第7.6.1至7.6.3小节  · 根据PWG批准的重组创建新的第7.7节，将第7.7、7.8、7.12、7.13、7.40、7.41和7.20节分别移至第7.7.1至7.7.7小节。  · 根据PWG批准的重组创建了新的第7.9节，将第7.15、7.22、7.16、7.23、7.39、7.24、7.17、7.18、7.21、7.25、7.28、7.30、7.33、7.34、7.35、7.38和7.42节移至子节  7.9.1至7.9.17  - 已删除第8章：M-PCIe逻辑子块  - 更新了第9章（现在为第8章），EWG更新了第9章-电气子模块，依据：第9章-PCI\_Base\_4 0r09\_March\_30-2017\_approved.docx  - 更新了第4章：P物理层逻辑块（依据PCI\_Base\_40\_r09\_Chapter4\_Final\_Draft.docx）  - 更新了第10章：ATS规范中的图-删除了附录H：M-PCI时序图  - 删除附录I：M-PCIe合规性模式，根据删除4.0基础规范0.9版的M-PCIe章节。  - 添加附录H：流量控制更新延迟和ACK更新延迟计算-添加附录I：重要产品数据（VPD） | 2017年4月28日 |



第59

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
|  | - 根据以下内容更新了附录部分的编辑反馈  PCI\_BASE\_4.0r0.7\_appendixes\_November-11-2016\_combined-editorial.docx-在整个文档中引用M-PCIe  - 更新了第9章（现在为第8章），EWG更新了第9章-电气子模块，依据：第9章-PCI\_Base\_4 0r09\_March\_30-2017\_approved.docx  - 更新了第4章：P物理层逻辑块（依据PCI\_Base\_40\_r09\_Chapter4\_Final\_Draft.docx）  - 更新了第10章：ATS规格中的  - 添加附录H：流量控制更新延迟和ACK更新延迟校准  - 在4月28日快照的更改栏版本中标记为删除的以下项目已被  注释：注释：PCI\_BASE\_4 0 r 0 7\_Phy-Logical\_Ch 7\_Delta\_28\_Apr\_2016.docx**pp 1074：物理层16.0 GT/s限制扩展功能部分**注释：注释：  PCI\_BASE\_4 0 r 0 7\_Phy-Logical\_Ch7\_Delta\_28\_Apr\_2016.docx注释：替换为接收器扩展功能修复程序3a#83处的通道  lane-margining-capability-snapshot-2016-06-16.pdf  -Incorporated：PCIe4\_0Tag Fieldscaling2017-03-31.docx-Vital Product Data（VPD）  - 添加第6.28节-添加第7.9.4  -从4月28日快照中纳入反馈。[源代码：10000]  - 根据以下要求完成附录部分的编辑反馈  PCI\_BASE\_4.0r0.7\_appendixes\_November-11-2016\_combined-editorial.docx-MSI的合并ECN EMD2016-05-10  - 更新依据：**PWG F2 F更改**自：  PCI\_BASE\_4.0r0.7\_pref\_November-11-2016-F2F-2017 -03-16-2017-03-30-sdg.docx  -根据以下列表（Gord Caruk）更新了图：PCIe\_4 0\_fix\_drawing\_items.doc PCIe\_40\_fix\_drawing\_items\_part2.doc | 2017年5月 |
| 版本0.91  \* 请注意，此版本将用作PCI Express®基本规范修订版5.0的基础  项目编号参考PWG检查表（[https：//members. pcisig.com/wg/PCIe-Protocol/](https://members.pcisig.com/wg/PCIe-Protocol/)document/10642）  - 将第7.10节整平门式桥移至第7.8.10节。PWG检查表项目#12.1  - 固定杂项。 反馈t需要从0.9版本中澄清。问题属于以下类别：  图更新，破碎的交叉引用。还纳入了从4.0版本修订版0.9基本规范的成员评审中收到的反馈。  - 进行了更新，以协调与纳入MSI ECN的扩展消息数据相关的问题。PWG检查表项目#22 | 2017年8月17日， |



第60

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
|  | - 已完成合并PWG检查表项目#14、14.1、15.1、36、42中所有已解决的编辑项目。TBD：评审员将#13、#14和#15中的一些次要编辑项目推迟到0.91后。待定：勘误表和NPEM ECN |  |
| ECN：ECN\_Native\_PCIe\_Enclosure\_Management\_v10August2017.docx  第5.11.1节至第5.14  PWG检查表中项目34.01 34.02 34.04 34.05 34.11跟踪的变更  勘误表：B265、C266、267、268、B269、A270、A271、B274、C275、B276、B277、B278、B279、B280、B281、B283、B284、B285、B286、B288、B289、B292、B293、B294、B295、B297、B299、B300、B301  其他次要编辑依据：NCB-PCI\_Express\_Base\_4. 0 r 0.91\_August-17-2017\_\_dh\_sdg\_Annot\_2.fdf | 2017年8月 |
| NCB-PCI\_Express\_Base\_4. 0 r1.0\_August-28-2017.fdf（修订版8）中包含的应用修复和更正  <https://members.pcisig.com/wg/PCIe-Protocol/document/10770>更新了附录部分的贡献者列表。 | 2017年9月 |
| 更新了Ap附录章节中的贡献者列表。插入正确的图6-2。  已应用的次要修复和更正记录在：  NCB-PCI\_Express\_Base\_4. 0 r1.0\_2017年9月20[日https：members.pcisig.com/wg/PCIe-Protocol/](https://members.pcisig.com/wg/PCIe-Protocol/)document/10770 | 2017年9月 |
| “-c”版本：更改以匹配PWG和EWG于2017年9月29日批准的最终NCB PDF的-b版本。请参见更改条形图。详情包括：  EWG变更：  - 公式8-3中的排印错误;将1.6.0GT/s更改为16.0GT/s  -第8.4.2.1节 ;将表8-11中的参考文献更正为表8-10  -第8.5.1.3.3节&第8.5.1.4.3节（图8-47）;将“中位数”变更  - 图4-27之前的子子项目符号。在8.0 GT/s之后添加  - 第5.11节电源管理事件;删除了最后两段和实施说明。- 更新了确认部分，增加了联系人。 | 2017年9月 |
| 5.0 | 0.3版本  5.0的预期变更总结。 这是一个简短的文档，引用了PCI Express基本规范，但不包括它。 | 2017-06-01 |
| 版本0.5 | 2017-11-02 |



第61

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
|  | 关于5.0预期变更的更多详细信息。 这是一个简短的文档，引用了PCI Express基本规范，但不包括它。 |  |
| 版本0.7  这是基于4.0规范文本的Base 5.0的第一个版本4.0规格为  在此过程中转换为HTML格式。此转换过程不完美，但不会影响新的5.0材料。 | 2018-06-07 |
| 版本0.9  这包括：  · 以32.0GT/s运行的其他详细信息  · 更正以匹配发布的Base 4.0  · 重绘一些数字  · PCIe\_Base\_r4\_0\_Errata\_2018-10-04a。PDF  · ECN热报告2017年5月1日8.pdf  · ECN-Link-Activation-07-Dec-2017.pdf | 2018-10-18 |
| 版本1.0  这包括：  · 支持32.0 GT/s操作的纠正和澄清  · 编辑修改：  . 使用文本重写误导/ conf  . 更新术语以确保一致性和准确性  . 更新语法以提高可读性  . 添加多个热链接/交叉引用  · 实施所有4.0勘误表  · 纳入扩展ROM确认ECN  [扩展ROM确认ECN。PDF](https://members.pcisig.com/wg/PCI-SIG/document/11118)  · 集成增强型PCIe精确时间测量（ePTM）ECN  [ECN\_ePTM\_2019年1月10日。PDF](https://members.pcisig.com/wg/PCI-SIG/document/12522)  · 合并根复合体事件收集器总线编号关联ECN  [ECN EventCollector13Sept2018a.pdf](https://members.pcisig.com/wg/PCI-SIG/document/12033)  · 整合PCIe链路激活ECN  [ECN Link Activation07 Dec 2017.pdf](https://members.pcisig.com/wg/PCI-SIG/document/11120)  · 为传统PCI ECN整合高级功能（针对PCIe更新）  [ECN\_Conventional\_Adv\_Caps\_2006年7月27日。PDF](https://members.pcisig.com/wg/PCI-SIG/document/12450)  · 整合异步热插拔更新ECN  [ECN异步热插拔更新2018-11-29. PDF](https://members.pcisig.com/wg/PCI-SIG/document/12400)  · 整合ACS增强功能ECN  [ECN\_ACS\_2019年4月25日\_清洁。PDF](https://members.pcisig.com/wg/PCI-SIG/document/12890) | 2019-05-16 |



第62

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 修订 | 修订历史 | 日期 |
|  | · 将子系统ID和系统供应商ID功能纳入PCI到PCI桥架构规范修订版1.2（针对PCIe进行了更新）  [ppb12.pdf](https://members.pcisig.com/wg/PCI-SIG/document/8226) |  |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

PCI Express®架构的目标

该文档定义了PCI Express架构的

设计和构建设备和系统所需的平台架构和编程接口元素。PCI Express体系结构的一个关键目标是使来自不同供应商的设备能够在开放体系结构中互操作，

跨越多个细分市场，包括客户端、服务器、嵌入式和通信设备。该体系结构为产品多功能性和市场差异化提供了一个灵活的框架。

本规范描述了PCI Express®架构、互连属性、结构管理和

设计和构建符合PCI Express规范的系统和外围设备所需的编程接口。

其目标是使来自不同供应商的此类设备能够在开放式架构中互操作。本说明书

旨在增强面向多个细分市场的PCI™架构

移动）、服务器（标准和企业）以及嵌入式和通信设备。 该规范为系统OEM和外围设备开发商提供了足够的产品通用性和市场差异化空间，而不会带来过时接口或失去兼容性的负担。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

PCI Express体系结构规范组织

PCI Express规范被组织为基本规范和一组伴随文档。

PCIExpress基本规范包含架构、协议、链路层、物理层和软件接口的技术细节。 PCIExpress基本规范（本文档）适用于PCI Express的所有变体。

配套规范定义了各种外形规格，包括机械和电气章节，涵盖的主题包括辅助信号、功率传输和适配器互连电气预算。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

文档惯例

资本化

一些术语的大写是为了区分它们在本文档上下文中的定义和它们的通用英语 意义不大写的单词有其普通的英语含义。 当诸如“内存写入”或“内存读取”之类的术语完全以小写出现时，它们包括该类型的所有事务。

寄存器名称、寄存器和标题中的字段和位的名称的首字母大写，其余字母小写。

数与数基

十六进制数字用小写字母“h”后缀来书写，例如，FFFh和80h。大于四位数的十六进制数用一个空格来表示，如1EFFFFFFFFh。二进制数被写成

带有小写“b”后缀，例如，1001带10b.大于四位数的二进制数用空格分隔每组四位数，如100001010010 b。

所有其他数字都是十进制的。

实施说明

实施说明不应视为本规范的一部分。它们仅用于澄清和说明。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

术语和缩略语

8b/10b

PCIExpress物理层中用于5.0 GT/s及以下的数据编码方案1。

10-比特标签

一种标记的能力，为标记字段提供总共10位。请参见标记。

访问控制服务

一组功能和控制寄存器，用于在PCI Express组件内实现对路由的访问控制。

ACS违规

当完成程序检测到访问控制违规时，应用于已发布或未发布请求的错误

适配器

一般用于指外接程序卡或模块。

高级错误报告

高级错误报告（参见第7.8.4节）。

积分（Credits）

在流量控制上下文中使用，接收方发送有关其流量控制信用可用性的信息的动作。

替代性标记-ID，ARI

替代的生物标记-ID解释。 适用于请求者ID和完成者ID以及路由ID。

ARI器械

一种与上游端口相关联的设备，其功能均包含ARI扩展能力结构。

ARI下游端口

支持ARI转发的交换机下游端口或根端口。

ARI转发

使ARI设备正上方的下游端口能够访问扩展设备的功能 功能协调发展的启用ARI转发可确保确定何时将类型1配置请求转换为类型0配置请求的逻辑不再强制将传统设备编号字段限制为0。

断言

一个概念或实际信号的有效逻辑状态。

异步删除

在没有与操作系统同步的情况下从插槽中取出适配器或电缆（即，以不需要按钮按压等的异步方式）。

原子操作

三种体系结构的原子操作之一，其中针对内存空间中某个位置的单个PCI Express传输读取该位置的值，可能向该位置写入新值，然后返回原始值。对该位置的这种读-修改-写序列是原子地执行的。AtomicOps包括[FetchAdd、](#bookmark975)[Swap](#bookmark976)和[CAS。](#bookmark977)



1. IBMJournal of Research and Development，卷。27，#5，1983年9月，Widmer和Franaszek的“A DC-Balanced，Partitioned-Block 8B/10 B Transmission Code”。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

属性

由指定的分组报头位和字段（例如，非窥探）。

基址寄存器

基址寄存器存在于配置空间中，用于确定函数所需的系统内存空间量，并为映射到函数内存空间提供基址。碱

地址寄存器可以映射到存储器空间或I/Ospac e。

信标

可选的30 kHz至500 MHz带内信号，用于退出L2链路电源管理状态。两种定义的唤醒L2中链路的机制之一（参见唤醒）。

桥

几个已定义的系统元素之一。虚拟或实际连接PCI/PCI-X段或PCI的功能 Express端口与内部组件互连或与另一个PCI/PCI-X总线段或PCI Express端口。一

根联合体或交换机中的虚拟网桥必须使用本规范中描述的软件配置接口。

-1，x1

具有一个物理通道的链路或端口。

x-8，x8

具有八个物理通道的链路或端口

乘N，xN

具有“N”个物理通道的链路或端口

比较和交换，CAS

一个AtomicOp，将目标位置的值与指定的值进行比较，如果它们匹配，则将另一个指定的值写回该位置。无论如何，都会返回位置的原始值。

字符

一种被视为原子实体的8位数;字节。

明确

当位的值为0b时，位为清零

冷复位

主电源供电后的基本复位。

完成者

终止或“完成”给定请求的函数，如果合适，则生成完成。一般

请求所针对的函数充当完成者。对于无法纠正的错误阻止请求到达其目标函数的情况，检测和处理错误的函数充当请求的发送方。

完成者。

完成者中止，CA

1. 适用于已发布或未发布的请求的状态，完成者永久无法

由于违反完成程序的编程模型或与完成程序关联的不可恢复的错误而无法成功完成。

2. 一种状态指示，对于在完成程序处遭遇完成者中止的未发布请求，返回一个完成。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

完成者ID

完成者的总线号、设备号和功能号的组合，在层次结构中唯一标识请求的完成者。使用ARI完成者ID，传统上用于设备的

Number字段用于展开Functi on Number字段，而Device Number则隐含为0。

完成

用于终止或部分终止事务处理序列的一种数据包。完成总是对应于前面的请求，并且在某些情况下，包括数据。

组件

一个物理设备（封装）。

组态软件

系统软件的组件，负责访问PCI/PCIe总线和配置PCI/PCIe总线。

配置空间

PCIExpress体系结构中的四个地址空间之一。具有配置空间地址的数据包用于配置功能。

准备就绪

当保证功能将响应以该功能为目标的有效配置请求时，该功能是“配置就绪”的，其中完成指示成功完成状态。

遏制错误恢复，CER

由[下游端口控制](#bookmark979)[（DPC）](#bookmark980)支持的通用错误控制和恢复方法，在适当的软件/固件支持下，可以处理许多无法纠正的错误，而不会中断

应用.

常规PCI

PCI局部总线规范中定义的行为或特性。PCIExpress Base4.0和后续规范结合了PCI本地总线规范的相关要求。

常规复位

热、暖或冷重置。功能级复位（FLR）。

数据链路层

位于事务层和物理层之间的中间层。

数据链路层分组

在数据链路层中产生的一种数据包，用于支持链路管理功能。

数据有效载荷

某些数据包中报头之后的信息，目的是供接收数据包的目标功能使用（例如，写请求或读完成）。

解除断言

一个概念或实际信号的非活动逻辑状态。

测试性设计

可测试性设计

器械（“D”）

由公共总线号和设备号标识的单个层次结构中的一个或多个功能的集合。SR-IOV设备可以具有经由通过一个或多个SR-IOV扩展能力结构配置的附加总线号和/或设备号访问的附加功能。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

设备（“d”）

1. 执行特定类型的I/O的物理或逻辑实体。

2. PCI Express链路两端的组件

3. 功能的一个常见的不精确的同义词，特别是当设备具有单一功能时。

设备就绪状态

指示器械已准备就绪的机制（见第6.23.1节）

下游

1. 距离根较远的互连/系统元素（端口/组件）的相对位置 复杂. 交换机上不是上游端口的端口是下游端口。 根联合体上的所有端口都是下游端口。链路上的Downstream组件是离根复合体较远的组件。

2. 信息流的一个方向，在该方向上信息从根复合体流出。

下游路径

从上游伪端口接收器到下游伪端口发送器的数据通过重定时器的流动。

下游端口安全壳

在出现不可纠正的错误后，自动禁用下游端口下面的链路，以防止错误后的TLP传播上游或下游端口。

DWORD，DW

四个字节。在数据有效载荷的上下文中使用，数据的4个字节必须在自然对齐的4字节边界上（字节地址的最低有效2位是00b）。

出口端口

传输端口;也就是发送传出流量的端口。

电空闲

一种链路状态，用于各种定义的情况，并对发送器和接收器有特定的要求。

端-端TLP前缀

与TLP一起从源传送到目的地的ATLP前缀。 参见www.example.com部分2.2.10.2。

端点

几个已定义的系统元素之一具有类型00h配置空间标头的函数

错误检测

确定错误存在的机制，或者由发现错误的第一代理（例如，格式错误的TLP）或由信号错误的接收者（例如，中毒的TLP的接收器）。

错误日志记录

一种检测器，根据对错误的检测来设置体系结构寄存器中的一个或多个位。检测器可能是错误的最初发现者，也可能是错误信号的接收者。

错误报告

在广义上，指一般性的错误通知。在设备控制寄存器的上下文中，发送错误消息。在根错误命令寄存器的上下文中，由于接收到错误消息而发出中断信号。

用信号通知

一个代理通过以下方式通知另一个代理错误：（1）发送错误消息，（2）发送带有UR/CA状态的完成，或（3）中毒TLP。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

扩展装置

用于延长链路物理长度的组件

扩展功能

在ARI设备中，功能号大于7的一种功能. 只有在ARI感知软件在ARI设备正上方的Downstream端口中启用ARI转发后，才可访问扩展功能。

FetchAdd、Fetch和Add

一个AtomicOp，其中目标位置的值使用二进制补码按指定值 算术运算忽略任何进位或溢出，结果写回该位置。返回位置的原始值。

流量控制

一种用于将接收缓冲器状态从接收器传送到发送器以防止接收缓冲器溢出并允许发送器遵守排序规则的方法。

流量控制包

用于将流控制信息从一个组件中的事务层发送到另一个组件中的事务层的DLLP。

功能

在设备中，配置空间中的一种可寻址实体，它与一个功能号相关联. 用于指多功能设备的一个功能[，](#bookmark981)或[单功能设备中的唯一功能](#bookmark982)。 具体包括第9章中定义的特殊类型的函数，特别是[物理函数](#bookmark983)和[虚拟函数。](#bookmark984)

功能组

在ARI设备中，一组可配置的功能，它们与单个功能组号相关联。 功能组可以可选地用作ARI设备内的多个功能之间的VC仲裁或访问控制的基础。

功能电平复位，FLR

用于重置特定端点功能的机制（参见第6.6.2节）。

功能就绪状态

用于指示功能已准备就绪的机制（参见第6.23.2节）

基本复位

用于将所有端口状态设置或返回到本文档中指定的初始条件的硬件机制（参见第6.6节）。

报头

出现在数据包前端或前端附近的一组字段，其中包含确定数据包特性和用途所需的信息。

层次结构

一种树形结构的PCI Express I/O互连拓扑，其中用于路由和路由器/编译器标识的配置地址（ID）是唯一的。 一个系统可以包含多个层次结构。

层次域

从单个根端口发起的层次结构的一部分。

主机桥

连接主机CPU或CPU到层次结构的根复合体的一部分。

热复位

使用物理层机制在链路上带内传播的重置。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

带内信令

一种使用两个组件之间的链路来发送事件和状态信号的方法，与使用 分离的物理（边带）信号。本文档中定义的所有机制都可以使用带内信令来实现，尽管在某些形式因素中可以替代地使用边带信令。

入站端口

接收端口;即接收传入流量的端口。

内部错误

在组件内发生的与PCI Express接口相关的错误，可能不是由PCI Express接口本身上的数据包或事件引起的，也不是由PCI Express上启动的事务引起的。

I/O空间

PCI Express架构的四个地址空间之一。

等时

与时间敏感应用程序（如音频或视频应用程序）关联的数据

不变

TLP报头或TLP前缀的一个字段，其中包含的值在TLP流经PCI Express结构时不能合法修改。

车道

一组差分信号对，一对用于发送，一对用于接收。一个N路链路由N条车道组成。

层

应用于本规范的一种区分单位，用于帮助阐明关键元素的行为。术语层的使用并不意味着特定的实现。

链路

两个港口的集合及其相互连接的车道。链路是两个组件之间的双单工通信路径。

链路段

一个端口和一个伪端口或两个伪端口及其互连通道的集合。链路段是组件和重定时器之间或两个重定时器（两个伪定时器）之间的双单工

港口）。

轻量级通知

一种轻量级协议，支持在更新感兴趣的缓存行时通过硬件机制通知端点。

LN完成者，LNC

主机中的一个服务子系统，接收LN读/写请求，并在注册的高速缓存行更新时发送LN消息。

LN完成

TLPHea der已设置LN位的完成。

LN消息

用于LN协议通知

LN读取

一种存储器读请求，其TLP报头具有LN位置位。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

LN过滤器，LNR

端点中的客户端子系统，发送LN读/写请求并接收LN消息。

LN写入

一个存储器写请求，其TLP报头具有LN位置位。

本地TLP前缀

在单个链路上随TLP一起携带的ATLP前缀参见2.2.10.1部分。

逻辑总线

一组设备之间的逻辑连接，这些设备在互连空间中具有相同的总线号。

逻辑空闲

一个或多个符号时间的周期，此时没有信息（TLP、DLLP或任何特殊符号）被

发送或接收。与电气空闲不同，在逻辑空闲期间，空闲数据符号被发送和接收。

LTR

延迟容限报告的缩写

畸形的报文

违反本规范中定义的特定TLP形成规则的ATLP

存储器空间

PCI Express架构的四个地址空间之一。

消息

ATLP用于在内存、I/O和配置空间之外通信信息。

MSI/MSI-X消息信令交换机

两种类似但独立的机制，使函数能够通过编写系统指定的

使用内存写请求将数据发送到系统指定的地址。与MSI相比，MSI-X支持更大的最大向量数，并且每个向量都有独立的消息地址和数据。

消息空间

PCI Express架构的四个地址空间之一。

多播，MC

一种功能和相关机制，使源发送的单个Postedd RequestTLP能够分发到多个目标。

组播组

一组端点，它们是特定地址范围内多播TLP的目标。

多播命中

由接收器确定TLP将作为多播TLP处理。

多播TLP

ATLP可能被分发到多个目标，如由TLP通过其行进的组件中的多播能力结构所控制的。

多播窗口

内存空间的一个区域，其中以它为目标的发布请求TLP将被处理为多播TLP。

多功能器械，MFD

具有多种功能的设备

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

多根I/O虚拟化，MR-IOV

支持MR-IOV功能的功能更多信息参见[MR-IOV]

自然对齐

一种数据有效载荷，其起始地址等于2的幂的整数倍，通常是2的特定幂。例如，64字节自然对齐意味着字节加法的最低有效6位是000000b。

NPEM

本机PCIe盘柜管理

OBFF

优化的缓冲液冲洗/填充

操作系统

贯穿本说明书，术语操作系统和系统软件是指功率管理服务、设备驱动器、用户模式服务和/或内核模式服务的组合。

有序搬迁

热插拔移除模型，其中当用户/操作员希望移除适配器时通知OS，并且OS有机会为事件做准备（例如，暂停适配器活动），然后再授予

的拔除.

P2p

点对点

路径

通过重定时器的数据流，位于上游路径或下游路径中。

分组

信息传输的一种基本单位，由一个可选的TLP前缀、一个报头和（在某些情况下）一个数据包组成。

百万分率，ppm

应用于频率时，所规定的理想频率与实测的长期平均频率之间的差值，单位为百万分之一赫兹。

PCIe®

PCI Express®

PCI桥

参见类型1功能。

PCI软件模型

初始化、发现、配置和使用PCI兼容设备所需的软件型号，如[[PCI-3.0]、](#bookmark985)[PCI-X-2.0]和[PCI-Firmware]中所述。

体模功能编号

未声明的功能号t可以用于通过逻辑地组合PFN与标签标识符来扩展未完成的事务标识符的数量，以创建唯一的事务标识符。

身体功能，PF

包含SR-IOV扩展功能结构并支持第9章中定义的SR-IOV功能的PCI功能。

物理通道

这是Lane。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

物理层

直接与两个组件之间的通信介质交互的层。

端口

1. 从逻辑上讲，是组件和PCI Express链路之间的接口。

2. 物理上，位于同一芯片上的一组发送器和接收器定义了一条链路。

电源管理

用于最小化系统功耗、管理系统热限制和最大化系统电池寿命的软件或硬件机制。电源管理涉及系统速度、噪声、电池寿命和交流功耗之间的权衡。

PMUX频道

PMUX链路上的一种多路复用信道，用于传输特定的多路复用协议。 参见附录G。

PMUXLink

支持并启用协议多路复用的链路。 参见附录G。

PMUX数据包

通过PCI Express链路传输的非PCI Express数据包。参见附录G。

精密时间测量

一种可选功能，用于在组件之间传递精确的定时信息。

进程地址空间ID

进程地址空间ID与事务处理器ID一起唯一地标识与事务相关联的地址空间。

程控I/O，PIO

一种事务处理序列，它

PCI兼容配置机制。值得注意的是，以ECAM地址范围为目标的主机处理器加载或存储生成配置空间事务。通常存在其他内存映射范围以生成内存

空间和I/O空间事务。

伪端口

1. 从逻辑上讲，是重定时器和PCI Express链路段之间的接口。

2. 在物理上，位于同一重定时器芯片上的一组发射器和接收器定义了一个链路段。

服务质量

影响带宽、延迟、抖动、相对优先级等的属性，区分不同的交通类别。

QWORD，QW

八个字节。在数据有效载荷的上下文中使用，8字节的数据必须在自然对齐的8字节边界上（地址的最低有效3位是000b）。

RCiEP

根复合体集成端点。

接收器，Rx

通过链路接收数据包信息的组件。

接收端口

在特定TLP或DLLP上下文中，在给定链路上接收数据包的端口。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

再驱动器

一种无协议感知、软件透明的扩展设备。

中继器

延伸导线的一个不精确术语

报告错误

一种错误，受本文档中体系结构定义的日志记录和信号要求的影响。

请求

用于启动事务处理序列的数据包。 请求包括操作代码，并且在某些情况下包括地址和长度、数据或其他信息。

请求者

首先将事务序列引入PCI Express域的函数。

请求者ID

总线号、设备号和功能号的组合，用于唯一标识 在一个层次结构中的排序器。 使用ARI编码器ID，传统上用于设备号字段的位被用于扩展功能号字段，并且设备号被暗示为0。

保留

此时未定义内容、使用任何保留区域（例如，数据包

报头位字段、配置寄存器位）是不允许的。保留寄存器字段必须是只读的，并且在读取时必须返回0（多位字段为全0）。不得使用寄存器和数据包字段的保留编码。 任何对保留字段值或编码的实现依赖都将导致不符合PCI标准的实现。这样一个n实现的功能在这一次或任何将来都不能得到

本规范的修订

Refclk

参考时钟的缩写

重定时

一种物理层协议感知的、软件透明的扩展设备，它形成两个独立的电链路段。

根复合体，RC

一种定义的系统元素，至少包括一个主桥、根端口或根联合体集成端点。

根复合体组件

根端口、根复合体寄存器块、根复合体集成端点和根复合体事件收集器的逻辑聚合。

根端口，RP

根联合体上的PCI Express端口，其通过相关联的虚拟PCI-PCI桥映射层级的一部分。

路由元件

指根联合体、交换机或网桥的术语，涉及其路由、组播或阻止TLP的能力。

路由ID

标识PCI Express功能的验证者ID或完成者ID

RP PIO

根端口编程I/O。参见6.2.10.3部分。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

设置

当位的值为1b时，位被置位。

边带信令

一种使用与形成链路的信号分离的物理信号来发信号通知事件和条件的

两个组件之间。本文档中定义的所有机制都可以使用带内信令来实现，尽管在某些形式因素中可以替代地使用边带信令。

单功能装置，SFD

具有单一功能的设备

单根I/O虚拟化

支持本规范中定义的SR-IOV扩展能力的功能。

单根PCI管理器

负责配置和管理SR-IOV扩展功能和PF/VF的软件，以及

处理相关的错误处理。存在多种实现选项;因此，SR-PCIM实现不在本规范的范围内。

SR-IOV设备

包含一个或多个具有SR-IOV扩展能力结构的功能的设备。

SSD

固态驱动器

交换，[无条件交换](#bookmark988)

一个AtomicOp，将指定的值写入目标位置，并返回该位置的原始值。

开关

连接两个或多个端口以允许数据包从一个端口路由到另一个端口的一种已定义的系统元素。对于配置软件，交换机显示为虚拟PCI到PCI桥的集合。

符号

使用8b/10 b编码时的10位量。使用128 b/130 b编码时的8位量。

符号时间

在通道上放置符号所需的时间（使用8b/10 b编码时为单位间隔的10倍，使用128 b/130 b编码时为单位间隔的8倍）。

系统元件

根据不同规则集运行的已定义设备或设备集合。定义了以下系统元素：根复合体、端点、交换机和网桥。

系统映像，SI

在虚拟系统上运行的一种软件组件，可以为它分配特定的功能、[过程函数](#bookmark986)和[虚拟函数](#bookmark989)。 SI的行为和体系结构的规范不在本规范的范围内。SI的示例包括客户操作系统和共享/非共享受保护域设备驱动程序。

系统软件

包括系统固件（BIOS、UEFI）、操作系统、VMM、管理软件、平台供应商的操作系统附加组件。

标签

分配给给定的未发布请求的编号，用于将该请求的完成与其他请求区分开来。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

TLP前缀

附加信息，可以选择性地添加到TLP中。TLP前缀可以是Local或End-End。 ATLP可以有多个TLP前缀。 参见第2.2.10节。

TPH

TLP处理提示的缩写

事务描述符

数据包报头中的一种元素，除地址、长度和类型外，还描述事务的属性。

事务ID

事务处理描述符的一个组成部分，包括事务处理器ID和标记。

事务层

在事务级别（例如，读、写）操作的层。

事务层数据包

在事务处理层中产生的一种数据包，用来传送请求或完成信息.

事务序列

一个请求和零个或多个完成与执行一个单一的逻辑传输由一个代理。

收发器

物理发送器和接收器在单个芯片上配对。

发射器，Tx

通过链路发送数据包信息的

发送端口

在特定TLP或DLLP的上下文中，在给定链路上传输数据包的端口。

0型功能

具有类型0配置空间标头的函数（请参见第7.5.1.2节）。

第1类功能

具有类型1配置空间标题的函数（请参见www.example.com部分7.5.1.3）。

无条件交换，[交换](#bookmark976)

一个AtomicOp，将指定的值写入目标位置，并返回该位置的原始值。

单位间隔，UI

给定具有交替的1和0值的重复模式的数据流，单位间隔是通过在足够长的时间间隔内对电压过渡之间的时间间隔进行平均来测量的值，以使所有有意的 源时钟的频率调制可忽略不计（参见RX：UI和TX：UI）。

不支持的请求，UR

1. 应用于已发布或未发布的请求的状态，该请求指定完成程序不支持的某些操作或对某些空间的访问。

2. 一种状态指示，对于在完成器处遇到不支持的请求的未发布请求，返回一个完成。

上游

1. 更靠近根的互连/系统元素（端口/组件）的相对位置

复杂. 交换机上拓扑上最接近根联合体的端口是上游端口。的

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

仅包含端点或桥功能的组件上的端口是上游端口。链接上的上游组件是更接近根复合体的组件。

2. 信息流向根复合体的信息流方向。

上游路径

通过重定时器从下游伪端口接收器到上游伪端口发送器的数据流。

变体

TLP报头的一个字段，其中包含的值在TLP流经PCI Express结构时可能根据本规范的规则进行修改。

虚拟函数

与物理功能相关联的[功能](#bookmark986)。 VF与物理功能和与同一PF相关联的其他VF共享一个或多个物理资源，诸如链路。

虚拟化中介，VI

支持一个或多个SI的软件组件，俗称管理程序或虚拟机监视器。VI的行为和体系结构规范不在本规范的范围内。

唤醒

一种可选机制，组件在处于L2链路状态时使用该机制请求重新应用主电源。定义了两种这样的机制：信标（使用带内信令）和唤醒#（使用边带信令）。

热重置

基本复位，无需循环主电源。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

参考文件

PCI

PCI-3.0

[PCI局部总线规范，修订版3.0](https://members.pcisig.com/wg/PCI-SIG/document/8237)

PCIe

PCIe-5.0

PCI Express基本规范，修订版5.0

PCIe-4.0

[PCI Express基本规范，修订版4.0](https://members.pcisig.com/wg/PCI-SIG/document/10912)

PCIe-3.1 PCIe-3.1a

[PCI Express基本规范，修订版3.1a](https://members.pcisig.com/wg/PCI-SIG/document/8257)

PCIe-3.0

[PCI Express基本规范，修订版3.0](https://members.pcisig.com/wg/PCI-SIG/document/8265)

PCIE-2.1

[PCI Express基本规范，版本2.1](https://members.pcisig.com/wg/PCI-SIG/document/9307)

PCIe-2.0

[PCI Express基本规范，版本2.0](https://members.pcisig.com/wg/PCI-SIG/document/8246)

PCIe-1.1

[PCI Express基本规范，修订版1.1](https://members.pcisig.com/wg/PCI-SIG/document/8244)

PCIe-1.0 PCIe-1.0a

[PCI Express基本规范，修订版1.0a](https://members.pcisig.com/wg/PCI-SIG/document/494)

CEM

CEM-4.0

PCI Express卡机电规范，修订版4.0

CEM-3.0

[PCI Express卡机电规范，修订版3.0](https://members.pcisig.com/wg/PCI-SIG/document/8250)

CEM-2.0

[PCI Express卡机电规范，修订版2.0](https://members.pcisig.com/wg/PCI-SIG/document/8285)

ECN-CEM-热

PCI Express卡机电规范的[PCIe CEM热量报告ECN](https://members.pcisig.com/wg/PCI-SIG/document/11117)，修订版3.0

PCIe-to-PCI-PCI-X-Bridge

PCIe-to-PCI-PCI-X-Bridge-1.0

[PCI Express到PCI/PCI-X桥接规范，修订版1.0](https://members.pcisig.com/wg/PCI-SIG/document/8259)

迷你卡

[PCI Express Mini Card机电规范，修订版2.1](https://members.pcisig.com/wg/PCI-SIG/document/10122)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

OCuLink

[PCI Express OCuLink规范，修订版1.0](https://members.pcisig.com/wg/PCI-SIG/document/9036)

M.2

[PCI Express M.2规范，修订版1.1](https://members.pcisig.com/wg/PCI-SIG/document/10029)

U.2

SFF-8639

[PCI Express SFF-8639模块规范，修订版3.0，版本1.0](https://members.pcisig.com/wg/PCI-SIG/document/11789)

外部布线

[PCI Express外部布线规范，修订版2.0](https://members.pcisig.com/wg/PCI-SIG/document/8254)

ExpressModule

[PCI Express PCI PCI Express模块机电规范，修订版1.0](https://members.pcisig.com/wg/PCI-SIG/document/download/8252)

PCI热插拔

PCI-热插拔-1.1

[PCI热插拔规范，修订版1.1](https://members.pcisig.com/wg/PCI-SIG/document/download/8227)

PCI-PM

[PCI总线电源管理接口规范，修订版1.2](https://members.pcisig.com/wg/PCI-SIG/document/download/8230)

PCI代码和ID

[PCI代码和ID分配规范，修订版1.11（或更高版本）](http://pcisig.com/specifications?speclib=code)

固件

[PCI固件规范，修订版3.2](https://members.pcisig.com/wg/PCI-SIG/document/12886)

ACPI

[高级配置和电源接口规范，修订版6.2](https://uefi.org/specifications)

UEFI

[统一可扩展固件接口（UEFI）规范，版本2.8](https://uefi.org/specifications)

EUI-64

[扩展唯一标识符（EUI）、扩展唯一标识符（OUI）和公司ID（CID）](https://standards.ieee.org/content/dam/ieee-standards/standards/web/documents/tutorials/eui.pdf)

JEDEC-JESD22-C101

[JEDECJESD 22-C101 F：微电子元件](https://www.jedec.org/)

JEDEC-JEP155-JEP157

[JEDECJEP 155：HBM/MM认证的推荐ESD目标水平和JEP 157推荐ESD-CDM目标水平](https://www.jedec.org/)

ESDA-JEDEC-JS-001-2010

[ESDA/JEDECJS-001-2010：JEDEC/ESDA静电放电灵敏度测试联合标准-人体模型（HBM）-组件级](https://www.jedec.org/)

ITU-T-Rec.- X.667

[ITUT-Rec.X.667：信息技术.对象标识符注册机构的操作程序.通用唯一标识符的产生及其在对象标识符中的使用](https://www.itu.int/rec/T-REC-X.667)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

ISO/IEC-9834-8

[ISO/IEC 9834-8：信息技术对象标识符注册机构的操作程序](https://www.iso.org/standard/62795.html)

[第8部分：通用唯一标识符（UUID）的生成及其在对象标识符中的使用](https://www.iso.org/standard/62795.html)

RFC-4122

[IETF RFC-4122：通用唯一标识符（UUID）URN规范](https://www.rfc-editor.org/rfc/rfc4122.txt)

PICMG

[PICMG](https://www.picmg.org/)

PLUG-PLAY-ISA-1.0a

[即插即用ISA规范，版本1.0a，1994年5月5日](https://en.wikipedia.org/wiki/Legacy_Plug_and_Play)

pc卡

[pc卡](https://en.wikipedia.org/wiki/PC_Card)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

**介绍**

本章概述了PCI Express体系结构和关键概念。PCI Express是

1.

一种高性能、通用I/O互连，定义用于各种未来

计算和通信平台。关键的PCI属性，如其使用模型，加载-存储体系结构和软件接口，都得到了维护，而其并行总线实现则 取而代之的是高度可扩展的全串行接口。PCI Express利用点对点互连、基于交换机的技术和分组化协议的最新进展来提供新级别的性能和功能。电源管理、服务质量（QoS）、热插拔

热插拔支持、数据完整性和错误处理是PCI Express支持的一些高级特性。

1.1第三代I/O互连

此第三代I/O互连的高级要求如下：

· **支持多个细分市场和新兴应用：**

. 为台式机、移动设备、工作站、服务器、通信平台和嵌入式设备提供统一的I/O架构

·**能够提供低成本、高产量的解决方案：**

. 系统级成本等于或低于PCI成本结构

· **支持多种平台互连用途：**

. 通过连接器或电缆**实现**芯片到芯片、板到板·**多种机械外形尺寸：**

. [[M.2]，](#bookmark992)[[CEM]](#bookmark990)（卡机电），[[U.2]，](#bookmark993)[[OCuLink]](#bookmark991)· **PCI兼容软件型号：**

. 能够使用PCI系统配置软件实现枚举和配置PCI Express硬件，无需修改

. 无需修改即可引导现有操作系统

. 能够支持现有的I/O设备驱动程序，无需修改

. 能够通过采用PCI配置范例来配置/启用新的PCI Express功能· **性能：**

. 低开销、低延迟通信，最大限度地提高应用负载带宽和链路效率

. 每引脚高带宽，可最大限度减少每个器件和连接器接口的引脚数。通过聚合通道和信令频率实现可扩展性能

·**高级功能：**

. 理解不同的数据类型和排序规则。电源管理和桥接

识别给定功能的电源管理功能的能力

将功能转换为特定电源状态的能力

接收函数当前电源状态通知的能力

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 能够生成从主电源断电状态唤醒

. 能够对设备上电进行排序，以便在功率预算管理中实现优雅的平台策略 支持差异化服务的能力，即，不同（QoS）

. 能够为每个QoS数据流分配专用链路资源，以提高交换矩阵效率和有效的应用程序级性能，应对线头阻塞

. 能够在每个组件内配置交换矩阵QoS仲裁策略。 能够为每个数据包标记端到端QoS

. 能够创建端到端的等值线（基于时间的注射速率控制）解决方案 热插拔支持

. 支持现有PCI热插拔解决方案的能力

. 支持本地热插拔解决方案的能力（无需边带

. 能够支持去除异物

. 能够支持适用于所有外形规格的统一软件模型 数据完整性

. 能够支持所有类型的事务和数据链路数据包的链路级数据完整性

. 能够支持高可用性解决方案的端到端数据完整性 错误处理

. 支持PCI级错误处理

. 能够支持高级错误报告和处理，以改进故障隔离和恢复解决方案

◦ 工艺技术独立性

. 能够在发射器和接收器处支持不同的直流共模

◦ 易于测试

. 能够通过简单的连接测试设备来测试电气合规性

1.2 pciexpress链路

链路表示两个组件之间的双单工通信信道。基本的PCI Express链路由两个低电压差分驱动信号对组成：一个发送对和一个接收对，如[图1-1所示。](#bookmark995)PCI Express链路由第4章中定义的PCIe PHY组成。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |
| --- |
| 分组 |

|  |  |  |
| --- | --- | --- |
| 组分A |  | 组分B |
|  |
|  |
|  |
|  |

|  |
| --- |
| 分组 |

OM13750

图1-1 PCI Express L链接

PCIExpress Link的主要链路属性

·基本链路- PCI Express链路由双单向差分链路组成，实现为发送对和接收对。 使用编码方案（参见第4章）嵌入数据时钟，以实现非常高的数据速率。

·信令速率-一旦初始化，每个链路必须仅操作所支持的信令级别中的一个。

◦ 对于第一代PCI Express技术，仅定义了一个信令速率，其提供有效的2.5千比特/秒/通道/方向的原始带宽。

◦ 第二代提供有效的5.0千比特/秒/通道/方向的原始带宽。

◦ 第三代提供有效的8.0千比特/秒/通道/方向的原始带宽。

◦ 第四代提供有效的16.0千比特/秒/通道/方向的原始带宽。

◦ 第五代提供有效的32.0千比特/秒/通道/方向的原始带宽。

· 通道-链路必须至少支持一个通道-每个通道代表一组差分信号对（一对 用于传输，一对用于接收）。 为了缩放带宽，链路可以聚合由xN表示的多个通道，其中N可以是所支持的链路宽度中的任何一个。以2.5GT/s数据速率运行的 每个方向上的原始带宽的20兆比特/秒的聚合带宽。本说明书描述

x1、x2、x4、x8、x12、x16和x32通道宽度的操作。

· PCI-在硬件初始化期间，每个PCI Express链路都是在通道协商之后建立的。

链路两端的两个代理的操作宽度和频率。不涉及固件或操作系统软件。

·对称性-每个链路必须在每个方向上支持相同数量的通道，即，x16链路表示在每个方向上有16个差分信号对。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

1.3 PCI Express芯片拓扑

交换矩阵由点对点链路组成，这些链路互连一组组件-交换矩阵拓扑示例如[图1-2所示。](#bookmark996) 此图显示了称为层次结构的单个结构实例，由根联合体（RC）、多个端点（I/O设备）、交换机和PCI Express到PCI/PCI-X桥组成，所有这些都通过PCI Express互连

链接.

|  |
| --- |
| pciexpress端点 |

PCI Express

PCI Express

|  |
| --- |
| 存储器 |

|  |
| --- |
| PCI Express-  PCI/PCI-X桥 |

|  |
| --- |
| CPU |

|  |
| --- |
| 根  复杂 |

PCIExpress

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |

PCI/PCI-X

开关

PCI

PCIExpress

PCI PCI

表达

表达 表达

|  |
| --- |
| pciexpress端点 |

|  |
| --- |
| pciexpress端点 |

|  |
| --- |
| 传统端点 |

|  |
| --- |
| 传统端点 |

OM13751A

图1-2 PCI Express拓扑示例

1.3.1根复合体

RC表示将CPU/内存子系统连接到I/O的I/O层次结构的根。

如[图1-2所示，](#bookmark996)RC可以支持一个或多个PCI Express端口。每个接口定义一个

独立的层次结构域。每个层次结构域可以由单个端点或包含一个或多个交换机组件和端点的子层次结构组成。

·通过RC在层次结构节点之间路由对等事务的能力是可选的并且依赖于实现。例如，一种实现可以包括真实或虚拟交换机

在根复合体内部，以软件透明的方式实现完全的对等支持。

与交换机的规则不同，RC在路由时通常允许将数据包拆分为较小的数据包 分级结构域之间的对等事务（除了下面提到的），例如， 将具有256字节有效载荷的单个分组拆分为两个各自具有128字节有效载荷的分组。产生的数据包将受到正常的

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

包含在本说明书中的分组形成规则（例如，Max\_Payload\_Size，读取完成边界

（RCB）等）。组件设计人员应注意，将数据包拆分为更小的数据包可能会对性能产生负面影响，特别是对于将PCI Express到PCI/PCI-X桥后面的设备寻址的事务。

例外：支持Vendor\_Defined Messages对等路由的RC不允许拆分 Vendor\_Defined Message数据包分解为更小的数据包，但128字节边界除外（即，除了最后一个之外的所有结果分组的长度必须是128字节的整数倍），以便保持通过PCI Express将消息转发到PCI/PCI-X桥接器的能力。

·RC必须支持生成配置请求作为一个调试器。

·允许RC作为请求器支持I/O请求的生成。

RC被允许生成对位置80和84 h中的任一个或两个的I/O请求， 而不考虑根端口的PCI桥I/O解码配置;建议仅在特别需要时启用此机制。

·RC不能支持锁语义作为完成器。

·RC被允许支持生成锁定请求作为一个验证器。

1.3.2终点

端点是指一种类型的功能，其可以是代表其自身或代表不同的非PCI Express设备（除了PCI设备或主机CPU）的PCI Express事务的执行者或完成者，例如，PCIExpress

连接的图形控制器或PCI接口USB主机控制器。端点被分类为传统、PCIExpress或根复合体集成端点（[RCiEP）](#bookmark987)。

<1.3.2.1>旧版端点规则

·传统端点必须是具有类型00h配置空间报头的功能。

·传统端点必须作为完成者支持配置请求。

·传统端点可以作为完成者支持I/O请求。

◦ 传统端点被允许接受对位置80和84 h中的一个或两个的I/O请求，而不考虑该端点的I/O解码配置。

·传统端点可以生成I/O请求。

·如果设备的遗留软件支持要求需要，则遗留端点可以支持锁存储器语义作为完成器。

·传统端点不得发出锁定请求。

·传统端点可以实现扩展配置空间能力，但是这样的能力可以被软件忽略。

·作为存储器事务的代理操作的传统端点不需要能够生成4GB或更大的地址。

·如果请求中断资源，则需要传统端点来支持MSI或MSI-X或两者。如果MSI是

实现后，允许遗留端点支持32位或64位消息地址版本的

MSI能力结构。

·允许传统端点支持请求存储器资源的基址寄存器的32位寻址。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·遗留端点必须出现在由根复合体发起的层次结构域之一内。

<1.3.2.2>PCIExpress端口规则

PCI Express端点必须是具有Type 00h配置空间报头的功能。

·PCI Express端点必须支持作为完成者的配置请求。

·PCI Express端点不得依赖于通过BAR声明的I/O资源的操作系统分配。

·PCI Express端点不得生成I/O请求。

·PCI Express端点不得支持作为完成者的锁定请求或作为请求者生成m。 必须编写符合PCI标准的软件驱动程序和应用程序，以防止使用锁语义

当访问PCI Express端点时。

·作为存储器事务的代理操作的PCI Express端点需要能够生成大于4GB的地址。

·如果请求中断资源，则需要PCI Express端点来支持MSI或MSI-X或两者。如果实现MSI，PCIExpress端点必须支持MSI功能结构的64位消息地址版本。

·通过[BAR](#bookmark978)请求备忘录资源的PCI Express端点必须设置[BAR](#bookmark978)

合并有关设置可预取位的其他gui舞蹈，请参见第7.5.1.2.1节。

· 对于PCI Express端点，具有可预取位设置的所有B AR必须支持64位寻址。32位寻址被允许用于没有设置可预取位的所有B AR。

·BAR请求的最小存储器地址范围是128字节。

·PCI Express端点必须出现在由根复合体发起的层次结构域

<1.3.2.3>根复合体集成端点规则

·根复合体集成端点（[RCiEP）](#bookmark987)在包含根端口的根复合体的内部逻辑上实现。

·[RCiEP](#bookmark987)必须是具有类型00h配置空间报头的函数。

·[RCiEP](#bookmark987)必须作为完成者支持配置请求。

·[RCiEP](#bookmark987)不得要求通过BAR声明I/O请求。

·[RCiEP](#bookmark987)不能生成I/O请求。

·[RCiEP](#bookmark987)不能作为完成程序支持锁定请求，也不能作为验证程序生成锁定请求。PCI

必须编写符合规范的软件驱动程序和应用程序，以防止在访问RCiEP时使用锁语义[。](#bookmark987)

·作为存储器事务的完成器操作的RCiEP需要能够生成等于或大于主机能够作为完成器处理的地址。

·[如果请求中断资源，](#bookmark987)则需要RCiEP来支持MSI或MSI-X或两者。如果MSI是

在实现的情况下，允许[RCiEP](#bookmark987)支持MSI能力结构的32位或64位消息地址版本。

·允许[RCiEP](#bookmark987)支持请求存储器资源的[基址寄存器](#bookmark978)的32位寻址

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·[RCiEP](#bookmark987)不得在PCI Express扩展能力中实现链路能力、链路状态、链路控制、链路能力2、链路状态2和链路控制2寄存器。

·如果[RCiEP](#bookmark987)与可选的[根复合体事件收集器相关联](#bookmark1000)，则它必须通过[根复合体事件收集器用信号通知PME和错误条件。](#bookmark1001)

·[RCiEP](#bookmark987)不能与多于一个[根复合体事件控制器相关联。](#bookmark1002)

·[RCiEP](#bookmark987)不实现活动状态功率管理。

·[RCiEP](#bookmark987)可以不独立于根复合体整体进行热插拔。

·[RCiEP](#bookmark987)不得出现在由Root Complex暴露的任何层次结构域中。

·[RCiEP](#bookmark987)不得出现在Switch中。

1.3.3开关

交换机被定义为多个虚拟PCI到PCI桥设备的逻辑组件，如[图1-3所示](#bookmark24)。 所有交换机都受以下基本规则的约束。



|  |
| --- |
|  |

|  |  |
| --- | --- |
| 传奇 | |
| |  | | --- | |  | | pciexpress链路  上游端口  下游端口 |

|  |
| --- |
| 虚拟PCI-PCI桥 |

|  |
| --- |
| 虚拟PCI-PCI桥 |

|  |
| --- |
| 虚拟PCI-PCI桥 |

虚拟PCI-PCI桥

|  |  |  |
| --- | --- | --- |
| 开关 | | |
|  |  |  |
|  |  |
|  | |

OM13752

图1-3交换机逻辑框图

·交换机在配置软件中表现为两个或多个逻辑PCI到PCI桥。

·交换机使用PCI桥机制转发事务;例如，基于地址的路由，除非参与6.14节中定义的Multicast。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 除非本文档中另有说明，否则交换机必须在任何端口集之间转发所有类型的事务层数据包（TLP）。

· 必须按照第6.5节的规定支持锁定请求。交换机不需要支持下游端口作为锁定请求的发起端口。

·每个启用的交换机端口必须符合本文档中的流量控制规范

·不允许交换机将分组拆分成更小的分组，例如， 具有256字节有效载荷的单个分组不能被分成两个各自具有128字节有效载荷的分组。

·交换机的入口端口（入站链路）之间的仲裁可以使用轮询或轮询来

当在同一虚拟信道上发生竞争时，使用加权轮询。这是更详细

稍后在规范中

· 对于交换机内部总线上的配置软件，端点（由Type00h配置空间报头表示）不得作为代表交换机下游的虚拟PCI到PCI网桥的对等体出现

口岸

1.3.4根复合体事件控制器

·根复合体事件收集器提供对终止来自RCiEP的错误和PME消息[的支持。](#bookmark987)

·根复合体事件收集器必须遵循RC iEP的所有规则[。](#bookmark987)

·不需要根复合体事件收集器来解码任何存储器或I/O资源。

·根复合体事件收集器由其设备/端口类型值标识（参见www.example.com部分7.5.3.2）。

·根复合事件收集器具有基类08h、子类07hand编程接口00h。2

·根联合体事件收集器驻留在根联合体中的总线上。允许多个根复杂事件收集器驻留在单个总线上。

·根复合体事件收集器通过根复合体事件收集器端点关联扩展能力显式地声明支持的RCiEP。

· 根复杂事件控制器是可选的。

1.3.5 PCI Express到PCI/PCI-X桥

·PCI Express到PCI/PCI-X桥接器提供PCI Express结构和PCI/PCI-X层级之间的连接。

1.4用于发现、配置和操作的

PCI/PCIe硬件/软件模型包括发现、配置和使用功能所必需的架构构造，而不需要功能特定的知识。关键要素包括：

·配置模型，其为系统软件提供发现系统中可用的硬件功能



2. 由于本规范的早期版本使用子类06h用于此目的，因此仍然允许实现使用子类06h，但强烈不鼓励这样做。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 为可寻址资源（如内存空间和中断）执行基本资源分配的机制

· 启用/禁用对收到请求的功能响应和请求初始化的控制

·定义良好的排序和流控制模型，以支持硬件/软件接口的一致性和鲁棒性实施

PCI Express配置模型支持两种机制：

· PCI兼容配置机制：PCI兼容机制支持100%二进制

与传统的PCI感知操作系统及其相应的总线枚举和配置软件的兼容性。

· PCI Express增强配置机制：提供增强机制以增加可用配置空间的大小并优化访问机制。

每个PCI Express链路通过虚拟PCI到PCI桥结构映射，并具有与其相关联的逻辑PCI总线。虚拟PCI到PCI桥结构可以是PCI Express根复合体端口、交换机上游端口或交换机下游端口的一部分。根端口是一个虚拟的PCI到PCI桥结构，它起源于PCI Express层次结构

PCIExpress根复合体的域。设备被映射到配置空间，使得每个设备将响应特定的设备编号。

1.5 PCI Express分层概述

本文档根据三个离散的逻辑层来指定体系结构：传输层、数据链路层和物理层。这些层中的每一层都分为两个部分：一个处理出站（要 一个处理器处理输入（发送）信息，另一个处理器处理输入（接收）信息，如[图1-4所示。](#bookmark1005)

这个分层定义的基本目标是帮助读者理解规范。请注意，此分层并不意味着特定的PCI Express实现。



|  |  |  |  |
| --- | --- | --- | --- |
| 反式 | | 行动 | |
|  | |  |  |
| 数据 | | 链路 | |
|  | |  |  |
| PHY | | 锡卡尔 | |
|  | 逻辑 | 子块 |  |
|  | 电 | 子块 |
| RX | | TX | |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 反式 | | 行动 |
| 数据 | | 链路 |
| PHY | | 锡卡尔    子块    子块    TX |
|  | 逻辑 |
|  | 电 |
| RX | |

OM13753

图1-4高层分层图

PCI Express使用数据包在组件之间传递信息。数据包在事务层和数据链路层中形成，用于将信息从发送组件传送到接收组件。为

传输的数据包流经其他层，它们被扩展为处理 包在这些层。在接收端，发生相反的过程，数据包从其物理层表示转换为数据链路层表示，最后（对于事务层数据包）转换为 可以由接收设备的事务层处理。[图1-5](#bookmark1006)显示了事务级数据包信息通过各层的概念流程。

|  |
| --- |
| 序列号 |

|  |
| --- |
| 报头 |

|  |
| --- |
| ECRC |

|  |
| --- |
| 数据 |

|  |
| --- |
| LCRC |

|  |
| --- |
| 成帧 |

数据

物理层

|  |
| --- |
| 成帧 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  | 事务层 |  |  |
| 链路层 |
|  | | |

OM13754

图1-5通过各层的数据包

注意，出于链路管理的目的，在两个数据链路层（连接到同一链路）之间支持更简单形式的分组通信。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

1.5.1事务层

架构的上层是事务层。 事务层的主要职责是组装和拆卸TLP。TLP用于通信事务，例如读和写，以及某些类型的事件。事务层还负责管理TLP的基于信用的流控制。

每个需要响应包的请求包都被实现为拆分事务。每个数据包都有一个唯一的

标识符，使响应数据包能够被定向到正确的发起者。数据包格式支持不同形式的寻址，具体取决于事务类型（内存、I/O、配置和消息）。 分组还可以具有诸如无监听、宽松排序和基于ID的排序（IDO）的属性。

事务层支持四个地址空间：它包括三个PCI地址空间（内存、I/O和

配置）并添加消息空间。 该规范使用消息空间来支持所有先前的边带信号，如中断、电源管理请求等，作为带内消息事务。您可以将PCIExpress消息事务视为 目前在一个平台上使用。

1.5.2数据链路层

堆栈中的中间层，即数据链路层，充当事务层和物理层之间的中间阶段。数据链路层的主要职责包括链路管理和数据完整性，

包括错误检测和错误校正。

数据链路层的传输侧接受由事务层组装的TLP，计算并应用数据保护码和TLP序列号，并将它们提交给物理层以用于跨链路传输。

接收数据链路层负责检查接收到的TLP的完整性，并将其提交给事务层进行进一步处理。在检测到TLP错误时，该层负责请求

在一些实施例中，链路可以被配置为重传TLP，直到正确地接收到信息或者链路被确定为已经失败。

数据链路层还生成和使用用于链路管理功能的数据包。 为了将这些数据包与事务层（TLP）所使用的数据包区分开来，当提及在数据链路层生成和使用的数据包时，将使用术语数据链路层数据包（DLLP）。

1.5.3物理层

物理层包括用于接口操作的所有电路，包括驱动器和输入缓冲器、并串和串并转换、PLL和阻抗匹配电路。它还包括与以下内容相关的逻辑功能：

接口初始化和维护。物理层与数据链路层以

实现特定格式。此层负责转换从数据链路层

转换成适当的串行化格式，并以与连接到链路另一侧的设备兼容的频率和宽度通过PCI Express链路传输。

PCI Express架构具有

先进的编码技术。 未来的速度、编码技术或介质可能只会影响物理层定义。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

1.5.4层功能和服务

<1.5.4.1>事务层服务

在生成和接收TLP的过程中，事务层与其 在链路的另一侧的互补事务层。它还负责支持软件和硬件启动的电源管理。

配置和配置功能要求事务层：

·存储由处理器或管理设备生成的链路配置信息

·存储由物理层硬件协商宽度和操作频率所生成的链路能力。事务层的

·从设备核心请求生成TLP

·将接收到的请求TLP转换为针对设备核心的请求

·将接收到的完成分组转换成可递送到核的有效载荷或状态信息

·检测不受支持的TLP并调用适当的机制来处理它们

· 如果支持端到端数据完整性，则生成端到端数据完整性CRC并相应地更新TLP报头。

流量控制服务：

·事务层跨链路跟踪TLP的流控制信用。

·使用数据链路层的传输服务将交易信用状态周期性地传输到远程交易层。

·远程流量控制信息用于节流TLP传输。订购规则：

· 符合PCI/PCI-X标准的生产者/消费者订购模式

·支持Relaxed Ordering的扩展

· 支持ID-Based的扩展订购电源管理服务：

·通过系统软件规定的机制进行软件控制的电源管理。

·硬件控制的自主电源管理可在全功率状态下最大限度地降低功耗。虚拟频道和流量类别：

·提供虚拟信道机制和业务类别识别的组合以支持针对某些类别的应用的区分服务和QoS支持。

·虚拟信道：虚拟信道提供了一种支持多个独立逻辑数据流的手段。

考虑到链路的公共物理资源从概念上讲，这涉及将不同的数据流多路复用到

一个物理链接。