5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

在执行均衡之后，以最高数据速率进行有序设置，数据块将携带备用协议，并且链路将处于备用协议的控制之下。

<4.2.4.3>电气怠速序列（EIOS）

除非另有规定，变送器进入电气空闲前，必须始终发送电气空闲有序设置序列（EIOSQ）。 如果当前数据速率为2.5 GT/s、8.0 GT/s、16.0 GT/s或32.0GT/s，则电气空闲有序设置序列（EIOSQ）定义为一个EIOS，如果当前数据速率为5.0 GT/s，则定义为两个连续EIOS。

当使用8b/10 b编码时，EIOS是一个K28.5（COM），后面跟着三个K28.3（IDL）符号。发射机必须

发送EIOS的所有符号。 当接收到COM和三个IDL符号中的两个时，接收到EIOS。 当使用128 b/130 b编码时，EIOS是一个有序集块，如[表4-11所定义。](#bookmark2)发射机必须发射所有

EIOS的符号，如果在其之后要传输附加EIOS。变送器必须发送EIOS的符号0-13，但在转换到电气空闲后，允许在符号14或15中的任何位置终止EIOS。 当有序集块的符号0-3与EIOS的定义匹配时，认为收到EIOS。

执行说明

EIOS有序集的截断

最后一个EIOS中的截断被允许帮助实现，其中发射机可以在内部时钟边界上终止，该内部时钟边界可能由于128 b/130 b en编码而不在符号边界上对齐。截断是可以的，因为 接收者只会看前四个符号来断定它是一个EIOS。



发送最后一个电气空闲有序设置的最后一个符号后，变送器必须处于TTX-IDLE-SET-TO-IDLE规定的有效电气空闲状态（见表8-7）。

表4-102.5 GT/s和5.0GT/s数据速率的电气怠速有序设置（EIOS）

|  |  |  |
| --- | --- | --- |
| 符号编号 | 编码值 | 描述 |
| 0 | K28.5 | COM用于符号对齐 |
| 1 | K28.3 | IDL |
| 2 | K28.3 | IDL |
| 3 | K28.3 | IDL |

表4-118.0 GT/s及以上数据速率的电气怠速有序设置（EIOS）

|  |  |  |
| --- | --- | --- |
| 文号 | 值 | 描述 |
| 0-15 | 66h | EIOS标识符和页面负载 |

表4-12 5.0 GT/s数据速率的电气怠速退出顺序

|  |  |  |
| --- | --- | --- |
| 符号编号 | 编码值 | 描述 |
| 0 | K28.5 | COM用于符号对齐 |
| 1-14 | K28.7 | 带有低频元件的EIE- K符号，有助于从电气怠速 |
| 15 | D10.2 | TS1标识符（见注释1） |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 符号编号 | 编码值 | 描述 |

备注：

1. 这个符号没有加密此规范的以前版本不太清楚，某些实现可能错误地将此符号打乱。建议设备允许接收EIEOS，其中该符号 炒的



表4-138.0GT/s数据速率的电气怠速退出顺序设置（EIEO

|  |  |  |
| --- | --- | --- |
| 文号 | 值 | 描述 |
| 0、2、4、6、8、10、12、14 | 00h | 符号0：EIEOS标识符  在8个0和8个1之间交替的低频模式。 |
| 一、三、五、七、九、十一、十三、十五 | FFH | 在8个0和8个1之间交替的低频模式。 |

表4-1416.0GT/s数据速率的电气怠速退出有序设置（EIEOS

|  |  |  |
| --- | --- | --- |
| 文号 | 值 | 描述 |
| 0、1、4、5、8、9、12、13 | 00h | 符号0：EIEOS标识符  在16个0和16个1之间交替的低频模式。 |
| 二、三、六、七、十、十一、十四、十五 | FFH | 在16个0和16个1之间交替的低频模式。 |

表4-1532.0GT/s数据速率的电气怠速退出顺序

|  |  |  |
| --- | --- | --- |
| 文号 | 值 | 描述 |
| 0、1、2、3、8、9、10、11 | 00h | 符号0：EIEOS标识符  在32个0和32个1之间交替的低频模式。 |
| 四、五、六、七、十二、十三、十四、十五 | FFH | 在32个0和32个1之间交替的低频模式。 |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

时间=10UI

时间= 0 UI

时间= 2 UI

时间=122UI



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |



符号0 符号1 符号15

同步

未加扰的128位有效载荷块

（在8.0 GT/s数据速率下，电怠速退出指令设置）

时间=0UI

时间=18UI 时间= 26UI 时间=114UI 时间=122UI

时间= 2 UI

时间= 10 UI



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 1 | 1 |



符号0 符号1 符号2 符号3 符号14 符号15

同步

未加扰的128位有效载荷块

（在16.0GT/s数据速率下，电怠速退出命令设置

时间= 0 UI

时间= 66UI 时间= 98UI 时间=130UI

时间= 2 UI

时间= 34 UI

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 0 | 0 | 0 | 0 | 0 |  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |  | 1 | 1 | 1 | 1 | 1 | 1 1 | 1 |

符号0至3 符号4至7 符号从8到11 符号12至15

同步

未加扰的128位有效载荷块

（数据速率为32.0 GT / s时，电怠速退出指令设置） A-0810C

图4-258.0 GT/s及以上数据速率（**EIEOS**）的电气空闲退出有序设置

仅当以2.5 GT/s以外的速度运行时，才会传输电气怠速退出指令设置（EIEOS）。这是一种周期性传输的低频模式，有助于确保接收机电气空闲退出电路可以检测到退出

电气怠速当使用128 b/130 b编码时，它也用于第4.2.2.2.1节中所述的块对齐

.

电气怠速退出有序设置序列（**EIEOSQ**）包括用于32.0 GT/s的数据速率的两个连续EIEOS，以及

以及一个用于5.0 GT/s、8.0GT/s和16.0GT/s的EIEOS。两个EIEOS在32.0GT/s必须背靠背，

不间断的，以便被认为是连续的，并形成[EIEOSQ。](#bookmark7)不管EIEOSQ的长度[如何，](#bookmark7)块对齐仍然发生在EIEOS上。

当使用8b/10 b编码并以5.0 GT/s运行时，在以下情况下传输[表4-12](#bookmark3)中定义的[EIEOSQ](#bookmark7)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 在进入LTSSM[配置.链路宽度.开始](#bookmark9)状态后的第一个TS1有序

· 在进入LTSSM[恢复.RcvrLock](#bookmark10)状态后的第一个TS1有序

·在LTSSM [Configuration.Linkwidth.Start、](#bookmark11)[Recovery.RcvrLock](#bookmark12)和[Recovery.RcvrCfg](#bookmark13)状态中每传输32个TS 1或TS 2有序集后。在以下情况下，TS 1/TS 2计数设置为0

. 发送EIEOS。

. 当处于LTSSM[恢复.RcvrCfg](#bookmark14)状态时，接收第一个TS2有序

当使用128 b/130 b编码时，如[表4-13](#bookmark4)、[表4-15](#bookmark5)和[图4-25](#bookmark8)所定义的[EIEOSQ](#bookmark7)在以下情况下传输：

· 在进入LTSSM[配置.链路宽度.启动](#bookmark15)子状态后的第一个TS1有序

· 在进入LTSSM [Recovery.RcvrLock](#bookmark16)子状态后的第一个TS1 O ordered Set之前。

· 在结束数据流、不传输EIOS且不进入LTSSM[恢复和](#bookmark17)接收锁定子状态时，紧接着EDS成帧令牌。

·在需要传输TS 1或TS 2有序集的所有LTSSM状态中传输每32个TS 1或TS 2有序集之后。在以下情况下，TS 1/TS 2计数设置为0

. 发送EIEOS。

. 当处于LTSSM[恢复.RcvrCfg](#bookmark18)状态时，接收第一个TS2有序

. 当处于LTSSM[配置完成](#bookmark19)状态时，接收第一个TS2有序

. 下游端口处于LTSSM[恢复的第2阶段。在复位EIEOS间隔计数位设置的任何通道上接收到均衡](#bookmark20)状态和两个连续的TS1有序集。

. 上游端口处于LTSSM恢复.[恢复状态的第3阶段，](#bookmark21)并且在任何通道上接收到两个连续的TS1有序集，其中复位EIEOS间隔计数位被设置。

·在LTSSM恢复均衡状态中每传输65，536个TS1有序集后，如果复位EIEOS间隔计数位阻止在该间隔内传输该有序集。允许实现 当加扰LFSR 匹配其种子值。

·作为相关章节中所述的FTS有序集、合规模式或修改的合规模式的一部分。

示例：LTSSM以5.0 GT/s的数据速率从L0进入[Recovery.RcvrLock](#bookmark23)它发送EIEOS，然后发送TS1

有序的集合。它发送32个TS 1有序集，随后它发送第二EIEOS。随后，它再发送两个TS1有序集并进入[Recovery.RcvrCfg](#bookmark24)，在此它在发送30个TS2有序集之后发送第三个EIEOS。当它接收到一个TS2有序集时，它在Recovery.RcvrCfg中再传输31个TS2有序集（在前30个TS2有序集之后）。

TS2有序集。由于它接收到它的第一个TS2有序集，所以它将把它的EIEOS间隔计数重置为0，并在转换到恢复空闲之前继续发送另外16个TS2有序集。因此，由于EIEOS间期计数重置为0b，因此在最后47个TS2有序集中间未发送EIEOS。从[Recovery.Idle，](#bookmark27)LTSSM转换为

[开始](#bookmark28)并发送一个n EIEOS，然后开始发送TS1有序集。

当以2.5 GT/s以外的速度运行时，允许实施方式不依赖于电气怠速检测电路的输出，除非在某些LTSSM状态期间或在接收FTS期间接收

在[4.2.4.6](#bookmark29)Rx [L0](#bookmark30)或轮询中的修改的符合性模式[期间，在接收器处由四个连续的EIE符号（参见第www.example.com节）前置。](#bookmark31)当电路需要发出退出电气空闲的信号时，符合性。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.2.4.4>推断电气怠速

允许设备在所有操作速度下推断电气空闲，而不是使用模拟电路检测电气空闲。[表4-16](#bookmark33)总结了各种子状态下推断电气怠速的条件。

表4-16电动怠速推断条件

|  |  |  |  |
| --- | --- | --- | --- |
| 状态 | 2.5 GT/s | 5.0 GT/s | 8.0 GT/s和更高的数据速率 |
| L0 | 缺乏流量控制  在128μs窗口内更新DLLP56或SKP有序 | 缺乏流量控制  在128μs窗口内更新DLLP57或SKP有序 | 缺乏流量控制  在128μs窗口内更新DLLP58或SKP有序 |
| [Recovery.RcvrCfg](#bookmark34) | 在1280 UI间隔中不存在TS1或TS2有序 | 在1280 UI间隔中不存在TS1或TS2有序 | 不存在TS1或TS2  4 ms窗口中的有序 |
| [恢复。](#bookmark35)当  [successful\_speed\_negotiation](#bookmark36)=1b | 在1280 UI间隔中不存在TS1或TS2有序 | 在1280 UI间隔中不存在TS1或TS2有序 | 在4680 UI间隔中不存在TS1或TS2有序 |
| [恢复。](#bookmark37)当  [successful\_speed\_negotiation](#bookmark38)=0b | 没有出口 2000 UI间隔内的电气怠速 | 没有出口  16000 UI间隔内的电气怠速 | 没有出口  16000 UI间隔内的电气怠速 |
| [Loopback.Active](#bookmark39)（as slavee） | 在128μs窗口内没有从电气怠速退出 | N/A | N/A |

不得根据电气怠速条件的推断来确定电气怠速退出条件。针对地区

为了提高效率，允许实现选择为每个LTSSM实现公共超时计数器，并寻找 由LTSSM控制的每个通道的公共计数器确定的公共超时窗口内的电气空闲推断条件，而不是每个通道具有超时计数器。



56.流控制更新DLLP是如在本规范中定义的UpdateFC或如在[MR-IOV]中定义的MRUpdateFC。

57.流控制更新DLLP是如在本规范中定义的UpdateFC或如在[MR-IOV]中定义的MRUpdateFC。

58.流控制更新DLLP是如在本规范中定义的UpdateFC或如在[MR-IOV]中定义的MRUpdateFC。

页305

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

电动怠速的推断

在L0状态下，预期在128 μs窗口中接收到一个或多个流控制更新DLLP。 同样在L0中，预期在128 μs窗口中接收一个或多个SKP有序集。作为简化，它是

允许使用这些指示器中的一个（或两个）来推断电气空闲。因此，在任何128 μs窗口中不存在流控制更新DLLP和/或SKP有序集可以被推断为电气空闲。在

[恢复.RcvrCfg](#bookmark40)以及[恢复.速度](#bookmark41)与成功的速度协商，接收器应连续接收TS 1或TS 2有序集，EIEOS和SKP有序集除外。因此，在上述规定的时间间隔内没有TS1或TS2有序集必须被视为部件的电气空闲，

实现推理机制。如果设备进入[恢复状态](#bookmark42)。

[successful\_speed\_negotiation](#bookmark43)=0b，则设备可能无法接收符号。因此，电气怠速推断是在没有从电气怠速退出时进行的。在2.5GT/s以外的数据速率中，

只有在收到EIEOS时，才能保证电气怠速退出。因此，窗口设置为16000 UI，用于检测在5.0 GT/s及以上数据速率下从电气怠速退出。在2.5 GT/s数据速率下，必须在接收到每个符号时检测到电气怠速退出。因此，在2000 UI窗口中没有电气怠速退出将构成电气

闲置状态。



<4.2.4.5>车道极性反转

在[轮询](#bookmark45)中的训练序列期间，接收机将TS 1和TS 2有序集的符号6-15视为

通道极性反转指示符（D+和D-交换）。如果发生通道极性反转，则TS 1符号6-15

收到的将是D21.5，而不是预期的D10.2。类似地，如果发生通道极性反转，则TS 2有序集的符号6-15将是D26.5，而不是预期的D5.2。这提供了通道极性的明确指示

反演

如果检测到极性反转，接收器必须反转接收到的数据。发送器不得反转发送的数据。所有通道上的所有PCI Express接收器都需要支持通道极性反转

独立地。

<4.2.4.6>快速训练序列（FTS）

快速训练序列（FTS）是从L0到L0转换时用于位和符号锁定的机制。接收器使用FTS来检测从电气空闲的退出，并对齐接收器的 电路连接到输入数据。参考[第4.2.5f节](#bookmark48)或L0和L0s的[描述。](#bookmark49)

· **在2.5 GT/s和5.0 GT/s数据速率下：**

单个FTS由一个K28.5（COM）符号和三个K28.1符号组成。一个组件可以请求的FTS（N\_FTS）的最大数量是255，提供4\*255\* 10\* UI的位时间锁定。如果数据

速率为5.0 GT/s时，在发送第一个FTS之前，以有效信号电平发送四个连续的EIE符号。 这些符号将帮助接收器检测从电气怠速退出。一个实现不

保证发送器引脚[4.2.4.6](#bookmark46)上允许时间内的适当信号电平

由于退出电气怠速状态需要在其第一个FTS之前添加额外的EIE符号，

接收器可以接收至少四个有效信号电平的EIE符号。在传输第一个FTS之前，实现方式不得传输超过八个EIE符号。允许组件通告不同的

N\_FTS在不同速度下的速率。在5.0 GT/s时，组件可以选择通告适当的

考虑到它将获得四个EIE符号。4096 FTS必须在设置扩展同步位时发送，以便为外部链路监控工具提供足够的时间来实现位和成帧

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

同步SKP有序集必须在必要时在FTS之间安排和传输，以满足[第4.2.7](#bookmark50)中的定义，但在第一个FTS期间不得传输SKP有序集。

N\_FTS FTS。 单个SKP有序集总是在最后一个FTS传输后发送。允许此SKP有序集影响或不影响后续SKP有序集或时钟容差的调度

第4.2.7节中所述的变送器[补偿。](#bookmark51)请注意，两个SKP有序集可以背靠背传输（一个SKP有序集表示4096个FTS的完成，另一个SKP有序集被调度和传输以满足第4.2.7节中描述的定义[）](#bookmark52)。

· **在8.0 GT/s及以上数据速率下：**

单个FTS是一个130位未加扰有序集块，如[表4-17所示。](#bookmark53)的最大数量

组件可以请求的FTS（N\_FTS）为255，提供130\*255 UI的位时间锁定（如果包括周期性EIEOS，则为130\*263或273 UI）。允许组件在不同的环境中通告不同的N\_FTS

速度.在从[L0s退出时，](#bookmark54)发射器首先发射[EIEOSQ](#bookmark7)，该EIEOSQ将帮助接收器检测由于其低频内容而从电气空闲退出。在第一个[EIEOSQ之后，](#bookmark7)发射机必须发送所需数量的FTS（当扩展同步位被置位时为4096;否则为N\_FTS），[在第二个EIEOSQ](#bookmark7)之后发送EIEOSQ。 每32英尺 FTS序列将使接收器能够通过它锁定（并且可选地进行块对准）。当扩展同步位被设置时，必须在FTS之间调度和传输SKP有序 [EIEOSQ](#bookmark7)（必要时）以满足第4.2.7节中的定义[。](#bookmark55)FTS序列的最后一个FTS有序集（如果有）（如果N\_FTS等于零，则不发送FTS有序集）之后是最终[EIEOSQ](#bookmark7)，其将帮助确定FTS序列的最后一个FTS有序集。

接收机获取块对齐。允许实现在同一时间背靠背发送

如果N\_FTS是32的倍数，则最后一个FTS有序集之后的数据速率低于32.0 GT/s。EIEOS重置 发送器和接收器中的加扰器。在最后的[EIEOSQ之后，](#bookmark7)发送SDS有序集以帮助接收器执行去偏斜并指示从有序集到数据的转换

源源不断的SDS有序集传输后，必须传输数据块。

执行说明

128 b/130 b编码中FTS传输中LFSR的置乱

由于加扰器在最后一个EIEOS上被重置，并且FTS序列中的有序集合中没有一个被加扰，因此在FTS被加扰的时间期间，实现方式是否选择提前加扰器并不重要

收到。



表4-17 FTSfor

8.0 GT/s及以上数据

率

|  |  |
| --- | --- |
| 符号编号 | 值 |
| 0 | 55h |
| 1 | 47h |
| 2 | 4Eh |
| 3 | C7h |
| 4 | CCH |
| 5 | C6h |
| 6 | C9h |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |
| --- | --- |
| 符号编号 | 值 |
| 7 | 25h |
| 8 | 6Eh |
| 9 | ECh |
| 10 | 88h |
| 11 | 7FH |
| 12 | 80h |
| 13 | 8Dh |
| 14 | 8Bh |
| 15 | 8EH |

N\_FTS定义从[L0](#bookmark56)转换到L0时必须发送的FTS的数量。在2.5 GT/s数据速率下，组件可请求的值对应于16 ns的符号锁定时间（N\_FTS设置为0 band1

SKP有序设置）为~4 μs（N\_FTS设置为255），但扩展同步位设置时除外，此时需要传输4096个FTS，从而导致位锁定时间为64 μs。对于8.0 GT/s及以上数据速率，当扩展同步位被设置时， 要求发射机发送4096个FTS有序集块。请注意，组件报告的N\_FTS值

可能会发生变化;例如，由于软件修改公共时钟配置位中的值（第www.example.com节7.5.3.7）。

如果在接收器获得位锁定、符号锁定或块对齐之前N\_FTS时间段到期，并且

在已配置链路的所有通道上进行通道到通道去偏斜时，接收器必须转换到[恢复](#bookmark57)状态。 该序列详见第4.2.5节的LTSSM[。](#bookmark58)

<4.2.4.7>有序集数据串的开始（SDS有序集）

[表4-18](#bookmark60)和[表4-19](#bookmark61)中描述的数据流开始（SDS）有序集仅针对128 b/130 b定义

编码.它在[Configuration.Idle、](#bookmark62)[Recovery.Idle](#bookmark63)和[Tx\_L0s.FTS](#bookmark64)LTSSM状态中传输，以定义从有序集块到数据流的转换，并且允许[环回主机](#bookmark65)按照第节中所述传输它 4.2.2.6。不得在任何其他时间传送。当不处于[环回](#bookmark66)状态时，

有序集必须是一个数据块，并且该数据块的第一个符号是数据流的第一个

表4-18 SDS有序集（8.0 GT/s和

16.0GT/s数据速率）

|  |  |  |
| --- | --- | --- |
| 符号编号 | 值 | 描述 |
| 0 | E1h | SDS有序集标识符 |
| 1-15 | 55h | SDS有序集主体 |

表4-19 SDS有序集（f或32.0GT/s和

更高的数据速率）

|  |  |  |
| --- | --- | --- |
| 符号编号 | 值 | 描述 |
| 0 | E1h | SDS有序集标识符 |
| 1-15 | 87h | SDS有序集主体 |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.2.4.8>链接错误恢复

· 使用8b/10b编码时的链接错误

. 8b/10 b解码错误、成帧错误、符号锁定丢失、弹性缓冲区上溢/下溢或通道间去偏斜丢失。

. 必须检查8b/10 b解码错误，并在指定的LTSSM状态下触发接收器错误

[表4-20](#bookmark67)），这是与端口相关的报告错误（参见第6.2节）。触发

帧错误、符号锁定丢失、通道去偏斜错误和弹性缓冲区上溢/下溢中的任何或全部上的接收器错误是可选的。

· 使用128 b/130 b编码时的链接错误

. 成帧错误、块对齐丢失、弹性缓冲区溢出/下溢或通道间去偏斜丢失。

. 必须检查成帧错误，并在[表](#bookmark68)中指定的LTSSM状态 [四比](#bookmark69)二十接收器错误是与端口相关的报告错误（参见第6.2节）。触发a 块对齐丢失、弹性缓冲区溢出/下溢和通道间去偏斜丢失中的任何一个上的接收器误差是可选的。

·在L0中的已配置链路上，错误恢复将至少在物理层之上的层中通过引导链路转换到恢复来管理（如第3.6节中所述）。

. 注：链路错误也可能导致物理层启动从L0到Recovery的LTSSM状态转换。

·当发生链路错误时，除L0之外的所有LTSSM状态都进入程序59。

. 当使用8b/10 b编码时，在L0以外的LTSSM状态下发生的链路错误不得导致物理层启动LTSSM状态转换。

. 当使用128 b/130 b编码操作并且不处理数据流时，在L0以外的LTSSM状态中发生的链路错误不得导致物理层初始化LTSSM状态转换。

·当使用8b/10 b编码操作时，如果通道检测到特定数量的8b/10 b错误，则必须尽快验证或重新建立符号锁定。60

<4.2.4.9>www.example.com

第6.6节从系统角度描述了复位。

4.2.4.9.1基波复位

当基本复位被断言时：

·接收器端接要求满足ZRX-高-IMP-DC-POS和ZRX-高-IMP-DC-NEG（见表8-10）。

·变送器只需要满足ITX-SHORT（见表8-7）。

·变送器保持恒定的直流共模电压。61当基本重置被取消断言时：



59.在此上下文中，进度定义为LTSSM不会无限期地保持在一个状态，可能的例外是检测或禁用。

60. 验证和重新建立符号锁的方法是特定于实现的。

61. 被驱动的共模不需要满足L0和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·初始化端口LTSSM（参见[第4.2.5节）](#bookmark70)（附加要求参见第6.6.1节

4.2.4.9.2[热复位](#bookmark71)

[热重置](#bookmark72)是第4.2.5节中定义的方案重置[。十一岁](#bookmark73)

<4.2.4.10>链接数据速率协商

所有设备都需要在每个通道上使用2.5 GT/s的数据速率启动链路初始化。 训练序列有序集（请参见4.2.4.1）中的一个字段用于通知所有支持的数据速率。Link最初以2.5GT/s的速度行驶 数据速率，在该数据速率之后通过经历[恢复](#bookmark74)状态而发生数据速率改变。

<4.2.4.11>链接宽度和通道顺序协商

PCI Express链路必须由1、2、4、8、12、16或32个并行通道组成，称为x1、x2、x4、x8、x12、x16和x32

左，分别。链路内的所有通道必须基于相同的频率同时传输数据，通道之间的偏斜不得超过LTX-SKEW（表8-10）。协商过程被描述为一系列步骤。

协商为作为有效链路的一部分的每个通道建立链路号和通道号的值;不是有效链路的一部分的每个通道退出协商以成为单独的链路或保持在电气空闲中。

在链路宽度和通道数协商期间，两个通信端口必须适应表8-10中L RX-SKEW规定的最大允许通道间扭斜。

可选的链路协商行为包括通道反转、可变宽度链路、将端口拆分为多个链路以及交叉链路的配置。

其他规范可能会强加其他规则和限制，这些规则和限制必须由符合这些其他规范的组件理解;本规范的目的是理解广泛的

组件能力

4.2.4.11.1必需和可选端口行为

·需要xN端口形成xN L链路以及x1链路（其中N可以是32、16、12、8、4、2和1）的能力。

. 设计人员必须以一种方式连接两个可移植组件之间的端口，

组件，以满足上述要求。如果组件之间的端口

与组件端口描述/数据表定义的预期用途不一致的方式，行为未定义。

·xN端口形成N和1之间的任何链路宽度的能力是可选的。

. 这种行为的一个例子包括x16端口，它只能配置到一个链路中，但链路的宽度可以配置为x12，x8，x4，x2以及x16和x1的所需宽度。

·将端口拆分为两个或更多个链路的能力是可选的。

. 这种行为的一个例子是x16端口，它可以配置两个x8链路、四个x4链路或16个x1链路。

·支持车道反转是可选的。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 如果实施，则必须对多通道链路的给定端口的发送器和接收器进行通道反转。

. 通道反转的一个示例包括上游端口的通道0连接到上游端口的通道N-1。

下游端口，其中下游或上游设备可以反转通道顺序以配置xN链路。

用于形成交联的载体是任选的。在此上下文中，连接到下游端口的下游端口或连接到上游端口的上游端口是交联。

当前和未来的机电和/或形状因子规范可能需要实现一些功能。

上面列出的可选功能。组件设计人员必须阅读他们所设计的组件将用于的系统的规格，以确保符合这些规格。

<4.2.4.12>车道间去偏斜

在将数据和控制传送到数据链路层之前，接收器必须补偿多通道链路中所有通道之间的允许偏斜（参见表8-7和表8-10）。

当使用8b/10 b编码时，明确的通道到通道去偏斜机制可以使用以下中的一个或多个

·接收到的TS 1或TS 2 OrderedSet的COM符号

·接收到的电气怠速退出有序设置的COM符号

·FTS序列之后第一个接收到的SKP有序集的COM符号

·当不使用SRIS时[，在训练序列期间接收的SKP有序集的COM符号。](#bookmark77)

当使用128 b/130 b编码时，明确的通道到通道去偏斜机制可以使用以下中的一个或多个

·收到的SDS有序集

·除了退出L0时，接收到的电动怠速退出顺序设置

·当退出L0时，在FTS有序设置之后的

·当以8.0 GT/s运行时，接收到的SKP有序集

·当以16.0GT/s或更高的数据速率操作时，FTS序列之后的第一个接收到的SKP有序集

·当以16.0GT/s或更高的数据速率操作时，接收到的SKP有序集，除非：退出训练序列，或者

. 两个SKP有序集由EDS

也可以采用其他去偏斜机制，只要它们是明确的。在LTSSM中的配置、恢复和L 0期间，必须执行通道到通道去偏斜。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

不受约束车道到车道不偏斜：

在2.5 GT/s时，接收器必须能够消除的最大偏斜为20 ns。 名义SKP有序集，即未通过重定时器添加或删除SKP符号的符号长度为4个符号，即16ns，速度为2.5GT/s。

通常，发送SKP有序集，使得它们被良好地间隔开，并且不需要特别注意将它们用于去偏斜，即，它们提供了明确的机制。如果背对背SKP有序集是

传输，一种实现，简单地寻找SKP有序集的COM出现在每个通道上， 相同的时间点可能失败。 当退出[LO时](#bookmark79)，发射机可以在快速训练序列的最后FTS有序集之后发送背靠背SKP有序集。必须在L0中获得去偏斜[，](#bookmark80)因此

在这种情况下，当执行去偏斜时，实现方式必须理解背对背SKP有序集

出现对www.example.com节中明确机制[4.2.4.12](#bookmark76)因为可能会发送背靠背有序集，即当使用128 b/130 b编码时，在退出L0时，EIEOS可能会被背靠背发送。在这种情况下，EIEOS仍然可以用于去偏斜，但是在以下情况下，实现必须理解背靠背EIEOS：

执行去偏斜。

当以16.0GT/s或更高的数据速率操作时，发射机可以在训练序列的结尾处发送背靠背SKP有序集，例如，TS2有序集，SKP有序集，SKP有序集，SDS有序集。

在这种情况下，推荐选择使用SKP有序集来进行去偏斜的实现方式，以认识到背对背SKP有序集是不同的，即，e. 标准SKP有序集后接对照SKP 有序设置。



<4.2.4.13>Lane vs. 链路训练

链路初始化过程将一个端口的关联线路构建成形成链路的关联线路。对于Lanes， 为了正确配置到所需链路中，TS1和TS2有序集必须在所有通道上将相应字段（符号3、4和5）设置为相同值。

链路在配置结束时形成。

· 如果采用能够配置多个链路的端口的可选特性，则可以进行以下观察：

. 每个单独的链路都需要一个单独的LTSSM，以便由任何给定的端口进行配置。

. LTSSM规则是为配置一个链路而编写的。 以串行方式或并行方式配置链路的决定取决于具体实现。

4.2.5链路训练和状态状态机（LTSSM）描述

LTSSM状态如[图4-26](#bookmark82)所示。 这些状态将在以下章节中描述。

除非另有明确说明，否则为链路训练和状态状态机（LTSSM）指定的所有超时值均为负0秒和正50%。 所有超时值必须在基本重置后设置为指定值。 所有计数器值必须在基本复位后设置为指定值。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.2.5.1>[检测](#bookmark83)概述

该状态的目的是检测何时存在远端终端。

<4.2.5.2>[投票](#bookmark84)概览

端口发送训练有序集并响应接收到的训练有序集。在这种状态下，位锁定和符号锁定被建立，并且通道极性被配置。

轮询状态包括[Polling.Compliance（轮询符合性）](#bookmark85)（参见[第4.2.6.2.2节）](#bookmark86)。此状态预期与测试设备一起使用，用于评估被测设备中的发射器和互连是否符合

表8-6、表8-7和表8-1中的电压和时序规格。

轮询[符合性](#bookmark87)状态还包括简化的互操作性测试方案，其旨在使用广泛的测试和测量设备（即，模式发生器、示波器、BERT等）。的该部分 在进入轮询有效时，通过至少一个组件断言顺应性接收位（TS 1的符号5中的位4）而不断言[环回](#bookmark89)位（TS 1的符号5中的位2）[，逻辑上进入轮询顺应性状态。](#bookmark90) 设置合规性接收b的能力是特定于实现的。还包括用于将数据速率改变为由最高公共发送和接收数据速率标识符（TS 1的符号4）指示的数据速率的规定，以使该行为可缩放到各种数据速率。

执行说明

使用条款的变更

[轮询。合规](#bookmark91)性适用于复杂的测试环境，在正常操作期间不输入，并且不能因任何原因禁用。[轮询。](#bookmark92)根据物理系统环境或 配置寄存器访问机制，如第4.2.6.2.1节所述。任何其他导致 用于输出合规性模式的发送器是特定于实现的，并且超出了本文的范围。

规范.



<4.2.5.3>[配置](#bookmark94)概述

在[配置中，](#bookmark95)发送器和接收器都以协商的数据速率发送和接收数据。的

端口的通道通过宽度和通道协商序列配置为链路。此外，必须进行通道间去偏斜，如果允许，可以禁用加扰，设置N\_FTS，并且可以进入[禁用](#bookmark96)或[环回](#bookmark97)状态。

<4.2.5.4>[恢复](#bookmark98)概述

在[恢复中，](#bookmark99)发送器和接收器都使用配置的链路和通道

数量以及预先支持的数据速率。[恢复](#bookmark100)允许已配置的链路根据需要更改操作的数据速率，重新建立位锁定、符号锁定或块对齐，以及通道到通道消除。[恢复](#bookmark101)还用于设置新的N\_FTS值并进入环回、[禁用、](#bookmark102)[热复位](#bookmark103)和[配置](#bookmark104)状态。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.2.5.5>[L0](#bookmark105)概览

[L0](#bookmark106)是正常操作状态，其中可以发送和接收数据和控制分组。所有电源管理状态都从此状态进入。

<4.2.5.6>[L0s](#bookmark107)概览

[L0s](#bookmark108)旨在作为功率节省状态。使用具有独立扩展的独立参考时钟工作时

频谱时钟（SSC）（见[第4.2.7节](#bookmark109)），不支持L0，且不得在功能寄存器中通告。 4.3.7.3有关SSC的定义，请参见www.example.com部分。

[L0s](#bookmark110)允许链路快速进入节能状态并从节能状态恢复，而无需进行[恢复。](#bookmark111)在收到EIOS后，将进入[L0s](#bookmark112)[。](#bookmark1)

从[L0](#bookmark113)到[L0](#bookmark114)的出口必须重新建立位锁定、符号锁定或块对齐，以及通道到通道的去偏斜。端口上的发送器和接收器通道对不需要同时处于[L0](#bookmark115)中。

<4.2.5.7>[L1](#bookmark116)概述

[L1](#bookmark117)旨在作为节能状态。

[L1](#bookmark118)状态允许以额外的恢复延迟为代价在L0上实现额外的功率节省。 在数据链路层定向并收到[EIOS后，会进入L1。](#bookmark1)

<4.2.5.8>[L2](#bookmark121)概述

可以在L2中积极地节省[功率。](#bookmark122)大部分的发射机和接收机可能被关闭。62主电源和时钟不保证，但辅助63电源可用。

当相关联的系统或形状因子规范需要信标支持时，支持唤醒能力的上游端口必须能够发送唤醒信号，并且下游端口必须能够接收唤醒信号，该唤醒信号被称为信标。

在数据链路层定向并收到[EIOS后，会进入第2层。](#bookmark1)

<4.2.5.9>[Disabled](#bookmark124)概述

禁用状态的目的是允许配置的链路被禁用，只要被指示或直到退出电气空闲（即，由于热移除和服务）进入[禁用后。](#bookmark126)

<4.2.5.10>[Loopback](#bookmark127)概述

[Loopback](#bookmark128)用于测试和故障隔离。只指定了进入和退出行为，所有其他细节都是特定于实现的。[环回](#bookmark129)可以在每个通道或配置的链路的基础上操作。



62. 例外情况是接收器终端，它必须保持在低阻抗状态。

63.在该上下文中，“辅助”电源是指可用于驱动信标电路的电源。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

**LoopbackMaster**是Loopback所需的组件[。](#bookmark130) **LoopbackSlave**是一个用来循环数据的组件。

[环回](#bookmark131)使用在TS 1和TS 2有序集内发送的训练控制字段（见表4-6和表4-7）中的位2（环回）。

Loopback Master的入口机制是特定于设备的。

只要接收到两个连续的TS1有序集，并且设置了[环回](#bookmark136)位，环回从设备就进入环回。

执行说明

使用Loopback

一旦处于[环回](#bookmark138)状态，主设备就可以发送任何符号模式，只要编码规则是

跟踪了一旦进入[Loopback](#bookmark139)，数据加扰的概念就不再重要了;发送出去的数据会被环回。数据链路层用于通知物理层进入

[环回](#bookmark140)状态是特定于组件实现的，超出了本规范的范围。



<4.2.5.11>[热重置](#bookmark141)概述

热重置状态的目的是允许使用带内信令重置已配置的链路和相关下游设备。

4.2.6链路训练和状态状态规则

各种链路状态比特通过软件进行监控，但**LinkUp**除外，LinkUp由数据 链路层。[表4-20](#bookmark143)描述了在整个LTSSM中必须如何处理链路状态位（有关更多信息，请参见第3.2节中的[LinkUp;](#bookmark142)第7.5.3.8节中的链路速度、链路宽度和链路训练;第6.2节中的接收器错误; 以及第6.7节（带内存在）。接收器还可以选择在车道错误状态中报告8b

当在8b/10 b编码中操作时，允许将错误报告为表4-20中的接收器错误[时，进行注册。](#bookmark144)

执行说明

配置和恢复状态

允许在[配置](#bookmark145)或[恢复](#bookmark146)时设置接收器错误旨在允许实现

报告在这些状态下处理数据包时发生的链路错误。例如，如果在接收TLP时LTSSM从[L0转换](#bookmark147)到[恢复](#bookmark148)，则可以报告在LTSSM转换之后发生的链路错误。



表4-20映射到LTSSM的链路状态

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| LTSSM状态 | 链路宽度 | 链路速度 | LinkUp | 链路  培训 | 接收器错误 | 带内 存在64 |
| [检测](#bookmark149) | 未定义 | 未定义 | 0b | 0b | 没有行动 | 0b |



64.带内是指没有边带信号用于计算链路另一端上电设备的存在。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| LTSSM状态 | 链路宽度 | 链路速度 | LinkUp | 链路  培训 | 接收器错误 | 带内在线 |
| [轮询](#bookmark150) | 未定义 | 从检测进入时设置为2.5 GT/s  链接速度可能会在进入时改变，  [投票。服从。](#bookmark151) | 0b | 0b | 没有行动 | 1b |
| [配置](#bookmark152) | 设置 | 没有行动 | 0b/1b65 | 1b | 设置为8b/10 b错误。  可选：在链接  使用128 b/时出错  130b编码。 | 1b |
|  |
| [恢复](#bookmark153) | 没有行动 | 当速度c改变时，设置为新速度 | 1b | 1b | 可选择在链接上设置  错误. | 1b |
| [L0](#bookmark154) | 没有行动 | 没有行动 | 1b | 0b | 在链接错误时设置 | 1b |
| [L0s](#bookmark155) | 没有行动 | 没有行动 | 1b | 0b | 没有行动 | 1b |
| [L1](#bookmark156) | 没有行动 | 没有行动 | 1b | 0b | 没有行动 | 1b |
| [L2](#bookmark157) | 没有行动 | 没有行动 | 1b | 0b | 没有行动 | 1b |
| [残疾](#bookmark158) | 未定义 | 未定义 | 0b | 0b | 可选：设置为8b/10 b错误 | 1b |
| [环回](#bookmark159) | 没有行动 | 从配置进入环回时，链路速度可能会发生变化[。](#bookmark161) | 0b | 0b | 没有行动 | 1b |
| [热复位](#bookmark162) | 没有行动 | 没有行动 | 0b | 0b | 可选：设置为8b/10 b错误 | 1b |

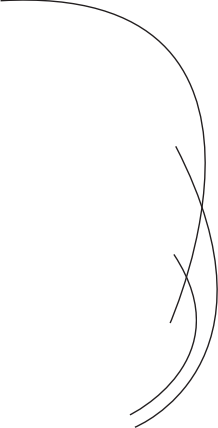
配置和操作PCI Express链路的状态机规则在以下部分中定义。



65. 如果通过[检测](#bookmark164)→[轮询](#bookmark165)→[配置进入配置](#bookmark166)，[LinkUp将始终为0，如果从任何其他状态进入配置，LinkUp](#bookmark142)将始终为1。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

初始状态





检测



残疾



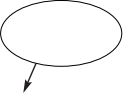
轮询



热复位



配置



环回

L0



L2



恢复



L1



L0s

OM13800D

图4-26链路训练和状态状态机主要状态图

<4.2.6.1>检测

[检测](#bookmark168)子状态机如[图4- 27所示。](#bookmark169)

4.2.6.1.1检测.安静

·发射机处于电气空闲状态。

◦ 直流共模电压不要求在规格范围内。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·选择2.5 GT/s数据速率作为操作频率。如果进入该子状态时操作频率不是2.5GT/s数据速率，则LTSSM必须在该子状态下保持至少1 ms，在此期间操作频率必须更改为2.5 GT/s数据速率。

. 注意：这不影响TS1和TS2有序集中的通告数据速率。

·所有接收机必须在进入此子状态的1 ms（见表8-10）内满足2.5 GT/s的Z RX-DC规范。LTSSM必须保持在该子状态，直到满足2.5 GT/s的Z RX-DC规范。

·[LinkUp](#bookmark142) = 0b（状态已清除）。

·链路状态2寄存器的均衡8.0 GT/s第1阶段成功、均衡8.0 GT/s第2阶段成功、均衡8.0 GT/s第3阶段成功和均衡8.0 GT/s完成位均设为0 b。均衡16.0 GT/s第1阶段成功，均衡16.0 GT/s第2阶段成功，均衡16.0 GT/s

阶段3成功和均衡16.0 GT/s 16.0 GT/s状态寄存器的完成位均设置为0 b。 32.0GT/s状态寄存器的均衡32.0 GT/s第1阶段成功、均衡32.0 GT/s第2阶段成功、均衡32.0 GT/s第3阶段成功和均衡32.0 GT/s完成位均设置为0 b。

· **use\_modified\_TS1\_TS2\_Ordered\_Set**变量重置为0b。

·**directed\_speed\_change**变量重置为0b。upconfigure**\_capable**变量被重置为0b。的

**idle\_to\_rlock\_transitioned**变量重置为00h。select**\_deemphasize**变量必须根据上游端口的平台特定需求设置为0 b或1b，并且与下游端口的链路控制2寄存器中的可选预设/去加重字段相同。**equalization\_done\_8GT\_data\_rate**，

**equalization\_done\_16GT\_data\_rate**和**equalization\_done\_32GT\_data\_rate**变量被重置为0b。 perform[\_equalization\_for\_parameters](#bookmark174)变量设置为0b。

. 请注意，由于这些变量是用[PCIe-2.0]定义的，因此早期的设备不会实现

这些变量，并将始终采取的路径，如果[定向\_速度\_改变](#bookmark171)，

[upconfigure\_capable](#bookmark171)变量经常重置为0，[idle\_to\_rlock\_transitioned](#bookmark172)变量经常设置为FFh。

·在12 ms超时后或在任何车道上的电气空闲中断时，下一个状态为Detect.Active。

4.2.6.1.2检测。激活

·发射机在所有未配置的通道上执行接收机检测序列，这些通道可以形成一个或多个链路（更多信息请参见www.example.com部分8.4.5.7）。

· 如果在所有未配置的通道上检测到接收器，则下一状态为轮询。

· 下一个状态是[检测。](#bookmark170)如果在任何通道上都没有检测到接收器，则为安静状态。

· 如果至少一个但不是所有未配置通道检测到接收器，则：

1. 等待12毫秒。

2. 发射机在所有未配置的通道上执行接收机检测序列，这些通道可以形成一个或多个链路（有关更多信息，请参见8.4.5.7

. 如果与第一个接收器检测序列完全相同的通道检测到接收器，则下一个状态是轮询。

▪ 未检测到接收器的车道

I. 如果支持此可选功能，则与新的LTSSM关联。或

二. 所有不能与可选的新LTSSM相关联的车道必须转换为电气怠速。66



66. 被驱动的共模不需要满足L0和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

▪ 在LTSSM进行中转换回[检测后，必须立即将这些通道与LTSSM重新关联。](#bookmark168)

▪ 在转换到电气空闲之前，不需要发送EIOS。

◦ 否则，下一个状态为[检测。安静点](#bookmark170)

条目

检测

退出轮询

|  |  |  |
| --- | --- | --- |
| Detect.Quiet |  | Detect.Active |
|  |
|  |

OM14313A

图4-27[检测](#bookmark168)子状态机

<4.2.6.2>投票

[轮询](#bookmark180)子状态机如[图4-28所示。](#bookmark181)

4.2.6.2.1轮询。活动

·发射机发送具有在检测期间检测到接收机的所有通道上设置为PAD[的通道和链路号的TS 1有序集。](#bookmark168)

◦ TS 1有序集的数据速率标识符符号必须通告端口支持的所有数据速率，包括不打算使用的数据速率。

◦ 发射机必须等待其TX共模稳定，然后才能退出电气空闲并发送TS 1有序集。

▪ 发送器必须在从进入到状态的192 ns内，以发送裕量字段的默认电压电平驱动模式。该传输电压电平将保持有效，直到

[已输入轮询.合规性](#bookmark183)或[恢复.RcvrLock](#bookmark184)。

· 如果链路控制2寄存器中的输入一致性位（位4）为1b，则下一状态为轮询一致性。如果在进入[Polling.Active之前设置了Enter Compliance位](#bookmark182)，则必须立即转换为[Polling.Compliance](#bookmark186)，而不发送任何TS1有序集。

·下一个状态是[轮询。](#bookmark187)在发送至少1024个TS1有序集之后的配置，并且在[检测](#bookmark168)期间检测到接收器的所有通道接收八个连续的训练序列（或其互补序列）

满足下列条件之

◦ 通道和链路号设置为PAD的TS 1，且合规接收位（符号5的位4）为0b。

◦ TS 1，其中Lane和Link数量设置为PAD，环回位（符号5的位2）为1b。

◦ 通道和链路编号设置为PAD的TS2。

·否则，在24ms的时间之后，下一个状态是：

投票[。投票n](#bookmark188)如果，

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

I. 在[检测](#bookmark168)期间检测到接收器的任何通道接收到满足以下条件中的任一个的八个连续训练序列（或其互补序列）

1. 通道号和链路号设置为PAD且合规接收位（符号5的位4）为0b的TS 1。

2. 通道和链路号设置为PAD的TS1和环回位（符号的位2

（5）是1b。

3. 通道和链路编号设置为PAD的TS2

并且在接收到一个TS 1或TS 2有序集67之后发送最少1024个TS 1有序集。

和

二. 在检测期间检测到接收器的至少一组预定车道[自从进入轮询活动以来](#bookmark168)已经检测到从电气空闲退出至少一次[。](#bookmark182)

. 注意：这可以防止一个或多个坏的接收器或发射器阻止配置有效的链路，并允许在以下方面进行额外的训练：

[轮询。配置](#bookmark189)。预定通道的确切设置是特定于实现的。注意，直到[PCIe-1.1]，该预定集合等于检测到接收器的通道的总集合。

. 注：接收八个连续TS1或TS2有序集的任何通道应在进入后至少检测到一次从电气怠速

[投票。启动。](#bookmark182)

◦ 否则[轮询。](#bookmark190)如果（a）或（b）是真的，则符合性：

a. 不是来自上述（ii）的预定通道组中的所有通道都检测到从进入“通电激活”后退出“电空闲[”。](#bookmark182)

B. 在检测期间检测到接收器[的任何通道](#bookmark168)接收到八个连续的TS1有序集（或其补码），其中通道和链路编号被设置为PAD，合规接收位（符号5的位4）为1b，并且环回位（符号5的位2）为0b。

. 注：如果在所有通道上应用被动测试负载，则设备将进入[轮询合规性。](#bookmark191)

◦ 否则[检测](#bookmark168)是否不满足转换到[轮询配置](#bookmark192)或[轮询合规性](#bookmark193)的条件

4.2.6.2.2轮询合规性

·链路控制2寄存器的发送裕量字段在进入此子状态时采样

在进入此子状态的192 ns内对发送封装引脚有效，并在LTSSM处于此子状态期间保持有效。

·在从[Polling.Active](#bookmark182)到[Polling.Compliance的转换中，](#bookmark193)使用以下算法确定用于传输顺应性模式的数据速率和去加重级别。

◦ 如果端口只能以2.5 GT/s的数据速率传输，则用于传输顺应性模式的数据速率为2.5 GT/s，去加重电平为-3.5dB。

◦ 否则，如果端口进入[轮询。](#bookmark193)由于检测到八个连续的TS1有序集， [轮询。](#bookmark182)激活符合性接收位（符号5的位4），回送位（位

2）被解除断言，则用于传输的数据速率是由最高

所通告的公共发送和接收数据速率标识符（TS 1序列的



67.该规范的早期版本要求在接收一个TS 1有序集后传输1024个TS 1有序集。这种行为仍然是允许的，但是如果它遵循在接收一个TS 1或TS 2有序集之后发送1024个TS 1有序集的行为，则该实现将更加健壮。

页320

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

在检测到接收器的任何通道上接收的八个连续的TS1有序集上，

侦查select[\_deemphasize](#bookmark172)变量必须被设置为等于它在轮询活动状态中接收的八个连续TS 1有序集中的可选择去加重位（符号4位6）。如果公共数据速率为8.0 GT/s或更高，则每个通道上的[select\_preset](#bookmark194)变量被设置为在 如果该值不是保留编码，并且此值必须由 发射机（对于8.0 GT/s数据速率，可选择使用在这八个连续EQTS 1有序集中通告的接收机预设提示值）。如果通用数据速率为8.0 GT/s或更高，则任何

未接收8个连续EQTS 1有序集（发射器预设）的通道

接收到的信息、或者接收到的用于保留编码的值可以使用以特定于实现方式预设的任何支持的发送器。

◦ 否则，如果链路控制2寄存器中的输入一致性位为1b，则传输一致性模式的数据速率由链路控制2寄存器中的目标链路速度字段定义。的

当链路控制中的符合性预设/去加重字段

2如果数据速率为5.0 GT/s，则寄存器等于0001 b。如果数据速率为8.0GT/s或更高， 每个通道上**的select\_preset**变量设置为链路控制2寄存器中的合规性预设/去加重值（位15：12）中提供的预设值，且发射机必须使用该预设值

如果该值不是保留编码。

◦ 否则，数据速率、预设和去加重级别设置基于

组件 按照[表4-21](#bookmark195)中所述的相同设置编号顺序

表4-21顺应性模式设置

|  |  |  |
| --- | --- | --- |
| 设置编号 | 数据速率 | 发射机去加重或预置序列 |
| #1 | 2.5 GT/s | -3.5分贝 |
| 二号，三号 | 5.0 GT/s | -3.5 dB后接-6 dB |
| #4至#14 | 8.0 GT/s | 发送器预设编码0000b到1010b，如第4.2.3.2节中所定义，按递增顺序排列 |
| #15至#25 | 16.0 GT/s | 发送器预设编码0000b到1010b，如第4.2.3.2节中所定义，按递增顺序排列 |
| #26至#34 | 16.0 GT/s | 第4.2.3.2节中定义的发送器预设编码 |
| #35至#45 | 32.0 GT/s | 发送器预设编码0000b到1010b，如第4.2.3.2节中所定义，按递增顺序排列 |
| #46至#54 | 32.0 GT/s | 第4.2.3.2节中定义的发送器预设编码 |

随后进入[轮询。合规](#bookmark151)重复上述顺序。比如国家

使端口以5.0GT/s的数据速率传输命令模式的序列。

-6dB的去加重水平是：[轮询有效，](#bookmark93)[轮询顺应](#bookmark151)（2.5GT/和-3.5dB），[轮询有效，](#bookmark93)[轮询顺应](#bookmark151)（5.0GT/和-3.5dB），[轮询有效，](#bookmark93)[轮询顺应](#bookmark151)（5.0GT/和-6dB）。

必须在轮询中将序列设置为设置#1[。配置](#bookmark196)状态，如果端口支持16.0 GT/s或更高的数据速率，或者端口的接收器不符合2.5 GT/s的Z RX-DC规范， 它们以8.0 GT/s或更高的数据速率工作（见表8-10）。允许所有端口在轮询配置状态下将序列设置为设置#1。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

用于生成合规性模式的合规性加载板

可以设想，复合负载（基）板可以在任何通道上以350 mV峰峰值在差分对的一个支路上发送100 MHz信号约1 ms，以使设备循环到期望的速度和去加重水平。测试中的设备需要根据其最大支持的数据速率，

按顺序进行以下设置，从表4-21中定义的基本复位后的第一个Polling[.](#bookmark151)Complic e条目的第一个设置开始[，每次进入Polling. Complic](#bookmark151)[。](#bookmark195)



· 如果合规模式数据速率不是2.5 GT/，并且在进入轮询合规之前，在轮询激活状态下传输了任何TS 1有序数据集[，则在进入电气空闲状态之前](#bookmark151)，发送器发送一个EIOS或两个连续的EIOS。如果顺应性模式数据速率不是2.5 GT/s且TS1有序集不是

在轮询中传输[。](#bookmark93)在进入[轮询之前激活。符合性，](#bookmark151)变送器必须进入电气空闲 而不发送任何EIOS。在电气空闲期间，数据速率变为新速度并稳定。如果操作频率为5.0 GT/s，则去加重/预设电平必须设置为

-3.5dB（如果[select\_deemphasis](#bookmark172)变量为1b），否则必须设置为-6 dB。如果操作频率为8.0 GT/s或更高，则必须将变送器预设值设置为[select\_preset](#bookmark194)变量中的值。的

电气怠速周期大于1 ms，但不超过2 ms。

·[轮询](#bookmark151)期间的行为。在数据速率和去加重/预设电平确定后的合规性必须遵循以下规则：

. 如果端口进入[轮询。](#bookmark151)由于检测到八个传票TS1有序集，

[轮询。](#bookmark93)激活符合性接收位（符号5的位4）置位和环回位（符号5的位2）解除置位，或者链路控制2寄存器中的输入符合性位和输入修改符合性位均设置为1b，则发射机发送修改符合性

模式（见[第4.2.9节）](#bookmark198)，在上述确定的数据速率下，在检测期间检测到接收器的所有通道上，错误状态符号设置为全0[。](#bookmark164)

▪ 如果数据速率是2.5 GT/s或5.0 GT/s，则特定的通道

发生修改的顺应性模式，然后在其自身发送的修改的顺应性模式的相同通道中设置模式锁定位（8位错误状态符号的

合规模式。

错误状态符号不用于锁定过程，因为它们在任何给定时刻都是未定义的。

出现定义为8b/10 b符号的以下顺序;K28.5、D21.5、K28.5和D10.2或每个单独符号的补充

符号.

受试设备必须设置ModifiedCompliance的Pattern Lock位 在接收器封装引脚接收到修改后的顺应性模式后1 ms内，成功锁定到传入的修改后的顺应性模式后，在发送器封装引脚发送的模式。

▪ 如果数据速率为8.0 GT/s或更高：在进入此字段时，Error\_Status字段设置为00 h

亚州每个通道在实现块时独立设置模式锁定位

如第4.2.2.2.1节所述的对齐。实现模式锁定后，符号

将在数据块中接收到的错误码元与空闲数据码元（00h）进行比较，并且每个不匹配的码元导致接收器错误计数字段递增1。接收器错误 计数在127处饱和（进一步不匹配的符号不会改变接收器错误

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

计数）。每个通道的模式锁定和接收器错误计数信息作为在该通道的修改的符合性模式中发送的[SKP有序集](#bookmark199)的一部分发送。

参见[第4.2.7节f](#bookmark200)或更多信息。受试设备必须在接收到修改的顺应性的4 ms内设置其发送的[SKP有序集中](#bookmark201)的模式锁定位

接收器封装引脚上的图案。

·第4.2.2.4节中定义的加扰要求适用于收到的修改后的合规性

格局例如，加扰LFSR种子被设置在通道上，EIEOS确定LFSR和[SKP有序](#bookmark202)[集](#bookmark203)不推进LFSR。

执行说明

处理钻头打滑和区块对准

设备应确保其接收器在尝试获得块对齐之前已经稳定，

发出模式锁定信号例如，如果一个实现期望在最初的几个位中看到位滑动，那么它应该 等待这段时间结束，然后再确定块对齐。设备可能还希望在设置P模式锁定位之前重新验证其块对齐。



· 如果数据速率为2.5 GT/s或5.0 GT/s，则一旦特定通道指示其已锁定到传入的修改的顺应性模式，则每当接收器错误计数时，该特定通道的接收器错误计数递增。 错误发生。

. 错误状态符号使用较低的7位作为接收器错误计数字段，如果计数达到127，则该字段将保持为全1。

. 如果使用8b/10 b编码，则接收器不得对在此子状态下将接收的10位模式做出任何假设。

· 如果链路控制2寄存器中的输入一致性位为0b，则下一状态为[检测](#bookmark164)（如果指示

·否则，如果在进入[Polling](#bookmark151).Compliance时将EnterCompliance位设置为1b，则下一个状态为[Polling.Active](#bookmark93)，如果适用以下任何条件

. 链路控制2寄存器中的Enter Compliance位已更改为0b

. 端口是上游端口，并且在任何通道上接收EIOS。当此条件为真时，EnterCompliance位复位为0b。

如果发送器以2.5 GT/s以外的数据速率发送，或者在进入轮询一致性期间，链路控制2寄存器中的进入一致性位设置为1b[，](#bookmark151)则发送器发送八个连续EIOS，并在转换为轮询有效之前进入电气空闲。在电气空闲期间，数据速率变为2.5 GT/s并稳定，去空电平设置为-3.5dB。时期

电气怠速大于1 ms，但不得超过2 ms。

· 注意：发送多个EIOS提供了足够的鲁棒性，这样当配置寄存器机制用于条目时，另一个端口至少检测到一个EIOS并退出[Polling.Compliance](#bookmark151)子状态。

·否则，如果端口由于链路控制2寄存器的输入符合性位被设置为1而进入[轮询符合性](#bookmark151)，则链路控制2寄存器的输入修改符合性位被设置为0 b：

a. 发射机在检测期间以上述确定的数据速率和去加重/预设电平在检测到接收机的所有通道上发送合规模式。

B. 下一个状态是[轮询。](#bookmark93)如果以下两个条件中的任何一个为真，则激活：

1. 自进入Polling. Compliance后，Link Control2寄存器中的Enter Compliance b已更改为0b（从1b）[。](#bookmark151)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

2. 端口是上游端口，链路控制2寄存器中的入口一致性位设置为1，并且在任何通道上检测到EIOS。当此条件为真时，EnterCompliance位复位为0b。

变送器发送8个连续EIOS，并在转换到

[投票。启动](#bookmark182)。在电气怠速期间，数据速率变为2.5GT/s并保持稳定。电气怠速周期大于1 ms，但不得超过2ms。

注意：发送多个EIOS提供了足够的鲁棒性，使得另一个端口检测到至少一个EIOS并退出[轮询。](#bookmark180)

·其他：

a. 发射机在[检测](#bookmark168)期间以上述确定的数据速率和去加重/预设电平在检测到接收机的通道上发出以下模式

▪ 对于设置#1至#25和#35至#45：所有通道上的顺应性模式。

▪ 对于设置#26、#46：所有通道上的抖动测量模式。

▪ 对于设置#27、#47：通道0/8/16/24上的抖动测量模式和所有其他通道上的顺应性模式。

▪ 对于设置#28、#48：通道1/9/17/25上的抖动测量模式和所有其他通道上的顺应性模式。

▪ 对于设置#29、#49：通道2/10/18/26上的抖动测量模式和所有其他通道上的顺应性模式。

▪ 对于设置#30、#50：通道3/11/19/27上的抖动测量模式和所有其他通道上的顺应性模式。

▪ 对于设置#31、#51：通道4/12/20/28上的抖动测量模式和所有其他通道上的顺应性模式。

▪ 对于设置#32、#52：通道5/13/21/29上的抖动测量模式和所有其他通道上的顺应性模式。

▪ 对于设置#33、#53：通道6/14/22/30上的抖动测量模式和所有其他通道上的顺应性模式。

▪ 对于设置#34、#54：通道7/15/23/31上的抖动测量模式和所有其他通道上的顺应性模式。

B. 如果在任何通道的接收器处检测到电空闲的退出，则下一状态是[轮询](#bookmark182)活动，

在检测期间检测到接收器。如果发送器以2.5GT/s以外的数据速率发送，则发送器发送八个连续EIOS，并在转换到

[投票。启动](#bookmark182)。在电气怠速期间，数据速率变为2.5GT/s并保持稳定。电气怠速周期大于1 ms，但不得超过2ms。

4.2.6.2.3轮询配置

· 如有必要，接收器必须反转极性（参见[第www.example.com节4.2.4.5）](#bookmark44)。

·进入此子状态时，链路控制2寄存器的发送裕量字段必须重置

·如果需要，更新变送器

.

·发射机发送具有链路和通道号的TS2有序集，所述链路和通道号被设置为在检测期间检测到接收机的所有通道上的PAD[。](#bookmark168)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

◦ TS2有序集的数据速率标识符符号必须通告端口支持的所有数据速率，包括不打算使用的数据速率。

·[在检测](#bookmark168)期间检测到接收器的任何通道上接收到8个连续的TS2有序集之后，下一个状态是[配置，](#bookmark205)其中链路号和链路号被设置为PAD，并且16个TS2有序集被配置。

在接收一个TS2有序集之后发送。

·否则，下一个状态是48 ms超时后[的检测](#bookmark168)

4.2.6.2.4轮询速度

此状态不可达，因为链路[仅](#bookmark206)在2.5 GT/s数据速率下达到L0，并通过进入恢复来更改速度[。](#bookmark207)

执行说明

支持高于2.5 GT/s的数据速率

链路最初将以2.5 GT/s的数据速率训练到L0状态，即使两端都能够以

数据速率大于2.5 GT/s。支持的更高数据速率在TS有序集中通告另

侧[的速度能力在配置完成子状态期间注册](#bookmark209)。根据支持的最高通用数据速率，任一侧都可以通过转换到恢复来启动从[L0](#bookmark210)状态[的速度更改。](#bookmark211)



轮询条目

|  |  |  |
| --- | --- | --- |
| Polling.Active |  | 投票。合规 |
|  |
|  |

投票。配置



退出检测



退出到

配置

OM13801B

图4-28[轮询](#bookmark178)子状态机

<4.2.6.3>配置

[配置](#bookmark205)替换机如[图4-29所示。](#bookmark213)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.2.6.3.1配置.链接宽度.启动

4.2.6.3.1.1下游线路

· 如果指示，则下一状态为Disa bled。

◦ 注：[“如果指示”适用于由更高层指示的下行链路端口，以在检测期间检测到接收器的所有通道上断言禁用链路位（TS1和TS2）。](#bookmark168)

·如果由实现方式特定的方法引导并且发送器能够是[环回主控器，则下一状态是环回。](#bookmark65)

◦ 注：[“如果指示”适用于由更高层指示的端口，以在检测期间检测到接收器的所有通道上断言环回位（TS1和TS2）。](#bookmark168)

· 在支持交叉连接的可选情况下，在所有车道都已启用后，下一个状态为Disabled

发送TS 1有序集接收两个连续的TS 1有序集，其中D\_isable\_Link位被断言。

·如果满足以下条件之一，则下一状态为[环回](#bookmark216)

◦ 正在发送TS 1有序集的所有通道，也正在接收TS 1有序集的所有通道，接收在两个连续的TS 1有序集中声明的环回位。

◦ 正在发送TS 1有序集的任何通道接收两个连续的TS 1有序集，其中回送位被断言并且增强链路行为控制位被设置为01b。

◦ 请注意，接收到设置了Loopback位的有序集的设备将成为[LoopbackSlave。](#bookmark65)

·如果LinkUp为0b或者如果LTSSM没有启动链路宽度的向上配置，则发射机发送具有所选链路编号的TS 1有序集，并且在所有活动的下游通道上将通道编号设置为PAD。在 此外，如果[upconfigure\_capable](#bookmark171)被设置为1b，并且LTSSM没有启动链路宽度的升级配置，则LTSSM发送具有所选链路号的TS 1有序集，并在每个 在进入[恢复](#bookmark217)后检测到从电气怠速退出，随后

在此子状态下，接收到两个连续的TS1有序集，其中链路号和通道号均设置为PAD。

◦ 在从轮询转换到该子状态[时](#bookmark178)，在检测期间检测到接收器[的任何通道](#bookmark168)被认为是活动通道。

◦ 在从恢复转换到该子状态时，在先前通过配置.完成时作为配置链路的一部分的任何通道被视为活动通道。

◦ TS 1有序集的数据速率标识符符号必须通告端口支持的所有数据速率，包括不打算使用的数据速率。

·如果[LinkUp](#bookmark142)是1band，则LTSSM正在发起链路宽度的向上配置，最初它在当前活动通道集合上发送具有设置为PAD的链路和通道编号两者的TS 1有序集合;不活动通道则它在当前活动通道集合上发送具有设置为PAD的链路和通道编号两者的TS 1有序集合。 打算激活的车道;以及自进入恢复后检测到从电气空闲[退出](#bookmark219)并且已经接收到两个连续的TS 1有序集的车道，每个TS 1有序集的链路号和车道号都设置为PAD。LTSSM 当发送TS 1有序集的每个通道接收到两个连续的TS 1有序集时，发送具有被设置为PAD的所选链路号和通道号的TS 1有序集

每个设置为PAD或1 ms的数字自进入此子状态后已过期。

◦ 激活任何无效通道后，发射机必须等待其TX共模稳定，然后才能退出电气空闲并发送TS1有序集。

◦ 链路编号仅允许对于能够成为唯一链路的车道组不同。

◦ 注：链路号分配的一个示例是一组八个下游通道，当连接到一个组件时，可以协商成为一个x8端口，当连接到两个x4端口时，

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

连接到两个不同的组件。 下游通道发送出TS 1有序集，其中在四个通道上将链路号设置为N，并且在其他四个通道上将链路号设置为N+1。车道

数字都设置为PAD。

· 如果任何通道首先接收到至少一个或多个具有设置为PAD的链路和通道号的TS1有序集，则下一个状态为[配置.链路宽度.接受](#bookmark220)，在任何这些相同的下游通道接收到具有与任何传输的链路相匹配的非PAD链路号的两个连续的TS1有序集之后立即进行

数字，并将通道编号设置为PAD。

◦ 如果不支持交叉[连接配置](#bookmark204)，则首先接收设置为PAD的链路和车道号的条件始终为真。

·否则：可选地，如果[LinkUp](#bookmark142)是0波段，如果支持交叉链路，则检测到LinkUp的所有下游通道都将被发送到下游通道。

在[检测](#bookmark164)期间，接收器必须首先传输16到32个具有非PAD链路号和PAD的TS1有序集。

通道号，并且在此之后，如果任何下游通道接收到两个连续的TS 1有序集，其中链路号不同于PAD，通道号设置为PAD，则下游通道现在被指定为上游通道，并选择新的随机交叉超时（参见表8-7中的T交叉）。所述下一状态是 [配置。链路宽度。](#bookmark28)从上游车道开始。

◦ 注意：这支持可选的交叉连接，其中两端都可以尝试充当下行端口。 这通过使两个端口都成为上游端口并分配随机超时来解决，直到链路的一侧成为下游端口而另一侧保持上游端口。这

超时必须是随机的，即使在连接两个相同的设备时也是如此，以便最终打破任何可能的死锁。

◦ 如果支持交叉链接，则接收具有PAD链接号的TS1有序集序列

后接与所发送的链路号匹配的非PAD的链路号，仅当未被TS2有序集的接收中断时才有效。

执行说明

交联剂

如果下游车道同时连接到下游车道（交叉连接）和上游车道，则具有下游车道的港口可以使用单个LTSSM 如本节所述，或可选地，分为多个LTSSM。



·下一个状态是24 ms时间后的检测。

4.2.6.3.1.2上游车道

· 在支持交叉链接的可选情况下，下一个状态为禁用（如果定向）。

◦ 注：[“如果定向”仅适用于由更高层指示的可选交叉连接端口，以在检测期间检测到接收器的所有通道上断言禁用链路位（TS1和TS2）。](#bookmark164)

·下一个状态是[环回](#bookmark221)，如果通过特定于实现的方法指向该

◦ 注：[“如果指示”适用于由更高层指示的端口，以在检测期间检测到接收器的所有通道上断言环回位（TS1和TS2）。](#bookmark164)

· 下一个状态是禁用后，任何通道传输TS1有序集收到两个连续的TS1有序集与禁用链接位断言。

◦ 在支持交叉连接的可选情况下，仅在正在发送TS 1有序集的所有通道（也正在接收TS 1有序集）接收到在两个可召唤的TS 1有序集中断言的禁用L链路位之后，下一状态才被禁用。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 如果满足以下条件之一，则下一

. 正在发送TS 1有序集的所有通道，也正在接收TS 1或有序集的所有通道，接收在两个连续的TS 1有序集中断言的回送位。

. 正在发送TS 1有序集的任何通道接收两个连续的TS 1有序集，其中回送位被断言并且增强链路行为控制位被设置为01b。

. 注意：接收带有环回位设置的有序集的设备成为[环回从设备。](#bookmark134)

·发送器在所有活动上行通道上发出具有设置为PAD的链路号和通道号的TS1有序集合;它正在启动的非活动通道以向上配置链路宽度;并且如果[upconfigure\_capable](#bookmark171)被设置为1b，则在它检测到自进入[恢复](#bookmark222)以来从电空闲退出的每个非活动通道上 并且随后接收到具有链路和通道号的两个连续的TS 1有序集，每个有序集被设置为

在这个子国家。

. 在从轮询转换到该子状态[时](#bookmark165)，在检测期间检测到接收器[的任何通道](#bookmark164)被认为是活动通道。

. 在从恢复转换到该子状态时，作为先前通过[配置.](#bookmark223)完成配置的链路的一部分的任何通道被视为活动通道。

. 从恢复转换到此子状态时，如果转换不是由LTSSM超时引起的，

如果发射机打算改变链路宽度，则发射机必须在其在[配置](#bookmark204)状态下发送的TS1有序集中将自主改变位（符号4位6）设置为1b。

自主的原因。

. TS1有序集的数据速率标识符符号必须通告端口支持的所有数据速率，包括不打算使用的数据速率。

· 如果任何通道接收到两个连续的TS 1有序集，其中链路号不同于PAD，并且通道号设置为PAD，则选择单个链路号，并且在所有通道上传输设置为PAD的通道号 既检测到接收器，又接收到具有不同于PAD的链路号和设置为PAD的通道号的两个连续TS1有序集。在[检测](#bookmark164)期间检测到接收器的任何剩余通道

必须传输TS 1有序集，其中链路和通道号设置为PAD。所述下一状态是

[配置.Linkwidth.接受：](#bookmark224)

. 如果LTSSM正在发起链路宽度的向上配置，则它等待直到它在它想要激活的所有非活动通道上接收到具有非PAD链路号和PAD通道号的两个连续的TS 1有序集，或者在进入该子状态之后lms，它在任何通道上接收到具有非PAD链路号和PAD通道号的两个连续的TS 1有序集，以较早发生者为准， 将具有所选线路编号和线路编号的TS 1有序集发送到PAD。

. 建议在TS1命令集或 在接收通道的子集上丢失128 b/130 b块对齐;当使用8 b/10 b编码时，将上述评估延迟额外的两个或更多个TS 1有序集，或者当使用128 b/130b编码时，延迟额外的34个或更多个TS 1有序集，但不得超过1ms，以免 过早地配置比可能的更小的链路。

在激活任何非活动通道后，发射机必须等待其TX共模稳定，然后才能退出电气空闲并传输TS 1有序集。

·可选地，如果[LinkUp](#bookmark142)是0频带，如果支持交叉链路，则检测到接收器的 在[检测](#bookmark164)期间，必须首先发送具有PAD链路号和PAD通道号的16-32个TS 1有序集，并且在此之后，如果任何上游通道首先接收到具有设置为PAD的链路号和通道号的两个连续TS 1有序集，则：

. 发送器继续发送TS1有序集，其中链路号和通道号设置为PAD。

. 如果任何车道接收到两个连续的TS 1有序集，其链路编号不同于PAD，且车道编号设置为PAD，则选择单个链路编号，且将车道编号设置为PAD。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

在检测到接收器并且还接收到两个传票TS1的所有通道上发送

链接号不同于PAD且通道号设置为PAD的有序集剩下的

在检测期间检测到接收器[的通道上](#bookmark168)必须发送具有设置为PAD的链路和通道号的TS1有序集。下一个状态是“删除.链接宽度.接受”。

. 建议在TS1中接收到错误的任何可能的多通道链路

接收通道子集上的有序集或丢失128 b/130 b块对齐;使用8b/10 b编码时，将上述评估延迟额外的两个或更多个TS 1有序集，或使用128 b/130 b时，将上述评估延迟额外的34个或更多个TS 1有序集

编码，但不能超过1毫秒，以免过早配置一个较小的链路可能。

◦ 否则，在T交联超时之后，发送16到32个具有PAD链路号和PAD通道号的TS2有序集。上游车道变成下游车道，下一个状态是

[配置.链接宽度.](#bookmark214)从下游车道开始.

. 注：此可选行为是交叉连接行为所必需的，其中两个端口可能从上游端口开始，一个端口最终将作为下游端口。

·下一个状态是24 ms时间后的检测。

4.2.6.3.2配置.链接宽度.接受

4.2.6.3.2.1下游线路

· 如果配置的链路可以由至少一组通道形成，该组通道接收具有相同接收链路号的两个连续TS 1有序集（非PAD和匹配的一个，其是由

下游通道），TS 1有序集以相同的链路号传输，并且唯一的非PAD通道号被分配给所有这些相同的通道。下一个状态是“放松”“放松”“等待”

◦ 分配的非PAD通道编号的范围必须从0到n-1，按顺序分配到接收相同链路编号的同一组通道，以及不接收相同链路编号的

接收TS1有序集必须不中断最宽可能链路的初始顺序编号。任何剩余的通道必须传输TS 1有序集，其中链接和通道编号设置为PAD。

◦ 建议在TS1有序集或 接收到的车道子集上的128 b/130 b块对齐丢失，延迟了上面列出的评估 当使用8b/10 b编码时，通过附加的两个或更多个TS 1有序集，或者当使用128 b/130b编码时，通过附加的34个或更多个TS 1有序集，但是必须不超过1ms，以免 过早地配置比可能的更小的链路。

◦ 如果满足以下所有条件，则必须将[use\_modified\_TS1\_TS2\_Ordered\_Set](#bookmark171)变量设置

. [LinkUp](#bookmark142) = 0b

. 该组件已经在2010年10月11日的TS 1和TS 2有序集的符号5中的增强链路行为控制字段中发送了修改的TS 1/TS 2或有序集支持值（11b）。

进入[轮询](#bookmark45)状态后的[轮询](#bookmark45)和[配置](#bookmark212)状态

. 当前配置的链路的所有通道上接收到的八个连续的TS 2有序集导致从[轮询](#bookmark192)配置到[配置](#bookmark212)状态的转换，在增强链路行为中具有修改的TS 1/TS 2有序集支持

符号5和32.0GT/s数据速率中的控制字段在接收的八个连续TS 2有序集合中被设置为1b

·下一个状态是在2 ms超时之后检测，或者如果没有链路可以被配置，或者如果所有通道接收到两个连续的TS 1有序集，其中链路和通道编号被设置为PAD。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.2.6.3.2.2上游车道

· 如果配置的链路可以使用传输非PAD链路号的通道形成， 具有相同非PAD链路号和任何非PAD通道号的两个连续TS1有序集 有序集利用相同的非PAD链路号和通道号来传输，如果可能的话，这些非PAD链路号和通道号与接收到的通道号相匹配，或者如果必要的话，这些非PAD链路号和通道号是不同的（即，车道反向）。下一个州是

Configuration.Lanenum.Wait.

. 新分配的通道号必须在0到m-1的范围内，仅顺序地分配给接收非PAD通道号的通道的一些连续分组（即，不属于

接收任何TS1有序集总是会破坏连续分组，并且不得包含在 此分组），必须包括通道0或通道n-1（最大接收通道号），并且m-1必须等于或小于最大接收通道号（n-1）。其余通道必须传输具有设置为PAD的链路和通道编号的TS1有序集。

. 建议在TS1命令集或 接收到的车道子集上的128 b/130 b块对齐丢失，延迟了上面列出的评估 当使用8b/10 b编码时，通过附加的两个或更多个TS 1有序集，或者当使用128 b/130b编码时，通过附加的34个或更多个TS 1有序集，但是必须不超过1ms，以免 过早地配置比可能的更小的链路。

. 如果以下所有条件均为真，则必须将[use\_modified\_TS1\_TS2\_Ordered\_Set](#bookmark171)变量设置

网络[连接向上](#bookmark142)= 0b

该组件已经在所有TS 1和TS2有序集的符号5中的增强链路行为控制字段中发送了修改的TS 1/TS 2有序集支持值（11b）， 进入[轮询](#bookmark165)状态后的[轮询](#bookmark165)和[配置](#bookmark204)状态

在当前配置的链路的所有通道上接收到的八个连续的TS 2有序集导致了从[轮询配置](#bookmark197)到[配置](#bookmark204)状态的转换，在增强链路行为中具有修改的TS 1/TS 2有序集支持

符号5和32.0GT/s数据速率中的控制字段在接收的八个连续TS 2有序集合中被设置为1b

·下一个状态是在2 ms超时之后检测，或者如果没有链路可以被配置，或者如果所有通道接收到两个连续的TS 1有序集，其中链路和通道编号被设置为PAD。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



执行说明

示例情况

与下游线路[配置](#bookmark204)相关的显著

1. 一个x8下游端口可以分为两个x4链路，将两个不同的链路号发送到两个x4上游端口。上游端口通过选择两个链路号同时响应。下游端口将必须选择这些链路号集合之一来配置为链路，并且

将另一个留给第二个元LTSSM进行配置（这最终将在[Configuration.Complete中发生）](#bookmark225)。

2. 一个x16下游端口（可分为两个x8链路）连接到一个x12上游端口

可以配置为x12链路或x8和x4链路。在[配置.Linkwidth.S](#bookmark28)期间，

上游端口在所有12条通道上发送相同的链路号。然后，下游端口将返回相同的接收到的链路号，并在可以形成x8链路的八个通道

而其余四个通道发送通道号和链路号，设置为PAD。

3. 一个x8下游端口，其中只有七个通道正在接收具有相同接收链路号的TS1有序集（非PAD和由下游通道发送的匹配链路号），以及一个x8下游端口，其中只有七个通道正在接收具有相同接收链路号的TS1有序集。

位于这些相同通道中间或邻近这些相同通道的第八通道不接收TS 1顺序集。 在这种情况下，第八个通道被视为与其他七个通道相同，并且x8通道的通道编号应如上所述发生。

与上游车道[配置](#bookmark204)相关的显著

1. 一个x8上游端口的通道编号是从首选编号向后的。如果上游端口支持通道反转的可选行为，则上游端口将相同的通道编号传输回下游端口。否则，相反的车道号为

通道排序或出口配置将被发送回下游端口，并且将取决于下游端口来可选地固定通道排序或出口[配置。](#bookmark204)

需要可选的车道反转行为来配置车道号反转 并且下游端口不支持通道反转。具体地说，上游端口通道反转将适应默认上游顺序通道编号（到n-1）为

接收反向的下游专用通道号（n-1到0）。

2. x8上游端口未在上游端口通道0上接收TS1有序集

a. a.在上游端口只能支持x8或x1链路并且上游端口可以支持通道反转的情况下。上游端口将通道0仅分配给接收到的通道7（接收到的通道号n-1），其余七个通道必须传输TS 1有序集 链路和车道号设置为PAD。

B. B.在上游端口只能支持x8或x1链路且上游端口不能支持通道反转的情况下。没有链接可以形成，上游港口将最终 2 ms后超时并退出[检测。](#bookmark164)

3. 一个可选的x8上行链路交叉连接端口（可分为两个x4链路）连接到两个x4

表示相同链路号的下游端口，每个x4下游端口表示通道

同时，每个数字都被编号为0到3。上游端口将不得不选择这些通道号集合中的一个来配置为链路，并将另一个留给第二次通过

[配置.](#bookmark204)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.2.6.3.3配置.语言.接受

在该子状态下，如果[use\_modified\_TS1\_TS2\_Ordered\_Set](#bookmark171)变量设置为1b：

·发射机必须发送修改的TS 1有序集，而不是TS 1有序集

· 接收方必须检查是否收到修改的TS1有序集，而不是TS1有序集[注：参见第

4.2.4.1，以获得相同的连续修改的TS 1有序集的定义。]

4.2.6.3.3.1下游线路

· 如果接收到两个连续的TS 1有序集，其中非PAD链路和非PAD通道号与所有非PAD链路和非PAD通道号（或者如果通道反转是可选的，

支持的），则下一状态是

[配置](#bookmark227)完毕不允许重定时器延迟到配置[完成](#bookmark228)的转换，如第4.3.8节所述。

. 如果当前从[恢复](#bookmark229)状态转换到[配置](#bookmark212)状态，则链路状态寄存器的链路带宽管理状态和链路自主带宽状态位必须在链路带宽更改时

a. 如果由于可靠性问题而由下行链路端口发起带宽更改，则链路带宽管理状态位为置位。

B. 否则，如果带宽更改不是由下游端口发起的，

如果两个连续接收的TS 1有序集中的自主改变比特（符号4比特6）为0b，则链路带宽管理状态比特为置位。

C. 否则设置链路自主带宽状态b。

. 反向通道数的条件被严格定义为下游通道0接收通道数等于n-1的TS 1有序集，下游通道n-1接收通道数等于0的TS 1有序集。

. 建议在TS1命令集或 接收到的车道子集上的128 b/130 b块对齐丢失，延迟了上面列出的评估 当使用8b/10 b编码时，通过附加的两个或更多个TS 1有序集，或者当使用128 b/130b编码时，通过附加的34个或更多个TS 1有序集，但是必须不超过1ms，以免 过早地配置比可能的更小的链路。

· If a configured Link can be formed with any subset of the Lanes that receive two consecutive TS1 Ordered Sets with the same transmitted non-PAD Link numbers and any non-PAD Lane numbers,TS1 Ordered Setsare

使用相同的非PAD链路号和分配的新通道号传输，并且下一个状态是暂停.

. 新分配的传输通道编号必须在0到m-1之间，按顺序 仅对接收非PAD通道号的通道的某些连续分组（即，不接收任何TS 1有序集的通道总是中断连续分组，并且不得包括在该分组中），必须包括通道0或通道n-1（最大接收通道编号），

并且m-1必须等于或小于最大接收通道号（n-1）。任何剩余的通道必须传输TS1有序集，其中链路和通道编号设置为PAD。

. 建议在TS1命令集或 在接收到的车道的子集上丢失128 b/130 b块对齐， 当使用8b/10 b编码时，通过附加的两个或更多个TS 1有序集，或者当使用128 b/130b编码时，通过附加的34个或更多个TS 1有序集，但是必须不超过1ms，以免 过早地配置比可能的更小的链路。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·如果没有链路可以被配置或者如果所有通道接收到两个连续的TS 1有序集，其中链路和通道号被设置为PAD，则下一状态是检测。

4.2.6.3.3.2上游车道

· 如果接收到两个连续的TS 2有序集，其中非PAD链路和非PAD通道号与在上行通道TS 1有序集中传输的所有非PAD链路和非PAD通道号相匹配，则 下一个状态是[配置完成](#bookmark230)。请注意，允许重定时器延迟转换到

[配置。完成，](#bookmark231)如第4.3.8节所述。

· 如果配置的链路可以用接收具有相同的传输的非PAD链路号和任何非PAD通道号的两个连续的TS1有序集的通道的任何子集形成，则TS1有序集是

使用相同的非PAD链路号和分配的新通道号传输，并且下一个状态是暂停.

. 新分配的传输通道号的范围必须从0到m-1，仅顺序地分配给接收非PAD通道号的通道的某些连续分组（即，车道

其不接收任何TS 1有序集总是中断连续分组并且必须不包括在该分组中），必须包括通道0或通道n-1（最大的接收通道号），

并且m-1必须等于或小于最大接收通道号（n-1）。任何剩余的通道必须传输TS1有序集，其中链路和通道编号设置为PAD。

. 建议在TS1命令集或 在接收到的车道的子集上丢失128 b/130 b块对齐， 当使用8b/10 b编码时，通过附加的两个或更多个TS 1有序集，或者当使用128 b/130b编码时，通过附加的34个或更多个TS 1有序集，但是必须不超过1ms，以免 预先配置一个比possible更小的Link。

·如果没有链路可以被配置或者如果所有通道接收到两个连续的TS 1有序集，其中链路和通道号被设置为PAD，则下一状态是检测。

4.2.6.3.4配置.Lanenum.等待

在该子状态下，如果[use\_modified\_TS1\_TS2\_Ordered\_Set](#bookmark171)变量设置为1b：

·发射机必须发送修改的TS 1有序集，而不是TS 1有序集

·接收器必须检查修改的TS 1有序集而不是TS 1有序集的接收，尽管它可能

当链路伙伴转换到这个子状态时，最初接收TS1有序集[注意：这些必须是

在最后一个符号中具有有效奇偶校验的相同的连续修改的TS1 Ordered集合

4.2.6.3.4.1下游线路

·如果[在检测](#bookmark168)期间检测到接收器的通道中的任一个通道接收到两个连续的TS 1有序集，则下一个状态是[Configuration.Lanenum.Accept，其中所述两个](#bookmark226)连续的TS 1有序集具有与通道第一次接收时不同

输入[Configuration.Lanenum.Wait，](#bookmark232)并且并非所有通道

在所有车道上传输

上行通道在转换到“确认.着陆.接受”之前允许延迟最多1 ms。

在转换之前延迟1 ms的原因是为了防止接收到的错误或通道之间的偏斜影响最终配置的链路宽度。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

要求接收不同于首次进入车道时的任何车道号的条件

[配置。通道。等待](#bookmark232)是必要的，以便允许两个端口在商定的链路上解决

宽度. 状态“任何通道接收两个连续的TS1有序集，其通道号与通道首次输入Configuration.Lanenum.Wait时的通道号不同“的确切含义要求 车道号必须在车道最近进入红色[配置](#bookmark232)时发生更改 在转换到[Configuration.Lanenum.Accept](#bookmark226)之前。

·下一个状态是在2 ms超时之后检测，或者如果所有通道接收到两个连续的TS1顺序集合，其中链路和通道编号被设置为PAD。

4.2.6.3.4.2上游车道

·下一个状态是配置.Lanenum.接受

A. 如果任何通道接收到两个连续的TS1有序集，且其通道编号与通道首次进入[Configuration.Lanenum.Wait时不同，](#bookmark232)且并非所有通道的链接编号均设置为PAD

或

B. 如果任何通道接收到两个连续的TS2有序集，

·下一个状态是在2 ms超时之后检测，或者如果所有通道接收到两个连续的TS1顺序集合，其中链路和通道编号被设置为PAD。

4.2.6.3.5配置完成

允许设备在进入此子状态时更改支持的数据速率和升级配置能力，但在此子状态下不得更改这些值。

在该子状态下，如果[use\_modified\_TS1\_TS2\_Ordered\_Set](#bookmark171)变量设置为1b：

·发射机必须发送修改的TS2有序集，而不是TS2有序集

· 接收方必须检查是否收到修改的TS2有序集，而不是TS2有序集[注：参见第

4.2.4.1，以获得相同的连续修改的TS 1有序集的定义。]

4.2.6.3.5.1下游线路

·使用与所接收的TS 1有序集链路和通道号匹配的链路和通道号来发送TS 2有序集。

. TS2有序集的Upconfigure Capability比特被允许设置为1b，以指示端口能够支持当前分配的通道0上的x1链路，并且在[LinkUp](#bookmark142)= 1b时向上配置链路。 告知此功能是可选的。

· 当离开此状态时，必须注明N\_FTS用于[L0](#bookmark234)

·当使用8b/10 b编码时，必须在离开此状态时完成通道到通道的去偏斜。

·如果所有配置的通道在两个连续接收的TS2有序集合中具有断言的禁用加扰位，则禁用加扰。

. 在所有配置通道上发送禁用加扰位的端口也必须禁用加扰。 只有在使用8b/10 b编码时才能禁用加扰。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·下一个状态是[配置。](#bookmark235)在所有传输TS 2有序集的通道接收到八个连续的TS 2有序集后，立即停止，这些TS 2有序集具有匹配的通道和链路号（非PAD）以及相同的数据速率 标识符（包括相同的链路上配置能力（符号4比特6）），并且在接收到一个TS2有序集之后发送16个TS2有序集。将链路能力2寄存器的重定时器存在检测支持位设置为1b的实现方式还必须接收具有相同 数据速率为2.5 GT/s时，重定时器存在（符号5位4）。具有两个重定时器存在检测的实现方式链路能力2寄存器的支持位设置为1b也必须接收八个连续的TS2 当数据速率为2.5 GT/s时，具有相同重定时器的有序集存在（符号5位5：4）。

. 如果操作数据速率为2.5GT/s：

▪ 如果链路功能2寄存器的重定时器存在检测支持位设置为1b，并且任何已配置通道在八个

如果连续接收到TS 2有序集，则必须将链路状态2寄存器中的重定时器存在检测位设置为1b，否则必须将链路状态2寄存器中的重定时器存在检测位设置为0b。

▪ 如果设置了链路功能2寄存器的双重定时器存在检测支持位 到1band，任何配置的通道接收到8个重定时器中设置为1b的两个 如果连续接收到TS2有序集，则链路状态2寄存器中的检测到两个重定时器存在位必须设置为1b，否则检测到两个重定时器存在位必须设置为0b。

. 如果设备支持大于2.5 GT/s的数据速率，则必须记录在链路的任何配置通道上接收到的数据速率标识符。 这将覆盖任何先前记录的值。一个变量来 恢复状态中的轨道速度变化，**changed\_speed\_recovery**，被复位为0b。

. 如果设备发送具有设置为1b的链路向上配置能力（符号4位6）的TS2有序集，并且接收具有设置为1b的链路向上配置能力位的八个连续TS2有序集，则变量[upconfigure\_capable](#bookmark171)设置为1b，否则将其重置为0b。

. 不属于已配置链路的所有剩余通道不再与正在进行的LTSSM相关联，并且必须：

I. 如果支持此可选功能，则与新的LTSSM关联。或

二. 所有不能与可选的新LTSSM相关联的车道必须过渡到

电气怠速。68如果LTSSM具有链路宽度向上配置功能，则那些在L0状态之前形成链路的通道，并且从那时起[LinkUp](#bookmark142)为1b，但不是当前配置的链路的一部分，必须与相同的LTSSM相关联。建议 这些通道的接收器终端必须保持打开状态。如果它们没有保持打开状态，则必须在LTSSM进入[恢复.RcvrCfg](#bookmark239)子状态时打开它们，直到它到达

[配置。](#bookmark228)如果[upconfigure\_capable](#bookmark171)设置为1b以允许潜在的链路宽度向上配置，则完成子状态。在通过[L0](#bookmark240)的初始链路训练期间不是LTSSM的一部分的任何通道不能作为链路宽度的一部分而成为LTSSM的一部分

升级配置过程。

▪ 在可选交叉连接的情况下，要求接收器端接满足ZRX-高-IMP-DC-POS和ZRX-高-IMP-DC-NEG（见表8-10）。

▪ 在LTSSM进行中转换回[检测后，必须立即将这些通道与LTSSM重新关联。](#bookmark168)

EIOS不需要在转换到电气空闲之前发送，并且转换到电气空闲不需要发生在符号或有序集边界上。



68. 被驱动的共模不需要满足L 0和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·2 ms超时后

. 如果当前数据速率为2.5 GT/s或5.0 G T/s，则下一状态为检测。

. 如果[idle\_to\_rlock\_transitioned](#bookmark172)变量小于FFh且当前数据速率为8.0GT/s或更高，则下一状态为Configuration.Idle。

I. changed[\_speed\_recovery](#bookmark236)变量被重置为0 b。

二. 不属于已配置链路的车道不再与正在进行的LTSSM相关联，并且必须满足上述非超时要求（i）或（ii）

转换到空闲状态。

三. 如果至少一个通道接收到具有匹配通道和链路的八个连续TS2有序集，则允许更新[upconfigure\_capable](#bookmark171)变量，但不要求更新d

数字（非PAD）。如果更新，则当发送和接收的链路向上配置能力位为1b时，upconfigure\_cap able变量设置为1b，否则重置为0b。

. 否则，下一个状态为[检测。](#bookmark164)

4.2.6.3.5.2上游车道

·使用与接收到的TS2链路和通道号匹配的链路和通道号来发送TS2有序集。

. TS2有序集的Upconfigure Capability比特被允许设置为1b，以指示端口能够支持当前分配的通道0上的x1链路，并且在[LinkUp](#bookmark142)= 1b时向上配置链路。 告知此功能是可选的。

· 当离开此状态时，必须注明N\_FTS用于[L0](#bookmark243)

·当使用8b/10 b编码时，必须在离开此状态时完成通道到通道的去偏斜。

·如果所有配置的通道在两个连续接收的TS2有序集合中具有断言的禁用加扰位，则禁用加扰。

. 在所有配置的通道上发送禁用加扰位的端口也必须禁用加扰。 只有在使用8b/10 b编码时才能禁用加扰。

·下一个状态是[配置。](#bookmark244)在所有正在发送TS2有序集的通道接收到具有匹配通道和链路号（非PAD）以及相同数据速率标识符（包括相同的链路上配置能力（符号4位6））的八个连续TS2有序集之后立即停止，并且在接收到一个TS2有序集之后发送16个连续TS2有序集。使用Retimer Presence Detect实现

当数据速率为2.5 GT/s时，设置为1b的链路功能2寄存器的支持位还必须接收具有相同重定时器存在（符号5位4）的八个连续TS 2有序集。当数据速率为2.5 GT/s时，链路功能2寄存器的两个重定时器存在检测支持位设置为1b的实现还必须接收具有相同重定时器存在（符号5位5：4）的八个连续TS 2有序集。

. 如果操作数据速率为2.5GT/s：

▪ 如果链路功能2寄存器的重定时器存在检测支持位设置为1b，并且任何已配置通道在八个

如果连续接收到TS 2有序集，则必须将链路状态2寄存器中的重定时器存在检测位设置为1b，否则必须将链路状态2寄存器中的重定时器存在检测位设置为0b。

▪ 如果设置了链路功能2寄存器的双重定时器存在检测支持位 到1band，任何配置的通道接收到8个重定时器中设置为1b的两个 如果连续接收到TS2有序集，则链路状态2寄存器中的检测到两个重定时器存在位必须设置为1b，否则检测到两个重定时器存在位必须设置为0b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 如果设备支持大于2.5 GT/s的数据速率，则必须记录在链路的任何配置通道上接收到的数据速率标识符。 这将覆盖任何先前记录的值。一个变量来 恢复状态中的轨道速度变化，[changed\_speed\_recovery，](#bookmark236)被重置为0b。

. 如果设备发送具有设置为1b的链路向上配置能力（符号4比特6）的TS2有序集 以及接收8个连续的TS2有序集，其中链路上配置能力比特被设置为1b，变量[upconfigure\_capable](#bookmark171)被设置为1b，否则它被重置为0b。

. 不属于已配置链路的所有剩余通道不再与正在进行的LTSSM相关联，并且必须：

I. 如果支持此功能，可以选择与新的crosslink LTSSM关联。或

二. 所有未与新交叉链路LTSSM关联的剩余通道必须转换为电气空闲，69并且接收器终端必须满足ZRX-高-IMP-DC-POS，

ZRX-高-IMP-DC-负（见表8-10）。那些在[L0](#bookmark246)状态之前形成链路的通道，并且自那时起[LinkUp](#bookmark142)为1b，但不是当前配置链路的一部分，必须 如果LTSSM具有链路宽度向上配置能力，则与相同LTSSM相关联。 建议这些通道的接收器终端保持打开状态。如果没有 如果将[upconfigure\_capable](#bookmark171)设置为1b以允许潜在的链路宽度向上配置，则当LTSSM进入Recovery.RcvrCfg子状态时，它们必须打开，直到达到Configuration.Complete子状态。任何不属于LTSSM的车道

通过L0的初始链路训练不能成为作为链路宽度向上配置过程的一部分的LTSSM的一部分。

▪ 在LTSSM进行中转换回[检测后，必须立即将这些通道与LTSSM重新关联。](#bookmark168)

▪ 在转换到电气空闲之前不需要发送EIOS， 转换到电怠速不需要发生在符号或有序集边界上。

·2 ms超时后

. 如果当前数据速率为2.5 GT/s或5.0 G T/s，则下一状态为检测。

. 如果[idle\_to\_rlock\_transitioned](#bookmark172)变量小于FFh且当前数据速率为8.0GT/s或更高，则下一状态为Configuration.Idle。

I. changed[\_speed\_recovery](#bookmark236)变量被重置为0 b。

二. 不属于已配置链路的车道不再与正在进行的LTSSM相关联，并且必须满足上述非超时要求（i）或（ii）

转换到空闲状态。

三. 如果至少一个通道接收到具有匹配通道和链路的八个连续TS2有序集，则允许更新[upconfigure\_capable](#bookmark171)变量，但不要求更新d

数字（非PAD）。如果更新，则当发送和接收的链路向上配置能力位为1b时，upconfigure\_cap able变量设置为1b，否则重置为0b。

· 否则，下一个状态为[检测。](#bookmark168)

配置.空闲

·当使用8b/10 b编码时，发送器在所有配置的通道上结束空闲数据符号。



69. 被驱动的共模不需要满足L 0和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 如果链路中的所有组件都支持[LinkUp](#bookmark142) =0频段32.0 GT/s数据速率，如在进入前接收的八个连续TS 2或八个连续且相同的修改后TS 2有序集中所通告的 [配置。空闲：](#bookmark244)

. 如果在接收到的八个连续的 并且相同的修改的TS2有序集合和nd也被设置在所发送的修改的TS2有序集合 在链路的所有配置的通道中设置，或者如果在八个连续的TS 2有序集合中的增强链路行为控制字段（符号5的比特7：6）中接收到不需要均衡值（10b），并且在所发送的TS 2有序集合的增强链路行为控制字段中也设置了不需要均衡值（10b），则在

套装：

将[equalization\_done\_8GT\_data\_rate、equalization\_done\_16GT\_data\_rate](#bookmark173)和[equalization\_done\_32GT\_data\_rate](#bookmark173)变量分别设置为1b。

32.0GT/s状态寄存器中的“无需均衡接收”位设置为1b。

. 否则，如果在通信协议中将旁路到最高速率支持比特（符号5的比特0）设置为1b，则在通信协议中将旁路到最高速率支持

收到了八个连续的和相同的修改TS2有序集，也被设置在

在链路的所有配置通道中发送修改的TS2有序集，或者如果否

接收到需要均衡或均衡旁路至最高数据速率值（01b或10b）

在八个连续的TS2有序码中的增强链路行为控制字段（符号5的比特7：6 设置并且不需要均衡或均衡旁路到最高数据速率值（01b或10b）也被设置在所发送的TS 2有序集的增强链路行为控制字段中：

[equalization\_done\_8GT\_data\_rate](#bookmark173)和[equalization\_done\_16GT\_data\_rate](#bookmark173)变量均设置为1b。

. 如果进入该子状态是由于接收到八个连续且相同的修改的TS2有序集并且[LinkUp](#bookmark142)=0b

▪ 如果接收到的八个连续的修改的TS 2有序集合中的修改的TS使用字段被设置为010b（替代协议），并且在发送的修改的TS 2有序集合的修改的TS使用字段中设置相同的值，并且修改的TS信息1和替代协议供应商ID字段在发送的和接收的TS信息1和替代协议供应商ID字段之间是相同的，则可以在发送的和接收的TS信息1和

链路的所有配置通道中的修改的TS2有序集

32.0 GT/s状态寄存器中的已修改TS接收位设置为1b。的

协商的细节将反映在接收的修改的TS数据1

寄存器和接收到的修改的TS数据2基于接收到的八个连续的修改的TS 2有序集寄存器。

. 使用128 b/130 b编码时：

▪ 如果数据速率为8.0 GT/s，则发送器在所有配置的

启动数据流的通道，然后在所有已配置通道上发送空闲数据符号。在通道0上传输的第一空闲数据符号是数据流的第一符号。

▪ 如果数据速率为16.0 GT/s或更高，则发送器在所有配置通道上发送一个控制[SKP有序集](#bookmark251)，紧接着发送一个[SDS有序集](#bookmark59)，以启动数据传输。

流，然后发送所有配置通道上的空闲数据符号。在通道0上传输的第一空闲数据符号是数据流的第一符号。

. 接收器等待空闲数据。.[LinkUp](#bookmark142)= 1b

. 当使用8b/10 b编码时，如果在所有配置的通道上接收到八个连续的空闲数据符号时间，并且在接收到一个空闲数据之后发送了16个空闲数据符号，则下一状态为[L0](#bookmark252)

符号.

▪ 如果自上次从[恢复](#bookmark254)或[配置](#bookmark204)转换到L0后，软件已将1b写入链路控制寄存器中的重新训练链路位，则下游端口必须设置链路

将链路状态寄存器的带宽管理状态位设置为1b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. [use\_modified\_TS1\_TS2\_Ordered\_Set](#bookmark171)变量在转换到L0时重置为0b[。](#bookmark255)

◦ 当使用128 b/130 b编码时，如果在所有配置的通道上接收到空闲数据的八个连续符号时间，则下一个状态是L0，在接收到一个空闲数据符号之后发送16个空闲数据符号，并且该状态不是由来自配置完成的超时进入[的。](#bookmark225)

. 空闲数据符号必须在数据块中接收。

. 在数据流处理开始之前，必须完成通道间的消除。

. 如果自上次从[恢复](#bookmark258)或[配置](#bookmark204)转换到L0后，软件向链路控制寄存器中的重新训练链路位写入了1b，则下游端口必须设置链路

将链路状态寄存器的带宽管理状态位设置为1b。

. idle[\_to\_rlock\_transitioned](#bookmark172)变量在转换到[L0时重置为00h。](#bookmark259)

◦ 否则，在至少2ms超时后：

. 如果[idle\_to\_rlock\_transisitioned](#bookmark172)变量小于FFh，则下一状态为[Recovery.RcvrLock。](#bookmark260)

. 在过渡到[Recovery.RcvrLock：](#bookmark261)

. 如果数据速率为8.0 GT/s或更高，则[idle\_to\_rlock\_transitioned](#bookmark172)变量递增1。

. 如果数据速率为2.5 GT/s或5.0 GT/s，则将[idle\_to\_rlock\_transitioned](#bookmark172)变量设置为FFh。

. 否则，下一个状态为[检测。](#bookmark164)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

配置条目



退出到

残疾

退出到 环回

|  |
| --- |
| Configuration.Linkwidth.Start |



退出检测

|  |
| --- |
| Configuration.Linkwidth.Accept |

|  |  |  |
| --- | --- | --- |
| Configuration.Lanenum.Wait | | |
|  |  |  |
| 配置.Lanenum.Accept | | |

|  |
| --- |
| Configuration.Complete |



退出到 恢复

|  |
| --- |
| Configuration.Idle |



出口至L0

OM13802C

图4-29[配置](#bookmark212)子状态机

<4.2.6.4>恢复

[恢复](#bookmark245)子状态机如[图4-30所示。](#bookmark262)

4.2.6.4.1恢复.接收器锁定

如果链路以8.0 GT/s或更高的数据速率操作，则接收器必须将任何TS 1或TS 2有序集视为

仅在其获得该通道中的块对齐之后才接收。如果从[L1](#bookmark264)或[Recovery.Speed](#bookmark265)或[L0进入此子状态，](#bookmark266) 在退出电气怠速状态后，必须获得缸体对准。如果从L0进入此子状态[，](#bookmark267)则必须在最后一个数据流结束后获得块对齐。

· 如果操作数据速率为8.0 GT/s或更高：

◦ 如果[start\_equalization\_w\_preset](#bookmark268)变量设置为1b：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 上游端口必须使用它从接收到的

适当的八个连续TS 2有序集（如果8.0GT/s，则为EQTS 2，如果32.0GT/s，则为EQTS 2，以及 在[恢复](#bookmark269)中协商了最高数据速率的均衡旁路和128 b/130 bEQTS 2（如果16.0GT/s或32.0 GT/s）。一旦开始以执行均衡的数据速率传输，就在其发射机设置中重新设置RcvrCfg，并确保其满足预设

第8章定义接收保留或不支持的发射机预设值的车道必须使用特定于实施的方法来选择支持的发射机

一旦它开始以需要执行均衡的数据速率发送Ting，就使用预设设置。

. 一旦下游端口开始以必须执行均衡的数据速率进行传输，就必须根据以下规则使用发送器预设

1. 如果均衡的数据速率为16.0 GT/s或32.0GT/s，并且连续八

EQTS 2有序集（用于执行均衡旁路至32.0GT/sis的情况）或128 b/130 b EQTS 2有序集收到时支持

发射器预设值是最近通过[Recovery.RcvrCfg转换的值，](#bookmark270)来自已订购的EQTS 2或128 b/130 b EQTS 2的发射器预设值

必须使用设置。

2. 否则，如果在适当的通道均衡控制寄存器条目的下游端口发送器预设字段中定义的发送器预设值，如

下面定义的是支持的，那么它必须使用：

|  |  |
| --- | --- |
| 均衡数据速率 | 链路转换到均衡数据速率时立即使用的发送器预设值 |
| 8.0 GT/s | 在每个通道的通道均衡控制寄存器条目中定义的发送器预设字段。下游端口可以选择使用  通道中定义的下游端口8.0 GT/s接收器预设提示  对应于通道的每个接收器的均衡控制寄存器条目，如果它们不是保留值。 |
| 16.0 GT/s | 16.0 GT/s通道均衡控制寄存器条目的下游端口16.0 GT/s发送器预设字段 |
| 32.0 GT/s | 32.0 GT/s通道均衡控制寄存器条目的下游端口32.0 GT/s发送器预设 |

3. 否则，使用特定于实现的方法来选择支持的发射机预设设置。

下游端口必须确保其符合第8章中的预设定义。

. 下一个状态是[恢复。](#bookmark271)

◦ 否则：

. 发射机必须使用上一次均衡程序结束时商定的系数

. 如果该子状态是从[恢复均衡](#bookmark272)进入的，则在传输的TS1命令中， 设置，下游端口必须将前光标、光标和后光标系数字段设置为当前变送器设置，并且如果

[恢复。均衡](#bookmark273)是一个预设请求，它必须将发射机预设位设置为该请求的可接受预设。

. 建议在该子状态下，在所发送的TS 1有序集中，所有的点集 将前光标、光标和后光标系数字段设置为当前变送器设置，

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

并将发送器预设位设置为发送器设置所设置的最新预设。

. 在所有配置通道上接收八个具有以下特征的连续TS1有序集的上游端口必须转换为恢复。均衡

. 接收到的TS 1有序集中的链路和通道编号与每个通道上传输的TS 1有序集中的链路和通道编号匹配

. speed\_change位等于0b。 EC位不等于00b

执行说明

重做均衡

下游端口可以使用此规定来重做

使用软件帮助或一些其他的

实施特定的手段，同时确保没有交易在链路上进行，以避免任何超时。



. 下游端口的下一个状态是[Recovery.Equalization](#bookmark274)if[Recovery.RcvrLock](#bookmark261)

不是从[Configuration.Idle](#bookmark244)或[Re细化.Idle](#bookmark275)和Perform中输入

链路控制3寄存器中的均衡位已设置或特定于实现

需要执行机制确定的均衡，

第4.2.3节中描述的程序。港口必须确保不超过[2个](#bookmark276)

EC=00b的TS1有序集由于处于恢复中[而被传输。RcvrLock](#bookmark261)

在开始传输所需的TS 1有序集之前，

[恢复。平等。](#bookmark277)

·发射机在所有配置的通道上使用相同的链路和通道号发送TS1有序集，

离开配置后设置。speed\_change位（TS1中的数据速率标识符符号的位7， 如果[direct\_speed\_change](#bookmark171)变量设置为1b，则必须设置为1b。 如果任何配置通道接收到8个连续的TS 1有序集，且speed\_change位设置为1b，则directed\_speed\_change变量设置为1b。只有那些大于2.5 GT/s的数据速率才应该被通告，并且可以得到可靠的支持。传输的TS 1有序集中的N\_FTS值反映了当前操作速度下的数字。了一种设备

允许改变当它进入这个子状态时所支持的数据速率。

当支持均衡旁路到最高数据速率时，如果下游端口打算在数据速率从2.5GT/s或5.0GT/s更改为8.0 GT/s或32.0 GT/s的情况下重新进行均衡，则该下游端口必须：

◦ 发送EQTS 1命令集，将speed\_change位设置为1频段，通告以下数据速率：

. 8.0 GT/s数据速率标识符（如果重做均衡针对8.0 GT/s数据速率） . 32.0 GT/s数据速率标识符（如果重做均衡是针对32.0 GT/s数据速率）

◦ 如果均衡重做尝试由硬件发起，如图4.2.3所述，则硬件必须确保在发起尝试之前数据速率为2.5 GT/s或5.0GT/s。

◦ 如果均衡重做尝试由第4.2.3节所述的软件机制启动，则软件必须确保在启动尝试之前数据速率为2.5 GT/s或5.0 GT/s。

数据速率从8.0GT/s更改为16.0GT/s或从16.0 GT/s更改为32.0 GT/s时，打算重新进行均衡的下游端口

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 发送具有设置为1b的均衡重做位、设置为1b的speed\_change位的TS 1有序集，并通告将执行均衡重做的数据速率标识符（16.0 GT/s或

32.0 GT/s）。

. 如果均衡重做尝试由第4.2.3节中所述的硬件发起，则硬件必须确保在发起重做尝试之前数据速率如下 均衡：

▪ 8.0 GT/s（如果均衡重做针对16.0GT/s数据速率）

▪ 16.0 GT/s（如果均衡重做针对32.0 GT/s数据速率）

. 如果均衡重做尝试由第4.2.3节中描述的软件机制发起，则软件必须确保在发起重做尝试之前数据速率如下

均衡：

▪ 8.0 GT/s（如果均衡重做针对16.0GT/s数据速率）

▪ 16.0 GT/s（如果均衡重做针对32.0 GT/s数据速率）

上游端口必须在其传输的TS2有序集中通告最高数据速率

[恢复.RcvrCfg](#bookmark278)，并且可选地在它在该子状态中发送的TS1有序集合中，除非上行

端口已确定，如果八个端口未被激活，则与最高数据速率均衡无关的问题阻止其以请求执行均衡的最高数据速率可靠地操作。

它接收的连续有序集是以下之一

. EQTS1或EQTS2有序设置，speed\_change位设置为1b

. 均衡Redobit设置为1b的TS 1有序集或128 b/130 bEQTS 2有序集，speed\_change位设置为1b。

在其他条件下，设备不得在此子状态下更改支持的数据速率值，

而处于[Recovery.RcvrCfg](#bookmark279)或[Recovery.Equalization](#bookmark280)子状态。进入此子状态后，**successful\_speed\_negotiation**变量重置为0b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

处理认证8.0 GT/s数据速率标识符

如果未通告8.0 GT/s数据速率标识符的上游端口接收具有8.0 GT/s数据速率的EQTS

标识符，并在[Recovery.RcvrLock](#bookmark261)中设置了speed\_change位，指示下游端口

尝试将链路速度切换到8.0 GT/s，以便执行8.0 GT/s链路均衡程序。如果由于某种原因，上游端口不能或不愿意切换到在TS 2有序集合中通告8.0 GT/s数据速率标识符，则一旦它转换到[恢复.RcvrCfg](#bookmark281)，它就发送，8.0 GT/s链路均衡过程将不在恢复中的当前任期内执行。这可能会导致下游端口永久

放弃将链路速度改变为8.0 GT/s的尝试，并执行8.0GT/s链路均衡过程，导致工作链路速度小于8.0 GT/s，直到链路通过[检测](#bookmark164)转换之后， 重新训练。建议如果上游港口由于某种临时原因不能或不愿

转做广告8.0 GT/s数据速率标识符，并且不打算

禁止链路以8.0 GT/s的速度运行，并在合理的情况下尽快执行以下两项操作之一：

· 如果上游端口支持用于执行链路均衡过程的静默保证机制，则进入[恢复](#bookmark258)并在其发送的TS中通告8.0 GT/s数据速率标识符，其中speed\_change位设置为1b。如果在将速度更改为8.0 GT/s之后，在以8.0 GT/s进入[Recovery.RcvrCfg](#bookmark283)之前，未进入重新加工.均衡（下游端口未指示进入

[恢复.均衡](#bookmark284)），它应该在[恢复.RcvrCfg](#bookmark285)中以8.0 GT/s发送的TS 2有序集中将请求均衡和静默保证位设置为1b，以便请求下游端口

启动链路均衡过程。

· 进入[Recovery](#bookmark258)并通告8.0 GT/s Data Rate Identifiers（数据速率标识符），同时将speed\_change位清0 b。然后，下游端口可以稍后发起速度改变到8.0 GT/s并执行链路E均衡 程序，但不能保证它会这样做。

处理通告16.0 GT/s（或32.0 GT/s）数据速率标识符的请求的过程类似于8.0GT/s 数据速率标识符，16.0 GT/s（或32.0 GT/s）数据速率I标识符替代8.0 GT/s数据速率标识符，128 b/130 bEQTS 2替代EQTS。



上游端口必须设置它发送到的TS 1有序集的可选择去加重位（符号4的

在5.0 GT/s下匹配所需的去加重水平。如果上游端口选择这样做，则它可以采用的请求去加重级别的机制是特定于实现的。还必须指出，由于上游港口的请求可能 如果由于TS 1有序集合中的比特错误而无法到达下游端口，则上游端口可以尝试重新请求 当请求速度改变时，在随后进入[恢复](#bookmark258)状态时的期望去加重水平。如果

下游端口打算使用上游端口的去加重信息在恢复.RcvrCfg，那么它必须记录在此状态下接收到的可选去加重位的值。

链路控制2寄存器的发送裕量字段在进入此子状态时采样，并在 在进入此子状态的192 ns内，发送封装引脚保持有效，直到在从[L0、](#bookmark287)[L0s](#bookmark288)或[L1进入此子状态的后续条目上采样新值。](#bookmark289)

·激活任何非活动通道后，发射机必须等待其TX共模稳定后，才能退出电气空闲并发送TS1顺序设置，但以下情况除外。

·退出L1.2L1 PMSubstate时，允许在L1.0期间被动建立共模，在Recovery期间主动建立共模。为了确保已在

[Recovery.RcvrLock，](#bookmark261)下游端口必须维护计时器，并且Downstream端口不得发送TS 2训练序列，直到自下游端口启动以来至少经过TCOMMONMode

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

发送TS 1训练序列，并且在配置的链路的任何通道上检测到电空闲退出。 参见www.example.com部分5.5.3.3。

· 实施必须注意，在早期位锁定和符号或块对齐后，电压电平可能会发生变化，因为新的发送裕量字段在另一端进入后192 ns内生效 [恢复。RcvrLock。](#bookmark261)接收器需要重新获取位锁定和符号或块对齐， 条件

a. 注：在L0或L1状态下，对于启动速度变化的一侧，[directed\_speed\_change](#bookmark171)变量设置为1b。对于未启动速度变化的一侧，如果 所接收的TS有序集具有速度改变位置位。在恢复速度子状态下，该位复位为0 b。

B. 在接收第一个TS有序集之前，设备必须接受从L0进入此子状态后接收的所有良好TLP和DLLP。如果使用128 b/130 b编码操作，则任何接收到的TTP和

DLLP受第4.2.2.3节中128 b/130 b编码的帧规则的约束。

·如果在所有配置的通道上接收到八个连续的TS1或TS2有序集，则下一状态是恢复.RcvrCfg，其中相同的链路和通道号与在相同通道上传输的内容相匹配，并且

speed\_change位等于[directed\_speed\_change](#bookmark171)变量，并且如果当前数据速率为8.0GT/s或更高，则在所有连续TS 1有序集中EC字段为00 b。

. 如果扩展同步位被置位，则发送器必须在转换到恢复之前发送至少1024个连续的TS1有序集[。](#bookmark295)

. 如果此子状态是从[恢复均衡](#bookmark296)输入的，则上游端口必须评估

由接收八个TS 1有序集的所有通道接收的均衡系数或预设，并注意它们是否与在均衡过程的阶段2中接受的最终系数或预设集不同。注意：通过设置TS2有序集的请求均衡位，在Recovery.RcvrCfg中报告不匹配。

·否则，在24 ms超时之后：

. 如果以下两个条件为真，则下一个状态为[Recovery.RcvrCfg](#bookmark298)

▪ 在任何配置通道上接收八个连续的TS1或TS2有序集， 与在同一通道上传输的内容匹配的相同链路和通道编号，且speed\_change位等于1b。

▪ 当前操作数据速率大于2.5GT/s;或者在所发送的TS 1和（八个连续的）所接收的TS 1或TS 2有序集两者中设置5.0GT/s或更大的数据速率标识符。

. 下一个状态是[恢复。](#bookmark299)如果运行速度没有改变，则为相互速度

自从[L0](#bookmark300)或[L1](#bookmark301)输入恢复以来协商的数据速率（即，[changed\_speed\_recovery](#bookmark236) =0 b），且当前运行速度大于2.5 GT/s。离开后要操作的新数据速率 [恢复速度](#bookmark302)将为2.5 GT/s注：这表示Link无法在 当前数据速率（大于2.5 GT/s），链路将以2.5GT/s的数据速率运行。

. 否则，下一个状态是[恢复](#bookmark303)速度，如果操作速度已经改变为相互

从L0或L1进入恢复后协商的数据速率[（changed\_speed\_recovery](#bookmark236)= 1b;即，的 弧到这个子状态已经从[恢复速度](#bookmark306)）。离开恢复后要运行的新数据速率[。速度](#bookmark307)将恢复到从[L0](#bookmark308)或[L1进入恢复时的速度。](#bookmark309)

注：这表示链路无法以新的协商数据速率运行，并将恢复到从L0或L1进入恢复时的旧数据速率[。](#bookmark311)

. 否则，下一个状态是[配置，](#bookmark204)并且如果正在接收TS 1或TS 2有序集的任何配置通道已经接收到至少一个TS 1或TS 2，则[directed\_speed\_change](#bookmark171)变量被重置为

具有与在那些相同的通道上传输的内容相匹配的链路和通道号的有序集，并且操作速度没有改变为相互协商的数据速率（即，

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[changed\_speed\_recovery](#bookmark236)= 0b），并且至少满足以下条件之一

. directed[\_speed\_change](#bookmark171)变量等于0，并且接收到的TS 1或TS 2 OrderedSet上的speed\_change位等于0b。

. 当前操作的数据速率是2.5 GT/s，并且2.5GT/s数据速率是在所发送的TS 1有序集和所接收的TS 1或TS 2之中最高的共同通告的 有序集。

◦ 否则，下一个状态为[检测。](#bookmark168)

执行说明

显示2.5 GT/s和5.0GT/s之间的变速算法的示例

假设链路连接两个具有大于5.0 GT/s能力的组件A和B。链路到达[L0](#bookmark312)

2.5 GT/s数据速率。组件A决定将速度改变为大于5.0GT/s，设置

[directed\_speed\_change](#bookmark171)变量为1band，从L0进入[Recovery.RcvrLock](#bookmark263)[。](#bookmark313)订购的组件AsendsTS1 将speed\_change位设置为1时，数据速率为2.5 GT/s、5.0 GT/s和8.0 GT/s。 组件B看到第一个TS1处于[L0](#bookmark314)状态，并进入[Recovery.RcvrLock](#bookmark263)状态。最初，组件B发送TS 1，

speed\_change设置为0b。组件B将在其从组件A接收到八个连续的TS 1有序集并将其可以支持的所有数据速率转换之后开始在其TS 1中发送speed\_change指示。

组件B将进入[Recovery.RcvrCfg](#bookmark315)，然后再进入[Recovery. Speed。](#bookmark316)成分A将等待

在移动到[Recovery.RcvrCfg](#bookmark317)并继续移动到[Recovery.Speed之前，从组件B设置了8个连续的具有speed\_change位的TS 1/TS 2](#bookmark318)。机器人h组件A和组件B进入[Recovery.Speed](#bookmark319)并记录8.0 GT/s，

最大的速度可以操作。在以下情况下，[directed\_speed\_change](#bookmark171)变量将重置为

[恢复。速度](#bookmark320)。 当他们从[Recovery.Speed进入Reparation.RcvrLock时](#bookmark321)，他们将以8.0 GT/s运行，并发送TS 1，其中speed\_change设置为0 b。如果双方在8.0 GT/s下工作良好，他们将继续[恢复。RcvrCfg](#bookmark322) 并在8.0 GT/s时通过Recovery.Idle进入L0。但是，如果组件B未能实现符号锁定，则它将

在[Recovery.RcvrLock中超时](#bookmark263)并进入[Recovery.Speed。](#bookmark325)A组份会转移到

[Recovery.RcvrCfg](#bookmark326)，但在组件B进入后，以8.0 GT/s的速度接收到TS 1后，将看到

[恢复。速度](#bookmark327)。 这将导致组件A移动到[Recovery.Speed](#bookmark328)。第二次进入[恢复](#bookmark329)速度后，双方将恢复到进入[恢复](#bookmark237)状态前的速度

(2.5 GT/s）。双方将在2.5 GT/s内从[恢复](#bookmark237)进入[L0](#bookmark330)组件A可以启动

[directed\_speed\_change](#bookmark171)变量，在其数据速率标识符中请求8.0 GT/s数据速率，

通过相同的步骤，未能建立8.0 GT/s的数据速率，并以2.5GT/s的数据速率返回到L0。然而，在第三次尝试时，组件A可以决定仅通告2.5GT/s和5.0GT/s的数据速率，并且成功地

以5.0 GT/s的数据速率建立链路，并以该速度输入L0。然而，如果任一侧进入[检测，](#bookmark168)则该侧应该通告其可以支持的所有数据速率，因为可能已经存在热插拔事件。



4.2.6.4.2恢复.均衡

如果从Recovery .RcvrLock进入此状态，则发射器使用离开配置后设置的相同链路和通道编号[在所有配置通道上发送TS1有序集。](#bookmark263)如果此状态是从[Loopback.Entry进入的，](#bookmark334)

发射机使用环回条目中定义的链路和通道号[在测试通道上发送TS1有序集。](#bookmark335) 如果此状态是从[环回](#bookmark336)输入进入的，则在恢复均衡期间，未被测试的通道必须被视为未配置[，](#bookmark280)并且不得包括在均衡过程中。不受测试的通道必须将其变送器预设值设置为P4。未被测试的通道的唯一目的是创建Loopback中所需的噪声[。Active。](#bookmark337)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.2.6.4.2.1下游线路

进入该子状态时

·当前阶段为第1阶段

. 如果操作的数据速率为8.0GT/s：

均衡8.0 GT/s阶段1成功，均衡8.0 GT/s阶段2成功，均衡8.0 GT/s阶段3成功，链路均衡请求8.0 GT/s，以及

链路状态2寄存器的完成位和链路控制3寄存器的执行均衡位均设置为0b

将[equalization\_done\_8GT\_data\_rate](#bookmark173)变量设置为1b。如果操作数据速率为16.0GT/s：

均衡16.0 GT/s阶段1成功，均衡16.0 GT/s阶段2成功，均衡16.0 GT/s阶段3成功，链路均衡请求16.0 GT/s，以及

均衡16.0 GT/s16.0 GT/s状态寄存器的完成位和链路控制3寄存器的执行均衡位均设为0 b

将[equalization\_done\_16GT\_data\_rate](#bookmark173)变量设置为1b。如果操作数据速率为32.0GT/s：

均衡32.0 GT/s阶段1成功，均衡32.0 GT/s阶段2成功，均衡32.0 GT/s阶段3成功，链路均衡请求32.0 GT/s，以及

均衡32.0 GT/s32.0 GT/s状态寄存器的完成位和链路C控制3寄存器的执行均衡位均设置为0 b

将[equalization\_done\_32GT\_data\_rate](#bookmark173)变量设置为1b

·[start\_equalization\_w\_preset](#bookmark338)变量设置为0b

4.2.6.4.2.1.1发射机均衡

·发射机使用发射机预设设置发送TS 1有序集，用于当前操作数据速率。在TS 1有序集合中，EC字段被设置为01b，每个通道的发送器预设位被设置为其对应于当前数据速率、FS、LF和后标的发送器预设设置的值

系数字段被设置为与通道的发送器预设位相对应的值。每个配置通道的变送器预设设置必须选择如下：

1. 如果[Recovery.Equalization](#bookmark296)是从[Loopback.Entry](#bookmark339)输入的

▪ 如果EQTS 1有序集将设备从[配置.链路宽度.开始](#bookmark28)定向到

[环回。输入时](#bookmark340)，EQ TS 1有序集的预设字段中指定的发射机预设值必须由受测通道使用。

▪ 如果标准TS1订购集指示设备从[配置。链路宽度。开始](#bookmark28)到

[输入时，](#bookmark341)必须使用特定于实现的方法来选择要使用的受支持的发送器预设值。

2. 否则，如果在最近的恢复转换中接收到8个连续的128 b/130 bEQTS 2有序集，且支持发射机预设值，则 运行速度为16.0 GT/s或更高时，128 b/130 bEQTS 2中要求的变送器预设值

必须使用有序集

3. 否则，如果接收到8个连续的EQTS2有序集，且支持发射器预设

最近通过[Recovery.RcvrCfg](#bookmark343)转换中的值，当前操作数据速率

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

32.0 GT/s，并且正在执行到32.0 GT/s的均衡旁路，则必须使用EQ TS 2有序设置中要求的发送器预设值。

4. 否则，如果通道均衡控制寄存器条目的下游端口8.0 GT/s发送器预设字段指定的发送器预设设置（以8.0 GT/s数据速率运行）或

16.0 GT/s通道均衡控制的下游端口16.0 GT/s变送器预设字段

寄存器项（用于在16.0 GT/s数据速率下运行）或32.0GT/s通道均衡控制寄存器项的下游端口32.0 GT/s发送器预设字段（用于在32.0GT/s下运行 数据速率）是受支持的值，而不是保留值，则必须使用该值。

5. 否则，使用特定于实现的方法来选择支持的发射机预设设置。

·如果下游端口需要时间来稳定其接收器逻辑，则允许下游端口在进入阶段1之后在评估用于TS 1有序集的接收信息之前等待长达500 ns。

· 下一个阶段是阶段2，如果所有配置的通道接收到两个连续的TS 1有序集，EC= 01，则下游端口希望执行阶段2和阶段3。

. 接收器必须完成其位锁定过程，然后在接收器引脚上接收到第一个有效有序集的第一位后2 ms内识别有序集。

. 如果数据速率为8.0 GT/s，则链路状态2寄存器的均衡8.0GT/s阶段1成功位设为1b。

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的均衡16.0 GT/s阶段1成功位设为1b。

. 如果数据速率为32.0 GT/s且[perform\_equalization\_for\_decoder](#bookmark344)为0 b，则32.0 GT/s状态寄存器的均衡32.0 GT/s第1阶段成功位设为1b。

. 如果下游端口想要调整上游端口的发射器系数，则必须存储在两个连续的TS 1有序集合中接收的LF和FS值以供在阶段3期间使用。

· 下一个状态是[Recovery.RcvrLock，](#bookmark261)如果所有配置的通道接收到两个连续的TS 1有序集，EC=01b，[perform\_equalization\_for\_values](#bookmark345)为0，则下游端口不想执行阶段2，

第三阶段

. 如果数据速率为8.0 GT/s，则均衡8.0GT/s阶段1成功、均衡8.0GT/s阶段2成功、均衡8.0 GT/s阶段3成功和均衡8.0 GT/s完成位的 链路状态2寄存器设置为1b。

. 如果数据速率为16.0 GT/s，则均衡16.0 GT/s阶段1成功，均衡16.0GT/s

16.0GT/s状态寄存器的第2阶段成功、均衡16.0 GT/s第3阶段成功和E均衡16.0 GT/s完成位设置为1b。

. 如果数据速率为32.0 GT/s，则均衡32.0 GT/s阶段1成功，均衡32.0GT/s

32.0 GT/s状态寄存器的第2阶段成功、均衡32.0 GT/s第3阶段成功和均衡32.0 GT/s完成位设置为1b。

. 注意：在下游端口根据平台和通道确定不需要阶段2和阶段3的情况下，可能会使用到[Recovery.RcvrLock](#bookmark261)的转换

特色

·下一个状态是[环回。](#bookmark346)如果[perform\_equalization\_for\_equalization](#bookmark347)是1band，则满足以下条件之一的

a. 被测通道接收两个连续的TS 1有序集，EC= 01，下游端口不想执行阶段2和阶段3。

B. 24 ms超时。

·否则，如果[perform\_equalization\_for\_parameters](#bookmark349)为0b，则下一状态为Reparabely.Speed。.successful\_speed\_negotiation设置为0b

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 如果数据速率为8.0 GT/s，则链路状态2寄存器的均衡8.0 GT/s完成位设为1b。

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的均衡16.0 GT/sC完成位设为1b。

. 如果数据速率为32.0 GT/s，则32.0 GT/s状态寄存器的均衡32.0 GT/s完成位设为1b。

4.2.6.4.2.1.2发射机均衡

·发射机发送具有EC= 10带的TS 1有序集，系数设置在每个通道上独立地设置，如下所示：

. 如果自从进入阶段2以来已经接收到EC=10b的两个连续的TS 1有序集，或者EC= 10的两个连续的TS 1有序集具有不同于EC=10b的最后两个连续的TS1有序集的预设或系数集合（如使用预设位所指定的

▪ 如果在最近两个连续的TS1有序集合中请求的预置或系数是合法的且受支持（参见第4.2.3节）：

▪ 将变送器设置更改为所需的预设值或系数，以便新设置在变送器引脚上在500 ns内生效，

在接收器引脚处接收到请求新设置的第二个TS1有序设置的结束。变送器设置的更改不得导致任何非法

发送器引脚的电压电平或参数超过1ns。

▪ 在传输的TS 1有序集中，传输器预设位被设置为 请求的预设（对于预设请求）、前光标、光标和后光标 系数字段设置为变送器设置（用于预设或系数请求），并且“校验系数值”位为“校验”。

▪ 否则（请求的预设值或系数非法或不受支持）：请勿更改使用的变送器设置，但应在

发送的TS 1有序集，并将“TS 1系数值”位设置为1b。.否则：发送器当前使用的预设值和系数。

· 如果所有配置的通道接收到EC=11b的两个连续TS1有序集，则下一阶段是阶段3。

. 如果数据速率为8.0 GT/s，则链路状态2寄存器的均衡8.0GT/s阶段2成功位设为1b。

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的16.0 GT/s阶段2成功验证位设为1b。

. 如果数据速率为32.0 GT/s且[perform\_equalization\_for\_decoder](#bookmark350)为0 b，则32.0 GT/s状态寄存器的均衡32.0 GT/s第2阶段成功位设为1b。

· 如果[perform\_equalization\_for\_loopback为1b，则](#bookmark351)在32 ms超时后进入，公差为-0 ms和+4 ms。

· 否则，下一个状态是[恢复](#bookmark353)。32 ms超时后的速度，公差为-0ms和+4 ms。successful\_speed\_negotiation被设置为0b。

. 如果数据速率为8.0 GT/s，则链路状态2寄存器的均衡8.0 GT/s完成位设为1b。

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的均衡16.0 GT/s完成位设为1b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 如果数据速率为32.0 GT/s，则32.0 GT/s状态寄存器的均衡32.0 GT/s完成位设为1b。

4.2.6.4.2.1.3发射机均衡

·发送器发送EC= 11b的TS1有序集

·端口必须在每个通道上独立评估并达到最佳设置当

[如果perform\_equalization\_for\_bandwidth](#bookmark354)为1b，则仅在以下情况下对通道执行均衡过程

test. 根据第4.2.3节和第8章中的规则，评估合法的新预设或系数设置：

. 通过将变送器预设位设置为所需值并将使用预设位设置为1b，请求新的预设。或者，通过设置前光标、光标和

光标后系数字段设置为所需值，并将使用预设位设置为0b。一旦发出请求，必须连续请求至少1 μs，或者直到请求的评估完成。

完成，以较晚者为准。

. 等待所需的时间（500 ns加上往返延迟，包括到

下游端口），以确保上游端口（如果接受）使用请求的设置进行传输。获取块对齐，然后评估传入的有序集。注：本

下游端口可能会简单地忽略它在此等待期间接收到的任何内容，因为在过渡到所请求的设置期间，传入的比特流可能是非法的。因此，需要在此等待期后验证块对齐。如果块对齐在

实现特定的时间量（除了上面指定的所需等待周期之外），建议继续对输入比特流QaddleSS执行接收机评估。

. 如果接收到两个连续的TS1有序集，且发送器预设位（对于预设

请求）或前光标、光标和后光标字段（对于系数请求）与所请求的相同，并且“清除系数值”位为“清除”，则所请求的设置被接受，并且根据接收器评估的结果，可以被视为候选最终设置。

. 如果接收到两个连续的TS1有序集，且发送器预设位（对于预设

请求）或前光标、光标和后光标字段（对于系数请求）与所请求的相同，并且“设置”系数值位，则请求的设置被拒绝 并且不得被视为候选最终设置。

. 如果在接收器评估开始后的特定时间量之后，

如果接收到具有与所请求的相同的发射机预设位（对于预设请求）或前光标、光标和后光标字段（对于系数请求）的连续TS 1，则 所请求的设置不得被视为候选的最终设置。

. 下游端口负责根据其评估标准和要求设置其传输的TS 1有序集中的复位EIEOS间隔计数位。的使用预设位

不能使用接收的TS1有序集来确定是接受还是拒绝请求。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

重置EIEOS和系数/预设请求

当端口想要更长的PRBS模式时，它可以将重置EIEOS间隔计数设置为1b，并且随后当它需要获得块对齐时将其清除。

在此阶段中传输的所有TS 1有序集都是请求。第一请求可以是新的预置或新的系数请求或维护当前链路伙伴的请求

通过反映在导致过渡到阶段3的具有EC=11b的两个连续TS 1有序集合中接收的设置来调整发射机设置。



. 每个预设或系数请求从请求传输到评估完成的总时间必须小于2 ms。

在优化的最后阶段的评估时间可以继续请求相同的预置，或者

系数设置超过2 ms限值，但必须遵守本阶段的24 ms时间

这种例外不得超过两次。如果请求者不能在超时时间段内接收有序集，则可以假定所请求的设置在该通道中不起作用。

. 所有新的预设或系数设置必须同时出现在所有配置的车道上。 任何给定的通道被允许继续传输当前的预设值或系数作为其新值，如果它不想改变当时的设置。

·下一个状态是[Loopback。](#bookmark355)如果操作的数据速率是32.0 GT/s，则输入[perform\_equalization\_for\_bandwidth](#bookmark356)是1b并且满足以下条件之一

a. 被测通道在其最佳设置下操作，并且所有通道接收到两个连续的TS 1有序集，其中接收到重定时器均衡扩展结束位设置为0b。

B. 24 ms超时，容差为-0 ms和+2 ms。

·下一个状态是[Recovery.RcvrLock，](#bookmark261)如果[perform\_equalization\_for\_error](#bookmark357)为0 b，则所有配置的通道都以其最佳设置操作，并且操作的数据速率为8.0GT/s，或者所有通道接收两个连续的TS 1有序集，其中重定时器同步扩展位被设置为0 b。

. 如果工作数据速率为8.0 GT/s：链路状态2寄存器的均衡8.0GT/s阶段3成功和均衡8.0 GT/s完成位设为1b。

. 如果工作数据速率为16.0 GT/s：16.0 GT/s状态寄存器的均衡16.0GT/s第3阶段成功和均衡16.0 GT/s完成位设为1b。

. 如果操作数据速率为32.0 GT/s：均衡32.0GT/s第3阶段成功，并且

均衡32.0 GT/s32.0 GT/s状态寄存器的完整位设置为1b。

· 否则，下一个状态为[恢复。](#bookmark358)24 ms超时后的速度，公差为-0 ms和+2 ms

. successful\_speed\_negotiation设置为0b

. 如果操作的数据速率为8.0 GT/s：链路状态2的均衡8.0GT/s完成位

寄存器设置为1b。

. 如果操作的数据速率为16.0 GT/s：16.0GT/s的均衡16.0GT/s完成位

状态寄存器设置为1b。

. 如果操作的数据速率为32.0 GT/s：32.0GT/s的均衡32.0 GT/s完成位

状态寄存器设置为1b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.2.6.4.2.2上游车道

进入该子状态时

·当前阶段为阶段0

. 如果操作的数据速率为8.0GT/s：

均衡8.0 GT/s阶段1成功，均衡8.0 GT/s阶段2成功，均衡8.0 GT/s阶段3成功，链路均衡请求8.0 GT/s，以及

均衡8.0 GT/s链路状态2寄存器的完整位均设置为0 b

将[equalization\_done\_8GT\_data\_rate](#bookmark173)变量设置为1b。如果操作数据速率为16.0GT/s：

均衡16.0 GT/s阶段1成功，均衡16.0 GT/s阶段2成功，均衡16.0 GT/s阶段3成功，链路均衡请求16.0 GT/s，以及

均衡16.0 GT/s16.0GT/s状态寄存器的完整位均设置为0 b

将[equalization\_done\_16GT\_data\_rate](#bookmark173)变量设置为1b。如果操作数据速率为32.0GT/s：

均衡32.0 GT/s阶段1成功，均衡32.0 GT/s阶段2成功，均衡32.0 GT/s阶段3成功，链路均衡请求32.0 GT/s，以及

均衡32.0 GT/s32.0 GT/s状态寄存器的完整位均设置为0 b

将[equalization\_done\_32GT\_data\_rate](#bookmark173)变量设置为1b

·[start\_equalization\_w\_preset](#bookmark359)变量设置为0b。

4.2.6.4.2.2.1发射机均衡

·如果从[环回](#bookmark360)输入进入[恢复均衡](#bookmark296)，则发射机发送带有EC的TS1有序集

字段设置为00b，通道的发送器预设位设置为正在使用的

系数、光标系数和后光标系数字段设置为与变送器预设位对应的值。必须按以下方式选择待测通道的变送器预设设置

. 如果EQTS 1有序集将设备从[配置.链路宽度.开始引导](#bookmark28)到[环回.输入，](#bookmark361)则必须使用EQ TS 1有序集的预设字段中指定的发送器预设值。

. 如果标准TS1订购集将设备从[配置.链路宽度.](#bookmark28)开始

[Loopback.Entry，](#bookmark362)必须使用特定于实现的方法来选择要使用的受支持的发射机预设值。

· 如果当前操作数据速率为8.0 GT/s，则发射机使用发射机发送TS 1有序集

在最近从2.5GT/s或5.0GT/s数据速率转换到8.0 GT/s数据速率期间，EQ TS 2有序集中接收到的发射机预设位指定的设置。

如果当前操作数据速率为16.0 GT/s，则变送器使用16.0 GT/s发送TS 1有序集

在最近从8.0 GT/s数据速率转换到16.0GT/s数据速率期间，由128 b/130 bEQ TS 2有序集接收的发射机预设位指定的发射机设置。

如果当前操作数据速率为32.0GT/s，且[perform\_equalization\_for\_transmitter](#bookmark363)为0 b，

使用32.0 GT/s变送器设置由变送器预设位

在最近转换到32.0 GT/s数据速率（EQ）期间，在适当的TS 2有序集合 TS 2（如果均衡旁路被协商），128 b/130 bEQTS 2有序集（如果最近到32.0 GT/s数据速率的转换是从16.0GT/s数据速率开始）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

接收保留或不支持的发射机预设值的车道必须使用特定于实施的方法来选择支持的发射机预设。接收到的发送器预设位的任何参考 EQTS 2有序集或16.0 GT/s或更高数据速率128 b/130 bEQTS 2有序集（取决于数据速率）中的发送器预设位，用于恢复的剩余部分[。均衡](#bookmark296)状态参考上述确定的SNR。在TS 1有序集中，EC字段被设置为00 b，每个通道的发送器预设位被设置为它在EQTS 2有序集的发送器预设位或128 b/130 bEQ TS 2有序集的16.0 GT/s或更高数据速率发送器预设位中接收的值，并且前曲线系数、光标系数、 和后光标系数字段被设置为对应于发射机预设位的值。

. 在EQTS 2有序设置中接收预留或不支持的发射机预设的通道，或

128 b/130 bEQTS 2有序集（取决于数据速率）：在TS 1有序集中，

发送器预设位被设置为接收到的发送器预设，“系数值”位被设置，“系数”字段被设置为与特定于实现的

发射机预设由通道选择。70

. 未接收EQTS 2有序集或12个8b/130 bEQTS 2有序集的通道（取决于

数据速率）：在TS 1命令集中，发送器预设位设置为特定于实现的

由通道选择的变送器预设，R弹出系数值位为清除，

系数字段被设置为与同一特定于实现的变送器对应的值

预设由通道选择，并在发送器预设位中注明。[71](#bookmark364)

·在评估接收器之前，允许上游端口在进入阶段0之后等待多达500 ns

如果它需要时间来稳定它的接收器逻辑，则它可以提供TS1有序集的信息。

· 如果所有配置的通道接收到EC=01b的两个可召唤TS 1有序集，则下一阶段是阶段1。

. 接收器必须完成其位锁定过程，然后在其接收器引脚上接收到第一个有效有序集的第一位后2 ms内识别有序集。

. 如果上游端口想要调整下游端口的发射器系数，则必须存储在两个连续的TS 1有序集合中接收的LF和FS值以供在阶段2期间使用。

·下一状态是[环回。](#bookmark365)如果[perform\_equalization\_for\_l oopback](#bookmark366)是lb，则在12 ms超时之后进入。

· 否则，下一个状态是[恢复。](#bookmark367)12 ms超时后的速度。.successful\_speed\_negotiation设置为0b

. 如果数据速率为8.0 GT/s，则链路状态2寄存器的均衡8.0 GT/s完成位设为1b。

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的均衡16.0 GT/sC完成位设为1b。

. 如果数据速率为32.0 GT/s，则32.0 GT/s状态寄存器的均衡32.0 GT/s完成位设为1b。

发射机均衡的第一阶段

·发射机使用在阶段0中确定的发射机设置发送TS1有序集。在TS 1有序集合中，EC字段被设置为01b，并且每个通道的FS、LF和后光标系数字段被设置为与通道的当前发射机设置相对应的值。

· 如果所有配置的通道接收到EC=10b的两个连续的TS 1有序集，则下一阶段是阶段2。如果数据速率为8.0 GT/s，则链路状态2的均衡8.0GT/s阶段1成功位

寄存器设置为1B。



70. 本规范的早期版本允许在这种情况下清除“系数值”位。这是不推荐的，但允许的。

71. 本规范的早期版本允许未定义变送器预设位，并在这种情况下清除变送器系数值位。不建议这样做，但允许这样做

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的均衡16.0 GT/s阶段1成功位设为1b。

. 如果数据速率为32.0 GT/s且[perform\_equalization\_for\_decoder](#bookmark368)为0 b，则32.0 GT/s状态寄存器的均衡32.0 GT/s第1阶段成功位设为1b。

·下一个状态是[环回。](#bookmark369)如果[perform\_equalization\_for\_equalization](#bookmark370)是1band，则满足以下条件之一的

a. 测试通道接收八个连续的TS 1有序集，EC=00b。

B. 12 ms超时。

· 如果所有配置的通道接收到EC=00b的八个连续TS1有序集并且[perform\_equalization\_f或\_parallel](#bookmark371)为0b，则下一状态为Recovery.RcvrLock。

. 如果数据速率为8.0 GT/s，则链路状态2寄存器的均衡8.0GT/s第1阶段成功和均衡8.0GT/s完成位设为1b

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的均衡16.0 GT/s相位1成功和均衡16.0GT/s完成位设为1b。

. 如果数据速率为32.0 GT/s，则32.0 GT/s状态寄存器的均衡32.0 GT/s第1阶段成功和均衡32.0GT/s完成位设为1b。

·否则，如果[perform\_equalization\_for\_decoder](#bookmark373)为0b，则下一状态为12 ms超时后的恢复速度。successful\_speed\_negotiation设置为0b

. 如果数据速率为8.0 GT/s，则当前工作数据速率的链路状态2寄存器的均衡8.0 GT/s完成位设为1b。

. 如果数据速率为16.0 GT/s，则16.0GT/s状态寄存器的均衡1 6.0 GT/s完成位设为1b。

. 如果数据速率为32.0 GT/s，则32.0 GT/s状态寄存器的均衡32.0 GT/s完成位设为1b。

4.2.6.4.2.2.3发射机均衡

·发送器发送EC= 10b的TS1有序集

·端口必须在每个通道上独立评估并达到最佳设置当

[如果perform\_equalization\_for\_bandwidth](#bookmark374)为1b，则仅在以下情况下对通道执行均衡过程

test. 根据第4.2.3节和第8章中的规则，评估合法的新预设或系数设置：

. 通过将变送器预设位设置为所需值并将使用

预设位为1b。或者，通过将Pre-cursor、Cursor和Post-cursorCoefficient字段设置为所需值并将Use Preset位设置为0 b，请求一组新的系数。一旦提出请求，

必须连续请求至少1 μs或直到请求评估完成，以较晚者为准。

. 等待所需的时间（500 ns加上往返延迟，包括到

上游端口），以确保下游端口（如果接受）使用请求的设置进行传输。获得块对齐，然后评估传入的有序集。注意：上游端口可以简单地忽略它在等待期间接收到的任何输入比特流

在转换到所需设置期间可能是非法的。因此需要验证

在此等待期后阻止如果块对齐在

实现特定的时间量（除了上面指定的所需等待周期之外），建议继续对输入比特流QaddleSS执行接收机评估。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 如果接收到两个连续的TS1有序集，且发送器预设位（对于预设

请求）或前光标、光标和后光标字段（对于系数请求）与所请求的相同，并且拒绝系数值位为清除，则请求的设置为

接受，并且根据接收器评估的结果，可以被认为是候选最终设置。

. 如果接收到两个连续的TS1有序集，且发送器预设位（对于预设

请求）或前光标、光标和后光标字段（对于系数请求）与所请求的相同，并且“设置系数值"位被设置，则所请求的设置被拒绝，并且不得被视为候选最终设置。

. 如果在接收器评估开始后的特定时间量之后，

如果接收到具有与所请求的相同的发射机预设位（对于预设请求）或前光标、光标和后光标字段（对于系数请求）的连续TS 1，则 所请求的设置不得被视为候选的最终设置。

. 上游端口负责根据其评估标准和要求设置其传输的TS 1有序集中的重置EIEOS间隔计数位。的使用预设位

不能使用接收的TS1有序集来确定是接受还是拒绝请求。

执行说明

重置EIEOS和系数/预设请求

当端口想要更长的PRBS模式时，它可以将重置EIEOS间隔计数设置为1b，并且随后当它需要获得块对齐时将其清除。

在此阶段中传输的所有TS 1有序集都是请求。第一请求可以是新的预置或新的系数请求或维护当前链路伙伴的请求

通过反映在导致过渡到阶段2的具有EC=10b的两个连续TS 1有序集合中接收的设置来调整发射机设置。



. 每个预设或系数请求从请求传输到评估完成的总时间必须小于2 ms。

在优化的最后阶段，评估时间可以继续请求超过2 ms限制的相同设置，但在此阶段必须遵守24 ms超时，并且不得超过两次采用此例外。如果请求者不能在超时时段内接收有序集合，则其可以假定所请求的设置在该通道中不起作用。

. 所有新的预设或系数设置必须同时出现在所有配置的车道上。 任何给定的通道被允许继续传输当前的预设值或系数作为其新值，如果它不想改变当时的设置。

·如果[perform\_equalization\_for\_bands](#bookmark375)是1band，则测试中的通道在其最佳设置下操作，并且接收到重定时器均衡扩展位设置为0b的两个连续的TS 1有序集

第三阶段

·如果[perform\_equalization\_for\_bands](#bookmark376)为0，则所有配置的通道都以其最佳设置 并且或者操作的数据速率是8.0 GT/s，或者所有通道接收两个连续的TS 1有序集，其中重定时器均衡扩展位被设置为0 b，则下一阶段是阶段3

. 如果操作的数据速率为8。0 GT/s：链路状态2寄存器的均衡8.0GT/s第2阶段成功位设置为1b。

. 如果工作数据速率为16.0 GT/s：16.0 GT/s状态寄存器的均衡16.0GT/s第2阶段成功位设为1b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 如果工作数据速率为32.0 GT/s：32.0 GT/s状态寄存器的均衡32.0GT/s第2阶段成功位设为1b。

· 下一个状态是[Loopback。如果perform\_equalization\_for\_loopback为1b，则在24 ms](#bookmark377)的超时之后进入，公差为-0 ms和+2 ms。

· 否则，下一个状态是[恢复。24 ms超时后的速度](#bookmark379)，公差为-0ms和+2 ms。successful\_speed\_negotiation设置为0b

. 如果工作数据速率为8.0GT/s：链路状态2寄存器的均衡8.0GT/s完成位设为1b。

. 如果工作数据速率为16.0 GT/s：16.0 GT/s状态寄存器的均衡16.0GT/s完成位设为1b。

. 如果工作数据速率为32.0 GT/s：32.0GT/s状态寄存器的均衡32.0 GT/s完成位设为1b

发射机均衡的第三阶段

·发射机发送具有EC= 11的TS 1有序集，系数设置在每个连续通道上独立设置，如下所示：

. 如果自从进入阶段3以来已经接收到EC=11b的两个连续的TS 1有序集，或者EC= 11的两个连续的TS 1有序集具有不同于EC=11b的最后两个连续的TS1有序集的预设或系数集合（如使用预设位所指定的

▪ 如果在最近两个连续TS有序集合中请求的预设或系数是合法的且受支持的（参见第4.2.3节和第8章）：

▪ 将变送器设置更改为所需的预设值或系数，以便新设置在变送器引脚上在500 ns内生效，

在接收器引脚处接收到请求新设置的第二个TS1有序设置的结束。变送器设置的更改不得导致任何非法

发送器引脚的电压电平或参数超过1ns。

▪ 在所发送的TS 1有序集中，编码器预设位被设置为 请求的预设（对于预设请求）、前光标、光标和后光标 系数字段设置为变送器设置（用于预设或系数请求），并且“校验系数值”位为“校验”。

▪ 否则（请求的预设值或系数非法或不受支持）：请勿更改所用的变送器设置，但应在 发送的TS 1有序集，并将“TS 1系数值”位设置为1b。

. 否则：发送器当前使用

在进入阶段3时最初发送的变送器预设值可以是

对于相同的数据速率或发射机当前正在使用的发射机预设设置，在第0阶段传输的发射机预设值。

·下一个状态是[环回。](#bookmark380)如果[perform\_equalization\_for\_equalization](#bookmark381)是1band，则满足以下条件之一的

a. 测试通道接收两个连续的TS 1有序集，EC= 00b。

B. 超时为32 ms，容差为-0 ms和+4 ms。

·如果所有配置的通道接收到EC=00b的两个连续的TS1有序集，则下一状态是[Recovery.RcvrLock](#bookmark261)

. 如果数据速率为8.0 GT/s，则链路状态2寄存器的均衡8.0GT/s阶段3成功和均衡8.0GT/s完成位设置为1b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的均衡16.0 GT/s阶段3成功和均衡16.0GT/s完成位设为1b。

. 如果数据速率为32.0 GT/s，则32.0 GT/s状态寄存器的均衡32.0 GT/s第3阶段成功和均衡32.0GT/s完成位设为1b。

· 否则，下一个状态是[恢复。](#bookmark382)超时32 ms后的速度，公差为-0 ms和+4 ms。successful\_speed\_negotiation设置为0b

. 如果数据速率为8.0 GT/s，则链路状态2寄存器的均衡8.0 GT/s完成位设为1b。

. 如果数据速率为16.0 GT/s，则16.0 GT/s状态寄存器的均衡16.0 GT/sC完成位设为1b。

. 如果数据速率为32.0 GT/s，则32.0 GT/s状态寄存器的均衡32.0 GT/s完成位设为1b。

4.2.6.4.3恢复速度

·发射机进入电空闲并停留在那里，直到接收机通道已经进入电空闲，然后在成功的速度协商时另外保持在那里至少800 ns（即，

successful\_speed\_negotiation= 1b）或在不成功的速度协商上至少6 μs（即，

successful\_speed\_negotiation = 0b），但停留在那里的时间不超过额外的1 ms。的频率

只有在接收机通道已经进入电空闲之后，才允许将操作改变为新的数据速率。如果协商的数据速率为5.0 GT/s，并且在全摆幅模式下工作，则必须选择-6dB去加重电平进行工作，如果[select\_deemphas](#bookmark172)变量为0波段，则必须选择-3.5dB去加重电平 如果[select\_deemphasize](#bookmark172)变量为1b，则用于操作。请注意，如果链路已经以最高

两个端口都支持的数据速率，执行[Recovery.Speed](#bookmark382)，但不更改数据速率。

进入Electrica l Idle之前必须发送EIOSQ。

直流共模电压不要求在规格范围内

如果在任何配置的通道上接收到EIOS或检测到/推断出电气空闲，则通道上存在电气空闲条件，如第www.example.com节所述[4.2.4.4。](#bookmark32)

. 在成功的速度协商之后进入该基站时（即，successful\_speed\_negotiation= 1b），则如果TS 1或TS 2有序集 在表4-16中规定的时间间隔内，在任何配置的通道中均未收到。（这包括 链路是可操作的并且双方都已经成功地接收到TS有序集的情况。

因此，在指定间隔中缺少TS1或TS2有序集可以被解释为进入电气空闲。）

. 否则在不成功的速度协商之后进入该子状态时（即，

successful\_speed\_negotiation= 0 b）如果在表4-16中规定时间间隔内在任何配置的车道中[没有检测到至少一次从电怠速退出](#bookmark33)。(This 覆盖了至少一方在接收由另一个代理发送的TS或dered集时遇到麻烦的情况，以及

因此，在较长间隔内没有从电怠速退出可以被视为等同于进入电怠速。

· 下一个状态是[恢复。](#bookmark263)在发射机通道之后，接收器锁定不再需要处于上述条件中所述的电气空闲状态。

. 如果在成功的速度更改协商之后从Recovery.RcvrCfg进入此子状态（即，successful\_speed\_negotiationn= 1b），则在所有配置的通道上将新的数据速率改变为链路两侧通告的最高公共数据速率。 变量[changed\_speed\_recovery](#bookmark236)设置为1b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 否则[，如果进入](#bookmark245)从[L0](#bookmark384)或[L1](#bookmark385)恢复后第二次进入该子状态（即， [changed\_speed\_recovery](#bookmark236)= 1b），则新的数据速率将是LTSSM从[L0](#bookmark386)或[L1进入Recovery时的数据速率](#bookmark387)。changed[\_speed\_recovery](#bookmark236)变量将被重置为0b。

. 否则，新的数据速率将为2.5 GT/s。changed[\_speed\_recovery](#bookmark236)变量保持重置为0b。 注：这表示[L0](#bookmark388)中的操作频率大于2.5 GT/s，并且一侧无法在该频率下操作并在[Recovery](#bookmark263)中超时的情况。

从L0或L1进入该子状态[。](#bookmark390)

· 下一个状态是48 ms超时后[的检测](#bookmark168)

. 注：在正常情况下，这种转换是不可能的。

·[directed\_speed\_change](#bookmark171)变量将重置为0b。新的数据速率必须反映在链路状态寄存器的当前链路速度字段中。

. 在链路带宽改变时，如果successful\_speed\_negotiation被设置为1band，则在与第一组TS2有序集合通信时接收的八个连续TS2有序集合中的自主改变比特（符号4的比特6）被设置为1band，并且在与第二组TS2有序集合通信时接收的八个连续TS2有序集合中的自主改变比特（符号4的比特6）被设置为1band。

[恢复。RcvrCfg](#bookmark391)设置为1b或速度更改由下游端口启动，

由于自主原因（非可靠性且不是由于链路重训练位的设置），链路状态寄存器的链路自主带宽状态位设置为1b。

. 否则：在链路带宽改变时，链路状态寄存器的链路带宽管理状态位被设置为1b。

4.2.6.4.4恢复.RcvrCfg

发送器在所有已配置通道上发送TS2有序集，并使用之后设置的相同链路和通道编号 离开[配置](#bookmark212)。如果directed\_speed\_change变量已设置为1b，则speed\_change位（TS 2有序集中数据速率标识符Symbol的第7位）必须设置为1b。所传输的TS2有序集合中的N\_FTS值应当 反映当前数据速率下的数字。

下游端口必须在每个端口上传输EQTS 2有序集（符号6位7设置为1b的TS 2有序集

如果满足以下所有条件，则配置通道，发送器预设和接收器预设提示字段设置为相应通道均衡控制寄存器条目中的上行8.0 GT/s端口发送器预设和上行8.0 GT/s端口接收器预设提示字段指定的值

a. 下游端口在[Recovery.RcvrLock](#bookmark263)中宣传支持8.0GT/s数据速率，

自退出[检测](#bookmark168)状态以来，上游端口已在[Configuration.Complete](#bookmark228)或[Recovery.RcvrCfg](#bookmark391)子状态中通告支持，并且在任何

在进入此子状态之前配置通道，速度\_变化位设置为1b

B. [均衡化\_done\_8GT\_data\_rate](#bookmark173)变量为0b，或者如果设置了链路控制3寄存器中的执行均衡位，或者如果需要执行特定于实现的机制确定的均衡，则遵循第4.2.3节中所述的

C. 当前操作数据速率为2.5 GT/s或5.0 GT/s

下游端口必须在每个端口上传输EQTS 2有序集（符号6位7设置为1b的TS 2有序集

如果满足以下所有条件，则配置通道，发送器预设位设置为相应32.0 GT/s通道均衡控制寄存器条目中的32.0 GT/s上行端口发送器预设位指定的值，接收器预设提示字段设置为

a. 下游端口在[Recovery.RcvrLock](#bookmark263)中通告[了](#bookmark228)32.0 GT/s数据速率支持，上游端口在Configuration. Complete或[Recovery.RcvrCfg](#bookmark391)子状态中通告了32.0GT/s数据速率

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

端口自退出[检测](#bookmark164)状态以来，在进入此子状态之前，在任何配置通道上接收到8个连续的TS1或TS2有序集，且speed\_change位设置为1b

B. [equalization\_done\_32GT\_data\_rate](#bookmark173)variable为0b，或者如果设置了链路控制3寄存器中的执行均衡位，或者如果需要执行特定于实现的机制确定的均衡，则遵循第4.2.3节中描述的

C. [equalization\_done\_8GT\_data\_rate](#bookmark173)和[equalization\_done\_16GT\_data\_rate](#bookmark173)变量均

D. 在[配置](#bookmark204)状态期间，组件之间协商了最高数据速率的均衡旁路

e. 当前操作数据速率为2.5 GT/s或5.0GT/s

下游端口必须在每个配置通道上传输128 b/130 bEQTS 2有序集（符号7位7设置为1b的TS 2有序集），其中发送器预设位设置为16.0 GT/s上游端口指定的值

如果满足以下所有条件，则从相应的16.0 GT/s通道均衡控制寄存器条目中设置发送器预设位

a. 下游端口在Recovery.RcvrLock中通告了16.0 GT/s数据速率支持[，](#bookmark261)并且自退出[检测](#bookmark164)状态以来，上游端口已在[Configuration.Complete](#bookmark225)或[Recovery.RcvrCfg](#bookmark343)子状态中通告了16.0GT/s数据速率支持，并且在任何

在进入此子状态之前配置通道，速度\_变化位设置为1b

B. [equalization\_done\_16GT\_data\_rate](#bookmark173)变量为0b，或者如果设置了链路控制3寄存器中的执行均衡位，或者需要执行特定于实现的机制确定 遵循第4.2.3节中描述

C. 当前操作数据速率为8.0GT/s

下游端口必须在每个配置通道上传输128 b/130 bEQTS 2有序集（符号7位7设置为1b的TS 2有序集），其中发送器预设位设置为32.0 GT/s上游端口指定的值

如果满足以下所有条件，则从相应的32.0 GT/s通道均衡控制寄存器条目中设置发送器预设位

a. 下游端口在[Recovery.RcvrLock](#bookmark261)中通告了32.0 GT/s数据速率支持，并且自退出[检测](#bookmark164)状态以来，上游端口已在Configuration. Complete或[Recovery.RcvrCfg](#bookmark343)子状态中通告了32.0GT/s数据速率支持，并且在任何

在进入此子状态之前配置通道，速度\_变化位设置为1b

B. [equalization\_done\_32GT\_data\_rate](#bookmark173)变量为0b，或者设置了链路控制3寄存器中的执行均衡位，或者需要执行特定于实现的机制确定的均衡，遵循第4.2.3节中描述的

C. 目前的数据速率为16.0GT/s

如果满足以下所有条件，则允许上游端口传输128 b/130 bEQTS 2有序集，其中16.0 GT/s发射机预设位设置为实现特定

a. 上游端口在[Recovery.RcvrLock](#bookmark261)和16.0GT/s数据速率中分别支持16.0 GT/s和16.0 GT/s数据速率

自退出[检测](#bookmark164)状态以来，下游端口已在[配置.完成](#bookmark225)或[恢复.RcvrCfg](#bookmark343)子状态中通告支持，并且在任何

在进入此子状态之前配置通道，速度\_变化位设置为1b

B. [equalization\_done\_16GT\_data\_rate](#bookmark173)变量为0b，或者如果由特定实现机制指示，则遵循第4.2.3节中描述的

C. 当前操作数据速率为8.0GT/s

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

意图将均衡旁路到32.0 GT/s或更高的最高数据速率的上游端口必须发送8b/10 b EQTS 2有序集，其中32.0 GT/s发送器预设位被设置为实现特定值，如果所有

满足以下条件

a. 最高数据速率的均衡旁路是在配置状态期间协商的

B. 上游端口需要预编码，或者上游端口打算提供下游端口的启动32.0 GT/s发射机预设用于均衡

C. 上游端口在[Recovery.RcvrLock](#bookmark263)中通告支持32.0GT/s数据速率，

自退出检测状态以来，下游端口已在Configuration.Complete或Recovery.RcvrCfg子状态中通告支持，并且在任何

在进入此子状态之前配置通道，速度\_变化位设置为1b

D. [equalization\_done\_32GT\_data\_rate](#bookmark173)变量为0b，或者如果由实现特定机制指示，则遵循第4.2.3节中描述的

e. 当前操作数据速率为2.5 GT/s或5.0GT/s

如果满足以下所有条件，则允许上游端口传输128 b/130 bEQTS 2有序集，其中32.0 GT/s发射机预设位设置为实现特定

a. 上游端口在[Recovery.RcvrLock](#bookmark263)中通告支持32.0GT/s数据速率，

自退出[检测](#bookmark168)状态以来，下游端口已在[配置.完成](#bookmark228)或[恢复.RcvrCfg](#bookmark391)子状态中通告支持，并且在任何

在进入此子状态之前配置通道，速度\_变化位设置为1b

B. [equalization\_done\_32GT\_data\_rate](#bookmark173)变量为0b，或者如果定向

C. 目前的数据速率为16.0GT/s

当使用128 b/130 b编码时，上游和下游端口使用请求均衡， 数据速率和静默保证比特，以传送均衡请求， 如第4.2.3节所述。当不请求均衡时，请求均衡、均衡请求数据速率和静默保证位必须设置为0b。

进入此子状态后，**start\_equalization w预置**变量重置为0b。

·在进入该子状态时，下游端口必须将[select\_deemphasize](#bookmark172)变量设置为等于链路控制2寄存器中的可选择去加重字段，或者采用某种特定于实现的机制来将select\_deemphasize变量设置为等于链路控制2寄存器中的可选择去加重字段。 [select\_deemphasize](#bookmark172)变量，包括使用上游端口在其接收的八个连续TS1有序集中请求的值。通告5.0 GT/s数据速率支持的下游端口必须将其传输的TS 2有序集的可选择去加重位（符号4位6）设置为与[select\_deemphasize](#bookmark172)

变量如果上游端口打算出于自主原因而改变链路带宽，则上游端口必须在TS2有序集合中将其自主改变位（符号4位6）设置为1b。

. 对于支持链路升级配置的设备，建议在此子状态（[恢复空闲](#bookmark392)）下的当前非活动通道组中激活电气空闲检测

子状态和[Configuration.Linkwidth.Start](#bookmark214)子状态（如果重置了[directed\_speed\_change](#bookmark171)变量

到0B。这样做是为了在链路向上配置期间，不发起向上配置的一侧不会错过由发起者发送的第一个EIEOSQ，或者在链路向上配置期间，

[配置。链接宽度。最佳](#bookmark214)子状态。

· 下一个状态是[Recovery.Speed（恢复速度），](#bookmark265)如果以下所有条件均为真：满足以下条件之一

I. 在任何配置的通道上接收八个连续的TS2有序集，其具有相同的数据速率标识符、符号6中的相同值，并且speed\_change位被设置为1频带八

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

如果使用8b/10 b或128 b/130 b编码，则连续的TS 2有序集是标准的TS 2有序集

二. 在所有配置的通道上接收八个连续的EQTS 2或128 b/130 bEQTS 2有序集，其具有相同的数据速率标识符、符号6中的相同值，并且

speed\_change位设置为1b

三. 在任何已配置通道上接收到8个连续EQTS 2或128 b/130 b EQ TS 2有序集，具有相同的数据速率标识符，符号6中的值相同，并且在任何已配置通道上接收到8个连续EQ有序集后，设置为1的speed\_change位已过期1 ms

. 当前数据速率大于2.5GT/s或大于2.5GT/s的数据速率标识符在发送的和（八个连续的）接收的TS 2或调度集中都被

. 对于8b/10 b编码，至少32个TS 2有序集，而不被任何中间插入

在同一配置通道中接收到一个speed\_change位设置为1b的TS2有序集后，发送speed\_change位设置为1b的EIEOS。对于128 b/130 b编码，至少128个 在接收到一个TS 2之后，以设置为1b的speed\_change位发送TS 2有序集

在同一配置通道中，将speed\_change位设置为1 b的有序设置。

在接收到的8个连续TS2有序集上通告的数据速率，其中设置了speed\_change位 表示另一个端口可以支持的数据速率。这些接收到的八个连续TS2有序集合中的自主改变位（符号4位6）由下游端口标注以用于可能的登录

链路状态寄存器处于[恢复速度](#bookmark379)子状态。上游端口必须在select\_demphasize中注册在这八个连续的TS2有序集中通告的可选择去加重位（符号4的位6

变量恢复中要更改的新速度[。速度](#bookmark379)是链路上两个端口都支持的最高数据速率。对于上游端口，如果当前操作数据速率为2.5GT/s或5.0GT/s，则这些

八个连续的TS 2有序集是EQTS 2有序集，通告8.0 GT/s作为最高数据速率

支持时，必须将[start\_equalization\_w\_preset](#bookmark359)变量设置为1，并更新通道均衡控制的上行端口8.0GT/s发送器预设和上行端口8.0 GT/s接收器预设提示

寄存器条目，其中对应的八个连续EQTS 2有序集中接收到的

巷对于上游端口，如果当前操作数据速率为2。5GT/s或5.0GT/s，这八个

连续的TS 2有序集是EQTS 2有序集，其通告32.0 GT/s作为支持的最高数据速率，并且均衡旁路到最高数据速率在均衡期间在组件之间协商

[配置](#bookmark204)状态时，必须将[start\_equualization\_w\_preset](#bookmark359)变量设置为1，并使用以下值更新32.0 GT/s通道均衡控制寄存器条目的上游端口32.0 GT/s发送器预设字段

在对应通道的八个连续EQTS2有序集合中接收。对于Ups流端口，如果当前操作的数据速率为8.0GT/s，则两端都通告16.0GT/s支持，并且这八个端口

连续的TS 2有序集是128 b/130 bEQTS 2有序集，它必须将[start\_equalization\_w\_preset](#bookmark359)变量设置为1band更新16.0 GT/s通道的上行端口16.0 GT/s发送器预设字段

均衡控制寄存器项，其中包含八个连续128 b/130 bEQTS 2中接收的

对应通道的有序集。对于上游端口，如果当前操作的数据速率是16.0GT/s，则两端都通告32.0 GT/s支持，并且这八个连续的TS 2有序集是128 b/s。

130 b EQ TS 2有序集，它必须将[星形t\_equalization\_w\_preset](#bookmark359)变量设置为1，并使用相应通道的8个连续128 b/130 bEQ TS 2有序集中接收到的值更新32.0 GT/s通道均衡控制寄存器条目的上游端口32.0 GT/s发送器预设字段。任何已配置 未接收满足此标准的EQTS 2或128 b/130 bEQTS 2有序集的通道将使用

第一次以8.0 GT/s、16.0GT/s或32.0GT/spr运行时的实施相关预设值

执行链路均衡。如果以下任何一项为真，则下游端口必须将[start\_equalization\_w\_preset](#bookmark359)变量设置

. [equalization\_done\_8GT\_data\_rate](#bookmark173)变量为0b

. 两端均通告16.0 GT/s支持，并且[equalization\_done\_16GT\_data\_rate](#bookmark173)变量为0 b

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 两端均通告32.0 GT/s支持，并且[equalization\_done\_32GT\_data\_rate](#bookmark173)变量为0 b

. 设置链路控制3寄存器中的执行均衡

. 特定于实现的机制确定需要执行均衡，遵循4.2.3节中描述的过程。

下游端口必须记录16.0 GT/s或32.0 GT/s变送器预设设置，

如果是128 b/130 bEQTS 2有序集，且速度为16.0GT/s或32.0GT/s，则接收到连续TS 2有序集 双方都表示支持。 变量successful\_speed\_negotiation设置为1b。注意，如果链路已经以两个端口支持的最高数据速率运行，则会执行[Recovery.Speed](#bookmark379)，但数据速率不会更改。如果使用128 b/130 b编码，并且请求均衡位在8位中被设置，

在连续的TS2有序集合中，端口必须将其作为均衡请求来处理，如在图4.2.3中所描述的。

· 如果以下两个条件均为真，则下一状态为[Recovery.Idle](#bookmark393)

. 在所有配置的通道上接收到八个连续的TS2有序集，这些通道具有相同的链路和通道号，这些链路和通道号与在每个通道内具有相同数据速率标识符的那些相同通道上传输的内容相匹配，并且以下两个子条件之一为真：

如果在接收到的八个连续TS2有序集中speed\_change位为0 b

▪ 当前数据速率是2.5 GT/s，并且在所接收的八个连续TS 2有序集中没有设置5.0GT/s或更高的数据速率标识符，或者没有设置5.0GT/s或更高的数据速率

在TS2有序集中传输标识符

. 在接收到一个TS2有序集之后发送16个TS2有序集，而不被任何 干预EIEOS。进入Recovery.Idle时，[更改d\_speed\_recovery](#bookmark236)变量和[directed\_speed\_change](#bookmark171)变量将重置为0b[。](#bookmark394)

. 如果N\_FTS值被更改，则新值必须用于未来[的L0](#bookmark395)状态。

. 当使用8b/10 b编码时，必须在离开之前完成

[恢复。RcvrCfg。](#bookmark343)

. 设备必须注意八个通道中任何已配置通道上通告的数据

连续的TS2有序集在此状态转换中描述。 这将覆盖任何先前记录的值。

. 当使用128 b/130 b编码时，如果请求均衡位在八个连续的TS 2有序集中被置位，则设备必须注意它并遵循第4.2.3节中的规则。

·如果在任何配置的通道上接收到八个连续的TS1有序集，则下一状态是配置， 在接收到一个TS 1有序集之后，发送与在这些相同通道上传输的内容不匹配的链路或通道号和16个TS 2有序集，并且以下两个条件之一

. 接收到的TS 1有序集上的speed\_change位为0b

. 当前数据速率为2.5 GT/s，并且在数据速率表中设置不为5.0GT/s或更高的数据速率标识符

接收到8个连续的TS 1有序集，或者没有5.0GT/s或更高的数据速率标识符在TS 2有序集中被

如果LTSSM转换为配置，则[changed\_speed\_recovery](#bookmark236)变量和[directed\_speed\_change](#bookmark171)变量重置为0b[。](#bookmark204)

. 如果N\_FTS值被更改，则新值必须用于未来[的L0](#bookmark396)状态。

·如果操作速度已经改变为相互协商的数据速率，则下一状态是[恢复](#bookmark379)速度。

从[L0](#bookmark397)或[L1](#bookmark398)输入[恢复](#bookmark258)（即，[changed\_speed\_recovery](#bookmark236)= 1b），并且已检测到EIOS或

在任何配置车道上推断/检测到电气怠速条件，且未配置车道

自进入此子状态（[Recovery.RcvrCfg）以来，收到一个TS2有序集](#bookmark343)。 在离开[Recovery.Speed后运行的新数据速率](#bookmark379)将恢复为从L0或L1进入[Recoveryy](#bookmark258)[时的运行速度。](#bookmark400)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

如第www.example.com节中所述[4.2.4.4，](#bookmark32)如果在表4-16中指定的时间间隔内没有接收到TS 1或TS 2有序集[，则可以推断出电气空闲状况。](#bookmark33)

· 下一个状态是[Recovery.Speed，](#bookmark37)如果操作速度自从从L0或L1进入Recovery之后没有改变到相互协商的数据速率（即，[changed\_speed\_recovery](#bookmark236) =0b），并且当前操作速度为

大于2.5 GT/并且在任何配置通道上检测到EIOS或检测到/推断出电气空闲条件，并且自进入此子状态[（恢复.RcvrCfg）以来，没有配置通道接收到TS 2有序集。新的](#bookmark391)数据率运行后离开[恢复。速度](#bookmark37)将是2.5GT/s。

如第www.example.com节中所述[4.2.4.4，](#bookmark32)如果在表4-16中指定的时间间隔内没有接收到TS 1或TS 2有序集[，则可以推断出电气空闲状况。](#bookmark33)

注：此转换意味着另一方无法实现符号锁定或块对齐， 它运行的速度。因此，两侧将返回到2.5 GT/s的运行速度，并且在不退出重新加工状态的情况下，任何器械都不会尝试再次改变速度。还应注意，即使这里涉及速度改变，[changed\_speed\_recovery也](#bookmark236)将为0b。

·48 ms超时后

. 如果当前数据速率为2.5 GT/s或5.0 G T/s，则下一状态为检测。

. 如果[idle\_to\_rlock\_transitioned](#bookmark172)变量小于FFh且当前数据速率为8.0GT/s或更高，则下一状态为Recovery.Idle。

I. 重置[changed\_speed\_recovery](#bookmark236)变量和[directed\_speed\_change](#bookmark171)变量

在进入[恢复时变为0b。空闲。](#bookmark404).否则，下一个状态为[检测。](#bookmark168)

恢复.空闲

· 如果指示，则下一状态为Disa bled。

. 注：“如果指示”适用于由更高层指示在链路上断言禁用链路位（TS1和TS2）的下游或可选交叉链路端口。

· 如果有指示，下一个状态是Hot Res et。

. 注：“如果指示”适用于由更高层指示在链路上断言热复位位（TS1和TS2）的下游或可选交叉连接端口。

· 下一个状态是[配置（](#bookmark212)如果已定向）。

. 注意：“如果被指示”适用于由更高层指示以可选地重新配置链路的端口（即，不同宽度的链接）。

·下一个状态是[环回，](#bookmark406)如果被引导到该状态，并且发送器能够是[环回主机，](#bookmark137)这由实现特定的手段来确定。

. 注：“如果定向”适用于由更高层指示在链路上断言环回位（TS1和TS2）的端口。

· 在任何配置的通道具有在两个连续接收的TS 1有序集合中断言的禁用链路位之后，下一状态立即被禁用。

. 注意：这是仅适用于上游和可选交叉连接端口的行为。

· 下一个状态是在任何配置通道在两个连续的TS1有序集合中置位热复位位后立即进行热复位。

. 注意：这是仅适用于上游和可选交叉连接端口的行为。

·如果在具有设置为PAD的通道号的任何配置通道上接收到两个连续的TS 1有序集，则下一状态是配置。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 注：可选择转换到[配置](#bookmark204)以更改链路[配置](#bookmark204)的端口保证在所有通道上发送设置为PAD的通道号。

. 注：建议LTSSM使用此转换初始化链路宽度增大/减小，以减少更改链路宽度所需的时间。

·如果y配置的通道具有在两个连续的TS 1有序集合中断言的环回位，则下一状态是环回。

. 注：接收到带有环回位设置的有序集的设备成为[环回从设备。](#bookmark134)

·当使用8b/10 b编码时，发送器在所有配置的通道上发送空闲数据。

·当使用128 b/130 b编码时：

. 如果数据速率为8.0 GT/s，则发送器在所有配置通道上发送一个[SDS有序集](#bookmark59)以启动数据流，然后在所有配置通道上发送空闲数据符号。第一空闲数据符号 在通道0上传输的是数据流的第一符号。

. 如果数据速率为16.0 GT/s或更高，则发送器发送一个控制[SKP有序](#bookmark408)集

立即通过所有配置通道上的[SDS有序集](#bookmark59)启动数据流，然后发送 所有已配置的LAN上的空闲数据符号。在通道0上传输的第一空闲数据符号是数据流的第一符号。

. 如果指向其他状态，则在转换到其他状态之前，空闲符号不必被发送，并且一定不能用128 b/130 b编码来发送（即，禁用、热重置、[配置](#bookmark204)或

Loopback）

执行说明

EDS使用

在128 b/130 b编码中，在转换到[配置](#bookmark204)或[环回](#bookmark409)或热复位或禁用时，如果数据流是活动的，则必须发送EDS（即，已发送[SDS有序集](#bookmark59)）。有可能没有启动的那一方 链路升级配置在接收到TS 1有序集时已经发送SDS和发送数据流（逻辑IDL）。在这种情况下，它将在发送TS 1 0命令之前在激活的通道集合中发送EDS。 在配置中[设置。](#bookmark204)



·当使用8b/10 b编码时，如果在所有配置的通道上接收到空闲数据的八个连续符号时间，并且在接收到一个空闲数据符号之后发送16个空闲数据符号，则下一状态是L0。

. 如果自上次从[恢复](#bookmark258)或[配置](#bookmark204)转换到L0后，软件已将1b写入链路控制寄存器中的重新训练链路位，则下游端口必须设置链路带宽

Link状态寄存器的管理状态位为1b。

·当使用128 b/130 b编码时，如果在所有配置的通道上接收到八个连续的空闲数据符号时间，则下一状态为[L0](#bookmark412)，在接收到一个空闲数据符号之后发送16个空闲数据符号，并且该状态不是由来自[恢复](#bookmark343)的超时

. 空闲数据符号必须在数据块中接收。

. 在数据流处理开始之前，必须完成通道到通道的去偏斜。

. 如果自上次从[恢复](#bookmark258)或[配置](#bookmark204)转换到L0后，软件已将1b写入链路控制寄存器中的重新训练链路位，则下游端口必须设置链路带宽

Link状态寄存器的管理状态位为1b。

. idle[\_to\_rlock\_transitioned](#bookmark172)变量在传输到[L0时重置为00 h。](#bookmark414)

·否则，在2 ms超时之后：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

◦ 如果[idle\_to\_rlock\_transitioned](#bookmark172)变量小于FFh，则下一状态为[Recovery.RcvrLock。](#bookmark263)

▪ 如果数据速率为8.0 GT/s或更高，则在转换到Recovery.RcvrLock时，[idle\_to\_rlock\_transitioned](#bookmark172)变量将递增1b[。](#bookmark263)

▪ 如果数据速率为5.0 GT/s（或者，如果支持2.5 GT/s），则在转换到Recovery.RcvrLock时，将[idle\_to\_rlock\_transitioned](#bookmark172)变量设置为FFh[。](#bookmark263)

◦ 否则，下一个状态为检测

恢复入口





退出到

配置

|  |
| --- |
| Recovery.RcvrLock |

|  |
| --- |
| Recovery.Equalization |

|  |
| --- |
| Recovery.Speed |

|  |
| --- |
| 复苏RcvrCfg |



退出到 残疾

|  |
| --- |
| Recovery.Idle  退出到 环回 |



退出检测



出口至L0



退出到 热复位

A-0522 A

图4-30[恢复](#bookmark111)子状态机

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.2.6.5>www.example.com

这是正常的操作状态。

·[LinkUp](#bookmark142) = 1b（状态设置为真）。

◦ 在接收到STP或SDP符号时，[idle\_to\_rlock\_transitioned](#bookmark172)变量被重置为00h。

· 如果满足两个条件中的任一个，则下一状态是[恢复](#bookmark245)（i）如果指示改变速度，

[（directed\_speed\_change](#bookmark171)variable= 1b）当两侧都支持大于2.5 GT/s的速度并且链路处于DL\_Active状态时，由更高层指示改变速度（directed\_speed\_change variable = 1b），或者（ii）如果当两侧都支持8.0 GT/s数据时，由更高层指示改变速度（[directed\_speed\_change](#bookmark171)variable= 1b），则以8.0 GT/s数据的速率执行

率changed[\_speed\_recovery](#bookmark236)位复位为0b。

◦ 对于上游端口，如果[directed\_speed\_change](#bookmark171)变量从未记录[配置](#bookmark233)中通告的大于2.5 GT/s的数据速率支持，则不得将其设置为1b。完成或

[Recovery.RcvrCfg](#bookmark391)自退出[Detect](#bookmark168)状态以来，由Downstre am Port子状态。

◦ 对于下游端口，如果[directed\_speed\_change](#bookmark171)变量从未记录[配置](#bookmark228)中通告的大于2.5 GT/s的数据速率支持，则不得将其设置为1b。完成或

[Recovery.RcvrCfg](#bookmark391)自退出[检测](#bookmark168)状态后由上游端口子状态。如果注意到数据速率支持大于2.5 GT/s，则下游端口必须设置[directed\_speed\_change](#bookmark171)

如果链路控制寄存器的重新训练链路位设置为1，并且链路控制寄存器2中的目标链路速度字段不等于当前链路速度，则变量为1b。

◦ 支持大于2.5 GT/s数据速率的端口必须参与速度变化，即使链路不处于DL\_Active状态，如果它是由另一侧通过TS有序集请求的。

· 下一个状态是[恢复，](#bookmark229)如果被指示更改链接宽度.

◦ 如果另一个端口在配置状态期间没有通告升级链路宽度的能力，或者如果链路当前以其在初始进入[L0](#bookmark401)状态时协商的最大可能宽度运行，则上层不得指示端口增加链路宽度。

◦ 正常情况下，如果[upconfigure\_capable](#bookmark171)被重置为0b，上层将不会减小宽度，除非出于可靠性原因，因为如果

[upconfigure\_capable](#bookmark171)是0b。 如果链路控制寄存器中的硬件自主宽度禁用位设置为1b，则端口不得出于可靠性以外的原因开始减小链路宽度。

◦ 根据规范的要求，决定增加或减少链路宽度是特定于具体实现的。

· 如果在任何配置的通道上接收到TS 1或TS 2有序集，或者在任何配置的通道上接收到128 b/130b编码的EIEOS，则下一状态为恢复。

· 下一个状态是[恢复](#bookmark229)（如果定向到此状态）。如果在所有车道上检测到/推断出电气故障，

在任何通道上接收到EIOS时，端口可能会转换到[恢复](#bookmark229)状态或可能保持在[L0。](#bookmark401)在端口处于[L0](#bookmark401)并且在没有接收到EIOS的情况下发生电空闲状况的情况下，可能发生错误并且端口可能被定向到转换到[恢复。](#bookmark229)

◦ 如在[章节4.2.4.4中所描述的，](#bookmark32)可以在以下条件中的任何一个条件下在所有通道上推断电气空闲条件：（i）在任何窗口中不存在流控制更新DLLP

在任何128 μs窗口中的任何配置通道中不存在SKP有序集，或（iii）在任何128 μs窗口中的任何配置通道中不存在流控制更新DLLP或[SKP有序集](#bookmark417)。

◦ 注：“如果指示”适用于由更高层指示转换到恢复的端口，包括设置链路控制寄存器中的重新训练链路位。

◦ 变送器可按程序完成任何TLP或DLLP。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·下一个状态是[仅](#bookmark418)针对发送器的L0s，如果被引导到该状态并且发送器实现[L0s。](#bookmark419) 参见[第4.2.6.6.2节。](#bookmark420)

◦ 注：“如果指示”适用于由更高层指示启动L0的端口（参见第5.4.1.1.1节）。

◦ 注：这是TX和RX可能会分叉为不同LTSSM状态的点。

· 如果在任何通道上接收到EIOS，则下一状态仅针对接收器为L0，接收器实现[L0，](#bookmark423)并且端口未被任何更高层定向到[L1](#bookmark424)或[L2](#bookmark425)状态。 参见[第4节。2.6.6.1。](#bookmark426)

◦ 注：这是TX和RX可能会分叉为不同LTSSM状态的点。

· 如果在任何通道上接收到EIOS，则下一个状态是恢复，接收器不实现[L0，](#bookmark427)并且端口未被任何更高层定向到[L1](#bookmark428)或[L2](#bookmark429)状态。 参见[第4.2.6.6.1节。](#bookmark430)

· 下一个状态是[L1：](#bookmark431)i。 如果被引导

和

二. 在任何通道上接收到EIOS，

三. 在所有通道上发送EIOSQ

◦ 注：“如果指示”定义为链路两端同意在EIOS的接收和发送条件都满足后立即进入L1。 可以通过PCI-PM（参见第www.example.com节5.3.2.1）或ASPM（参见第5.4.1.2.1节）启动到L1的转换。

◦ 注：当由更高层引导时，链路的一端总是通过以下方式发起并退出到[L1](#bookmark434)：

在所有通道上传输EIOS，然后过渡到电气空闲。72然后，同一端口等待在任何通道上接收EIOS，然后立即转换到[L1](#bookmark435)。因此，在任何通道上首先接收EIOS的链路侧必须在所有通道上发送EIOS，

立即转到[L1。](#bookmark436)

· 下一个状态是[L2：](#bookmark437)i。 如果被引导

二. 在任何通道上接收到EIOS，

三. 在所有通道上发送EIOSQ

◦ 注：5.3.2.3

详细信息）。

◦ 注：当由更高层引导时，链路的一端总是通过以下方式启动并退出到[L2](#bookmark439)：

在所有通道上传输EIOS，然后转换到电气Idle。73相同的端口然后等待在任何通道上接收EIOS，然后立即转换到[L2](#bookmark440)。相反，在任何链路上首先接收EIOS的链路侧必须立即在所有链路上发送EIOS

转换为[L2。](#bookmark441)

<4.2.6.6>L0s

L0[s](#bookmark427)子状态机如[图4-31所示。](#bookmark442)



72. 被驱动的共模必须满足[L0](#bookmark401)和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

73. 被驱动的共模不需要满足L 0和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

接收器L0

如果接收器的端口支持[L0，则接收器必须实现L0，](#bookmark419)如链路能力寄存器中的ASPM支持字段所示。允许接收器实现[L0，](#bookmark234)即使其端口不通告对[L0的支持。](#bookmark234)

4.2.6.6.1.1 Rx\_L0s.Entry

· 下一个状态是在TTX-IDLE-MIN（表8-7）超时之后的Rx\_L0s.Idle。

◦ 注：这是变送器必须处于电气空闲状态的最短时间。

4.2.6.6.1.2 Rx\_L0s.空闲

· 如果接收器检测到已配置链路的任何通道上的电子空闲退出，则下一状态为Rx\_L0s.FTS。

· 如果当前数据速率为8.0GT/s或更高，并且端口接收器不符合2.5 GT/s的Z RX-DC规范，则下一个状态为100 ms超时后的Rx\_L0s.FTS（见表8-10）。允许所有端口 当数据速率为8.0 GT/s或更高时，实现超时并转换到Rx\_L0s.FTS。

4.2.6.6.1.3 Rx\_L0s. FTS

·如果在8b/10b编码中接收到SKP有序集，或者[在链路的所有配置的通道上](#bookmark59)接收到用于128 b/130 b编码的SDS有序集，则下一状态是L0。

◦ 接收器必须能够在8b/10 b编码的SKP有序集之后立即接受有效数据。

◦ 接收器必须能够在[SDS有序集](#bookmark59)之后立即接受128 b/130 b编码的有效数据。

◦ 在离开Rx\_L0s.FTS之前，必须完成通道到通道的去偏斜[。](#bookmark446)

·否则，下一个状态是N\_FTS超时后[的恢复](#bookmark57)

◦ 当使用8b/10 b编码时：N\_FTS超时不得短于40\*[N\_FTS+3]\*UI（3 \*40 UI源自6个符号，以覆盖最大[SKP有序集](#bookmark450)+4个符号，用于可能的额外FTS+2个设计余量符号），且不得长于该数量的两倍。当扩展 同步位为设置接收器N\_FTS超时必须调整为不短于40\*[2048]\*UI（2048FTS）且不长于40\* [4096]\*UI（4096 FTS）。实现必须考虑到

最坏情况通道间偏斜、设计裕度以及在2.5 GT/s以外的速度下，当在规范定义的范围内选择适当的超时值时，4到8个连续EIE符号。

◦ 当使用128 b/130 b编码时：N\_FTS超时不得短于

130\*[N\_FTS+5+12+Floor（N\_FTS/32）]\*UI，并且对于8.0 GT/s，不超过该量的两倍，并且

16.0 GT/s数据速率。对于32.0 GT/s及以上数据速率，N\_FTS超时不得短于130\*[N\_FTS+10+12+2\*Floor（N\_FTS/32）]\*UI，且不得长于该数量的两倍。的

第一个EIEOS、最后一个EIEOS、SDS、周期性EIEOS和一个EIEOS的5+楼层（N\_FTS/32） 如果实现选择发送两个EIEOS，然后发送SDS，则需要额外的EIEOS， 对于8.0 GT/s和16.0GT/s的数据速率，N\_FTS可被32整除，并且对于 32.0 GT/s和更高的数据速率。12用于说明在扩展同步位置位时将传输的SKP有序集的数量。当扩展同步位被置位时，超时应与N\_FTS等于4096的正常情况相同。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

◦ 变送器也必须转换到RecoVery，但允许完成任何正在进行的TLP或DLLP。

◦ 建议在转换到恢复时增加N\_FTS字段[，以](#bookmark245)防止将来从Rx\_L0s.FT S转换到[恢复](#bookmark245)[。](#bookmark447)

变送器L0

如果发送器的端口不支持[L0](#bookmark56)，则发送器必须实现L0，如 链路能力寄存器。允许发送器实现[L0，](#bookmark56)即使其端口不通告对[L0的支持。](#bookmark56)

4.2.6.6.2.1 Tx\_L0s.Entry

·变送器发送EIOSQ并进入电气空闲。

◦ 直流共模电压必须在TTX-IDLE-SET-TO-IDLE规定范围内。74

· 下一个状态是T [TX-IDLE](#bookmark452)-MIN（表8-7）超时后的Tx\_L0s.Idle。

4.2.6.6.2.2 Tx\_L0s.空闲

· 下一个状态为[Tx\_L0s.FTS（](#bookmark453)如果已定向）。

执行说明

由于Rx\_L0s.FTS中的干扰，N\_FTS增加

发射机通过遍历Tx\_L0s.FTS子状态来发送N\_FTS快速训练序列，以使接收机能够重新获取其比特和符号锁定或块对齐。如果没有N\_FTS快速训练，

序列，接收器将在[Rx\_L0s.FTS](#bookmark446)子状态中超时，并且可能会增加其在恢复状态中暂停的N\_ FTS数量。



4.2.6.6.2.3 Tx\_L0s.FTS

·发射机必须在所有配置的通道上发送N\_FTS快速训练序列。

◦ 在发送N\_FTS之前必须发送4到8个EIE符号（如果是扩展的，

同步位已设置）5.0GT/s数据速率下的FTS数量。 在发送N\_FTS（或4096，如果扩展同步位被设置）数量的128 b/130 b编码的FTS之前，必须发送EIE OSQ。在

2.5 GT/s速度，在发送N\_FTS（或如果设置了扩展同步位，则为4096）数量的FTS之前，最多可以发送一个完整的FTS。

在传输商定的N\_FTS参数定义的所有FTS之前，不得插入SKP有序集。



74. 被驱动的共模必须满足[L0](#bookmark401)和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

◦ 如果设置了扩展同步位，则发送器必须发送4096快速训练序列，并根据Search.example.com中的要求[4.2.4.6插入SKP有序集。](#bookmark29)

·当使用8b/10 b编码时，发送器必须在所有配置的通道上发送单个[SKP OrderedSet](#bookmark457)。

·当使用128 b/130 b编码时，发送器必须在所有配置通道上发送一个EIEOSQ，然后发送一个[SDS有序集](#bookmark59)。非e：在SDS有序集之后在通道0上传输的第一个符号是数据流的第一个符号。

· 在完成上述要求的传输后，下一个状态必须是L0。

执行说明

以16.0 GT/s或更高数据速率退出L0时，无SKP有序集要求

与其他LTSSM状态不同，当退出[Tx\_L0s.FTS](#bookmark454)时，之前不传输控制[SKP有序](#bookmark458)集

发送SDS。这导致与前一数据流的最后部分相关联的数据奇偶校验信息被丢弃。不发送控制[SKP有序集](#bookmark459)降低了复杂性并改进了退出 延迟。



5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

L0s：接收器

条目

|  |
| --- |
| Rx\_L0s。条目 |

|  |
| --- |
| Rx\_L0s。空闲 |

|  |
| --- |
| Rx\_L0s。FTS |



出口至L0



恢复

L0s：变送器

条目



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tx\_L0s。条目 |  | Tx\_L0s。空闲 |  | Tx\_L0s。FTS |
|  |  |



出口至L0

OM13804A

图4-31[L0s](#bookmark419) SubstateMachine

<4.2.6.7>www.example.com

[L1](#bookmark460)子状态机如[图4-32所示。](#bookmark461)

4.2.6.7.1 L1.入口

·所有配置的变送器均处于电气空闲状态。

◦ 直流共模电压必须在TTX-IDLE-SET-TO-IDLE的规格范围内。

·下一个状态是TTX-IDLE-MIN（表8-7）超时后的L1. Idle。

◦ 注：这可保证变速器已建立电气怠速条件。

L1.怠速

·变送器保持在电气空闲状态。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·直流共模电压必须在规格范围内，除非L1 PM子状态欠压（如适用）。75

·当满足L1 PM子状态的条件时，进入L1子状态（参见第5.5节）。

◦ 当进入或退出L1.Idle时，L1 PMSubstate必须为L1.0。

· 如果在配置链路的任何通道上检测到从电气空闲退出，或者在以2.5 GT/s以外的速度保持在该子状态至少40 ns之后指示退出，则下一个状态为恢复。

◦ 不需要端口来装备链路的所有通道上的电气怠速出口检测器。

◦ 注：在2.5 GT/s以外的速度下，在此子状态下需要至少40 ns的停留时间，以考虑逻辑电平的延迟，以便在链路进入[L1](#bookmark400)并立即退出[L1](#bookmark400)状态的情况下启用电气空闲检测电路。

根据L0中描述的设置此变量的相同规则，允许端口将[directed\_speed\_change](#bookmark171)变量设置为1b。 进行这种转换时，必须将[changed\_speed\_recovery](#bookmark236)变量重置为0b。端口也可以通过[恢复](#bookmark258)回到[L0](#bookmark414)，然后设置

[在从L0到Recovery的转换中，directed\_speed\_change](#bookmark171)变量变为1b[。](#bookmark258)

如果被指示更改链路宽度，则还允许CNAS端口从L1进入恢复。端口必须遵循与L0状态中描述的更改链路宽度[相同的规则](#bookmark414)。

· 如果当前数据速率为8.0GT/s或更高，并且端口

接收器不符合2.5 GT/s的ZRX-DC规范）。允许但不鼓励所有端口在数据速率为8.0 GT/s或更高时实现超时并转换到恢复。

◦ 此超时不受L1 PM子状态机制的影响。

执行说明

L1中的100 ms

在[L1.Idle](#bookmark462)状态下满足2.5 GT/s的ZRX-DC规范的端口，因此不需要 实现100 ms超时和转换到[恢复](#bookmark258)应避免实现它，因为它将减少从[L1](#bookmark400)状态预期的功率节省。





75. 被驱动的共模必须满足[L0](#bookmark414)和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

第372

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

L1进入

|  |  |
| --- | --- |
| L1。条目 | |
|  |  |
| L1。空闲 | |



退出到 恢复

OM13805A

图4-32[L1](#bookmark460)子状态机画面

<4.2.6.8>www.example.com

[L2](#bookmark463)子状态机如[图4-33所示。](#bookmark464)

L2.怠速

·所有接收器必须满足ZRX-DC规范，在1 ms内达到2.5 GT/s（见表8-10）。

·所有配置的变送器必须保持电气空闲状态至少TTX-空闲-最小时间。

◦ 直流共模电压不必在规格范围内

◦ 接收器需要等待至少TTX-IDLE-MIN以开始寻找电气怠速退出。

· 对于下游车道：

◦ 对于所有下游端口，如果至少在通道0上接收到信标或如果定向，则下一状态为检测。

▪ 在进入检测之前，必须恢复主电源[。](#bookmark168)

▪ 注：[“如果指示”定义为高层决定退出检测。](#bookmark168)

◦ 对于交换机，如果在其任何下游端口的至少通道0上接收到信标并且上游端口处于[L2.Idle，](#bookmark465)则上游端口必须被定向到[L2.TransmitWake。](#bookmark466)

· 对于上游线路：

◦ 如果在任何预定的一组车道上检测到电怠速退出，则下一状态为检测。

▪ 预定的一组车道必须包括但不限于具有 可能协商到链路的通道0。对于多车道连接，

预设值必须大于或等于2。

▪ 交换机必须将任何下行通道转换为[检测。](#bookmark168)

◦ 下一个状态是上游端口的L2.TransmitWake，如果被定向为传输信标。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

▪ 注意：信标只能在根复合体方向的上游端口上传输。

4.2.6.8.2 L2.tagit尾流

此状态仅适用于上游端口。

·至少在通道0上发送信标。

· 如果在根联合体的方向上的任何上游端口的接收器上检测到电空闲退出，则下一状态是检测。

◦ 注意：当上游接收器看到退出电气空闲时，保证恢复电源，但也可以在退出电气空闲之前恢复电源。

L2入口



退出检测

|  |
| --- |
| L2. 空闲 |

|  |
| --- |
| L2. TransmitWake |

OM13806A

图4-33[L2](#bookmark463)子状态机画面

<4.2.6.9>已禁用

·建议在进入禁用状态时清除LinkUp，无需等待EIOSQ发送或EIOS接收。

·所有通道传输16至32个TS1有序集，禁用链路位被置位，然后转换为电气空闲。

◦ 在进入电气怠速之前，必须发送EIOSQ

◦ 直流共模电压不必在规格范围内。76

· 如果在任何通道上传输了EIOSQ并接收到EIOS（即使在传输TS1时断言了禁用链路位），则：

除非已清除，否则[LinkUp](#bookmark142)=0b（假），如上所述。



76. 所驱动的共模需要满足[L0](#bookmark415)和电气怠速期间直流共模之间的绝对增量（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

第374

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 在这一点上，LAN被视为禁用。

◦ 对于上游端口：所有接收器必须在1 ms内满足2.5 GT/s的ZRX-DC规范（见表8-10）。

◦ 对于上游端口：当在至少一个通道上检测到电气空闲退出时，下一个状态为检测。

· 对于下游端口：下一个状态是定向时检测（例如， 当软件将链路禁用位重置为0b时）。

· 对于上游端口：如果在2 ms超时后未接收到EIOS，则下一个状态为[检测。](#bookmark168)

<4.2.6.10>www.example.com

环[回](#bookmark216)子状态机如[图4-34所示。](#bookmark468)

4.2.6.10.1环回.入口

·[LinkUp](#bookmark142)= 0b（假）

·当处于该子状态时，接收器忽略在TS 1或TS 2有序集中接收的链路和通道号。

·[Loopback Master](#bookmark65)要求：

◦ 如果[Loopback.Entry](#bookmark336)是从[Configuration.Linkwidth.Start输入的，请](#bookmark214)确定主设备支持的数据速率中的最高公共数据速率以及在两个连续的 转换到环回时任何活动通道上的TS1或TS2有序集[。发生](#bookmark336)输入。如果当前数据速率不是最高公共数据速率：

. 发送16个连续的TS 1有序集，回送位被置位，然后是EIOSQ，然后过渡到电气空闲1 ms。在电气空闲期间， 将数据速率更改为最高常用数据速率。

. [环回主机](#bookmark65)可以以特定于实现的方式被指示为： 在一个活动通道上执行32.0 GT/s的均衡过程， 作为[“测试车道”，然后进入环回。进入。](#bookmark336)如果最常见的 数据速率为32.0 GT/s，[equalization\_done\_32GT\_data\_rate](#bookmark173)变量为0 b， 当要执行均衡过程时，在数据速率改变到最高之前在测试下的通道上发送的16个连续的TS 1有序集

公共数据速率必须具有如下所列的位：

. 增强型链路带宽控制位必须设置为01b。

. 如果要求环回SLAVE传输修改的编译码，则必须将环回位中的传输修改的编译码设置

未测试通道上的符合性模式。

. 如果最高公共数据速率为5.0 GT/s，则从机

通过将所发送的TS 1有序集的可选择去加重比特设置为期望值（1b=-3.5dB，0 b=-6dB）来控制。

. 对于5.0 GT/s及以上的数据速率，允许主机以特定于实现的方式选择其自己的发射机设置，而不管其发送到从机的设置如何。

. 注：如果在[LinkUp](#bookmark142)设置为1b后进入Loopback，则一个端口可以从Recovery进入[Loopback](#bookmark216)，另一个端口可以从Configuration进入[Loopback](#bookmark216)[。](#bookmark205)从配置输入的端口可能会尝试更改数据速率，而另一个端口

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

港口没有。如果发生这种情况，则结果是未定义的。 测试设置必须避免此类冲突的定向子句。

. 在回送位置位的情况下发送TS1有序集

▪ 如果[从恢复均衡输入环回](#bookmark380)条目[，](#bookmark296)则传输的TS 1有序集的EC字段必须设置为00b。

主机还可以断言TS1有序集的互补接收位

Loopback中传输[的条目](#bookmark380)，包括在数据速率改变之前传输的条目。如果它置位合规接收位，则在处于

[回送。进入](#bookmark380)状态。当一个或两个端口在数据速率改变之后难以获得位锁定、符号锁定或块对齐时，该使用模型可能有助于测试和验证目的。设置合规接收位的能力是

具体实施。

. 下一个状态是[环回。](#bookmark470)如果发送的TS 1有序集的合规接收位被置位，则在2 ms后激活。

. 如果数据速率被改变为32.0 GT/s并且在增强链路行为控制位被设置为01 b的情况下在任何通道上发送16个连续的TS 1有序集，则下一状态是恢复均衡。

将[perform\_equalization\_for\_equalization](#bookmark471)变量设置为1b。

. 下一个状态是[Loopback.Active，](#bookmark472)如果从[Recovery.Equalization进入Loopback.Entry，](#bookmark296)并且被测通道接收到两个连续的TS1有序集，且Loopback位被置位。

. 下一个状态是[Loopback.Active（环回有效），](#bookmark473)如果传输的TS1有序集的合规接收位被解除断言，并且特定于实现的通道集接收到两个连续的TS1有序集，且环回位被断言。

如果数据速率改变并且没有执行32.0 GT/s的均衡过程，则主设备必须考虑从设备可以处于电空闲的时间量，并且发送足够数量的TS 1有序集以供从设备在同步之前获取符号锁定或块对准。

进入[Loopback.Active。](#bookmark474)

执行说明

环回中128 b/130 b编码的通道编号

如果当前数据速率使用128 b/130 b编码，并且通道号s尚未

协商，主设备和从设备可能无法解码接收到的

因为它们的通道正在使用不同的扫描LFSR种子值（因为LFSR种子值由通道号确定），所以它们的通道可以被配置为提供不同的扫描信息。这种情况可以通过以下方式避免：

允许主设备和从设备在指示主设备

环回，指示主机在环回进入期间断言合规接收位[，](#bookmark380)或者通过使用确保LFSR种子值匹配的某种其他方法。



. 下一个状态是[Loopback。](#bookmark475)在特定于实现的超时时间小于100 ms后退出。

· Loopback slave要求：

. 如果从[Configuration.Linkwidth.Start进入Loopback.Entry，则](#bookmark28)确定从属设备支持的数据速率中的最高公共数据速率，以及将从属设备引导到此状态的两个连续TS 1有序集中接收的数据速率。如果当前数据速率不是最高的

公共数据速率：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 发送EIOSQ，然后过渡到电气空闲2 ms。在电气空闲期间，将数据速率更改为最高常用数据速率。

. 如果在全摆幅模式下运行且最高常用数据速率为5.0 GT/s，则将

发送器

在TS1有序集合中接收到的，将从设备引导到该状态。去强调是

如果可选去加重位为1b，则为-3.5 dB，如果可选去加重位为0 b，则为-6 dB。

. 如果最高公共数据速率为8.0 GT/s或更高，并且EQTS 1命令设置将从机引导至该状态，则将发射机设置为

EQTS1有序集。参见4.2.3.2部分。如果最高公共数据速率为8.0 GT/s，或者

更高但标准的TS 1有序设置将从机引导到该状态，则允许从机使用其默认发射机设置。

◦ 下一个状态是[恢复。](#bookmark280)如果[环回，则进行均衡。输入](#bookmark469)来自

[配置.Linkwidth.Start，](#bookmark214)最高公共数据速率为32.0 GT/s增强链路

将从机引导到该状态的TS1有序集的行为控制位是01b。 . perform**\_equalization\_for\_parameters**变量设置为1b。

. 如果**将变量transmit\_modified\_compliance\_pattern**设置为1b，

在将从机引导到此状态的TS1有序集中，回送位中的传输修改的合规模式被设置为1b。

. 当从[Loopback.Entry](#bookmark469)进入[Recovery.Equalization时，](#bookmark280)在[Configuration.Linkwidth.Start](#bookmark214)中接收两个连续TS1有序集且增强链路行为控制位设置为01b的通道是用于[Loopback](#bookmark406)的测试通道 [恢复。平等。](#bookmark280)

. [LoopbackSlave](#bookmark137)必须以实现特定的方式选择有效的链路号。每个车道的车道号是对应的默认车道号， 链路训练期间发生的链路宽度和通道反转协商。这些巷

数字将用于LFSR种子值。测试测量设备，

促进该状态转换的方法必须以特定于实施方式的方式确保其使用匹配的通道号和LFSR种子值。

◦ 下一个状态为[Loopback.Active（环回激活），](#bookmark477)如果将从机引导至该状态的TS1有序集的顺应接收位被置位。

. 从设备的发送器不需要转换到在任何边界上发送回送数据，并且不需要截断正在进行的任何有序集。

◦ 否则，从设备发送具有设置为PAD的链路和通道号的TS1有序集

. 如果[从恢复均衡输入环回](#bookmark469)条目[，](#bookmark280)则传输的TS 1有序集的EC字段必须设置为00b。

. 如果[Loopback.Entry](#bookmark469)是从[recovery.configurationn](#bookmark280)输入的，则下一个状态为

[Loopback.在被测通道接收到两个连续的](#bookmark478)TS1有序集后激活，其中Loopback位被置位。

. 下一个状态是[环回。](#bookmark479)如果数据速率为2.5 GT/s或5.0 GT/s并且在所有活动通道上获得符号锁定，则激活。

. 如果数据速率为8.0 GT/s或更高，并且在所有活动通道上接收到两个连续的TS 1有序集，则下一状态为Loopback.Active。指定的均衡设置

如果EC字段的值适合于从设备

设置是一个预设值或一组有效系数。(Note：这是与“[恢复.均衡](#bookmark280)”状态等效的行为。）可选地，从设备可以接受两个EC字段值。如果

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

设置应用时，它们必须在接收后500 ns内生效，并且它们不得导致发射机违反任何电气规范超过1 ns。与[Recovery.Equalization不同，](#bookmark333)新设置不会反映在从设备发送的TS1有序集中。

. 当采用8b/10 b编码时，从机

符号边界上的环回数据，但允许截断任何正在进行的有序集。当使用128 b/130 b编码时，从设备

转换为在任何边界上传输环回数据，并允许截断任何正在进行的有序集。

4.2.6.10.2环回激活

·[环回主机](#bookmark137)必须发送有效的编码数据。[环回主机](#bookmark137)不得将EIOS作为数据 直到它想退出Loopback。 当使用128 b/130 b编码操作时，[环回主机](#bookmark137)必须遵循第4.2节的要求。2.6

·从[恢复](#bookmark280)均衡进入[Loopback.Active](#bookmark39)的[LoopbackSlave必须](#bookmark137)在检测到处于[检测活动状态](#bookmark176)但未处于测试状态的接收器的所有通道上传输修改的顺应性模式，如果

[transmit\_modified\_compliance\_pattern\_in\_tunnel](#bookmark476)变量设置为1b，否则这些车道必须转换为电气空闲。受测通道必须遵循下文所述的[环回从属](#bookmark137)规则。

·要求[环回从机](#bookmark137)将接收到的编码信息恢复为接收到的编码信息，其中应用[轮询](#bookmark45)中确定的极性反转，同时继续执行时钟容差补偿：

◦ SKP必须按照第4.2.7节中的规定在每个通道的基础上[添加或删除](#bookmark482)，但SKP不必在已配置链路的通道上同时添加或删除。

. 对于8b/10 b编码，如果[SKP有序集](#bookmark483)重传需要添加SKP符号以适应定时容限校正，则在重传的符号流中的任何地方，将SKP符号插入到[SKP有序集中](#bookmark484)的SKP符号之后， COM符号插入的SKP符号必须与SKP有序集中接收到的SKP符号[具有相同的视差。](#bookmark485)

. 对于8b/10 b编码，如果[SKP有序集合](#bookmark486)重传需要丢弃SKP符号以适应定时容限校正，则简单地不重传SKP符号。

. 对于128 b/130 b编码，如果[SKP有序集](#bookmark487)重传需要添加SKP符号以适应定时容限校正，则在SKP有序集重传中插入四个SKP符号。

在SKP有序集合中的SKP\_END符号[之前的重传符号流。](#bookmark488)

. 对于128 b/130 b编码，如果[SKP有序集](#bookmark489)重传需要丢弃SKP符号以适应定时容限校正，则SKP有序集中的SKP\_END符号之前的四个SKP符号[简单](#bookmark490)地不被重传。

◦ 环回从设备不允许对接收到的编码数据进行修改（除了在轮询中确定的极性反转）[，](#bookmark137)即使它被确定为无效编码（即，没有法律 转换为可能用于8b/10 ben编码的控制或数据值，或无效的同步报头或无效的有序集用于128 b/130 b编码）。

·[LoopbackSlave](#bookmark137)的下一个状态是[Loopback。](#bookmark491)如果满足以下条件之一，则

◦ 如果定向或如果在任何通道上接收到四个连续的EIOS。必须指出，在8b/10 b

在一个实施例中，接收四个连续EIOS指示通道接收COM、IDL、IDL、IDL的四个连续集合，或者可替换地，在四个连续集合中的每一个中接收三个K28.3（IDL）符号中的两个。

传输的在128 b/130 b编码中，接收四个连续的EIOS，

指示在最后一个EIOS中的01b同步报头之后的前三个和前四个同步报头中接收完整的130位EIOS。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 可选地，如果当前链路速度为2.5 GT/，则在任何车道上接收到EIOS或检测/推断出电气怠速。

▪ 注：如[第www.example.com节4.2.4.4所述，](#bookmark32)如果任何配置的通道在整个128 μ s窗口中未检测到退出电气空闲状态，则可以推断电气空闲状态持续128 μs。

. 环[回从站](#bookmark137)必须能够在环回从站收到EIOS的1 ms内检测到任何LAN上的电气空闲条件[。](#bookmark137)

. 注：在EIOS被接收之后和环回从机实际检测到电气空闲之前[的时间内，环回从机](#bookmark137)可能会接收到编码方案未定义的比特流，该比特流可能会被发射机环回。

. TTX-IDLE-SET-TO-IDLE参数在这种情况下不适用，因为[环回从机](#bookmark137)可能直到EIOS之后1 ms才检测到电气空闲。

·Loopback Master的下一个状态是[Loopback。](#bookmark492)如果指示，则退出。

4.2.6.10.3环回退出

·[环回主机](#bookmark137)为仅支持2.5 GT/s数据速率的端口发送一个EIOS，为支持2.5 GT/s以上数据速率的端口发送八个连续EIOS，并且可以选择为仅支持

2.5 GT/s数据速率，与当前链路速度无关，并在所有通道上进入电气怠速2ms。

. 在发送最后一个EIO S之后，[回送主机](#bookmark137)必须在具有TX-IDLE-SET-TO-IDLE的所有通道上转换到有效的电气空闲状态77。

. 注：EIOS在表示环回主机进行的传输和比较操作[结束时很有用](#bookmark137)。在收到任何E IOS后，环回主机收到的任何数据都应被忽略，因为它是未定义的。

·[环回从机](#bookmark137)必须在所有通道上进入电气空闲2 ms。

. 在进入电气怠速之前，回送[从站](#bookmark137)必须[回送](#bookmark406)所有接收到的符号 在检测到电气空闲之前。这确保了[Loopback Master](#bookmark137)可以看到EIOS来表示任何[Loopback](#bookmark406)发送和通信操作的逻辑结束。

·[回送主设备](#bookmark137)和[回送从设备的下一个状态](#bookmark137)是[检测。](#bookmark168)



77. 被驱动的共模不需要满足L 0和电气怠速期间直流共模之间的绝对差值（VTX-CM-DC-ACTIVE-IDLE-DELTA）规格（见表8-6）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

环回条目

|  |  |  |
| --- | --- | --- |
| 复苏 均衡 |  | 环回。条目 |
|  |
|  |

|  |
| --- |
| Loopback.Active |

|  |
| --- |
| 环回。出口 |



退出检测

OM13807C

图4-34[环回](#bookmark66)子状态机

<4.2.6.11>热重置

· 由更高层引导以启动热复位的车道

◦ 已配置链路中的所有通道传输TS1有序集，其中热复位位置位，并配置链路和通道编号。

◦ 如果在任何通道上接收到两个连续的TS 1有序集，并且热重置位被置位并配置了链路和通道号，则：

[LinkUp](#bookmark142)= 0b（False）

▪ 如果没有更高的层指示物理层保持热复位，则下一个状态为检测

▪ 否则，已配置链路中的所有通道继续传输TS1有序集，热复位位置位，且链路和通道编号已配置。

◦ 否则，在2 ms超时后，下一个状态为[检测。](#bookmark168)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 未被较高层引导以发起主机复位的通道（即，接收到两个连续的TS1有序集，其中热复位位在任何配置的通道上被断言）：

. [LinkUp](#bookmark142) = 0b（False）

. 如果交换机上游端口的任何通道接收到两个连续的具有热的TS1有序集， 复位位置位，所有已配置的下游端口必须尽快转换为主机复位。

Switch上的任何可选交叉链接都是此规则的例外，其行为是系统特定的。

. 配置的链路中的所有通道传输TS1有序集，热复位位置位，配置的链路和通道编号。

. 如果接收到两个连续的TS1有序集，且热复位位置位，

链路和通道号，状态继续为热复位，2 ms定时器复位。.否则，下一个状态为2 ms超时后的检测。

注：通常，下游或可选交叉连接端口的通道将被定向到热复位，

上游或可选的交叉连接端口将通过接收两个连续的TS1有序集进入热复位，其中热复位位在任何配置的通道上被断言，从[Recovery.Idle](#bookmark405)状态。

4.2.7时钟容差补偿

**SKP有序集**（在[第www.example.com节4.2.7.1](#bookmark493)和[第www.example.com节4.2.7.2）](#bookmark494)用于补偿链路两端比特率之间的频率差异。接收器物理层逻辑al子块必须包括弹性缓冲

其执行该补偿。SKP有序集传输之间的间隔来自表8-6、表8-10和表8-17中规定的传输、接收和参考规范。

该规范支持共享基准时钟架构（通用基准时钟），

在Tx和Rx参考频率之间，以及两种参考时钟架构，其中Tx和Rx参考频率 不同。没有SSC -**SRNS的独立参考时钟**和具有独立SSC-**SRIS的独立参考时钟**。与SRNS的最大差异为600 ppm，这可能导致每1666个时钟发生一次时钟偏移。最大

与SRIS的差异是5600 ppm，这可能导致每178个时钟的时钟移位。

允许特定的外形规格要求仅使用[SRIS](#bookmark495)、仅使用SRNS或提供一种机制 用于时钟架构选择。允许上游端口实现对[SRIS](#bookmark495)和SRNS的任意组合的支持（包括不支持任何一个），但必须符合任何相关外形规格的要求

规范.支持[SRIS的](#bookmark495)下游端口也必须支持[SRNS](#bookmark495)，除非该端口仅与

修改这些要求的特定形状因素端口配置以满足特定

相关联的形状因子是特定于实现的。第8.6.8节提供了外形规格的具体指南。

如果接收器能够以在SRNS中使用的速率生成的SKP有序集进行操作，即使端口在[SRIS](#bookmark495)中运行，也允许端口在较低SKPOS接收中设置其位f或适当的数据速率

链路C能力2寄存器的支持速度矢量字段。如果变送器能够与SKP一起工作，

以SRNS中使用的速率生成有序集，即使端口在[SRIS](#bookmark495)中运行，也允许端口在链路的较低SKP OS生成支持的速度向量字段中为适当的数据速率设置其位

能力2寄存器。在链路伙伴的启用较低SKP操作系统生成矢量中设置适当数据速率位之前，系统软件必须检查较低SKP操作系统接收支持速度矢量字段中的位是否已设置

链路控制3寄存器的字段链路上存在的任何软件透明扩展设备（如中继器）

系统软件还必须支持较低的SKP操作系统生成，以设置启用较低的SKP操作系统生成中的位

向量场。这种扩展设备中的这种支持的软件确定是特定于实现的。当在启用低SKP OS生成向量字段中设置了链路运行的数据速率位时，发射机

以SRNS中使用的速率在L0中调度SKP有序集生成，而不管链路运行在哪个时钟体系结构中。在其他LTSSM状态下，SKP有序集调度处于时钟架构的适当速率。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

与仅支持SRNS的设计相比，支持[SRIS](#bookmark495)的组件在其弹性缓冲区中可能需要更多的条目。 该要求考虑了如果SKP有序集紧接在最大有效载荷大小的分组之后，则调度SKP有序集可能花费的额外时间。

<4.2.7.1>8b/10 b编码的SKP有序集

当使用8b/10 b编码时，所传输的SKP有序集是一个COM符号，后面跟着三个SKP符号，但[Loopback.Active](#bookmark481)LTSSM状态下的Loopback Slave允许的情况除外。接收到的SKP有序集是COM符号

然后是一到五个SKP符号。 4.3.6.7有关SKP有序集修改的重定时器规则，请参见第www.example.com节。

<4.2.7.2>128b/130 b编码的SKP有序集

当使用128 b/130 b编码时，发送的SKP有序集是16个符号，并且接收的SKP有序集可以是8、12、16、20或24个符号。有关4.3.6.7SKP有序集修改的重定时器规则，请参见第www.example.com节。

如[表4-22](#bookmark496)和[表4-23所示，为128 b/130 b编码定义了两种SKP有序集格式。](#bookmark497)两种格式都包含一到五组四个SKP符号，最后一组四个符号由

SKP\_END或SKP\_END\_CTL符号。当以8.0 GT/s运行时，仅使用标准SKP有序集。 当以16.0 GT/s或更高的速度运行时，使用标准和控制SKP顺序设置。此文件中的所有声明

不引用特定SKP有序集格式规范适用于这两种格式。 传输SKP有序集时，所有通道必须传输相同格式的SKP有序集-所有通道必须传输标准SKP有序集，或所有通道必须传输控制SKP有序集。

标准SKP有序集包含SKP\_END符号后的信息，该符号基于LTSSM状态

和块的序列当处于轮询合规状态时，符号包含通道

信息（参见[第4.2.6.2.2节f](#bookmark193)或更多信息）。否则，符号包含通道的加扰LFSR 值，以及当SKP有序集跟随数据块时的数据奇偶校验位。 控制SKP有序集包含三个数据奇偶校验位和SKP\_END\_CTL符号之后的附加信息。

当以8.0 GT/s操作时，标准SKP有序集的数据奇偶校验位是所有SKP有序集的有效载荷的偶奇偶校验位。 数据块由通道传送并且针对每个通道独立地计算78。上游和下游端口发送器计算奇偶校验如下：

· 传输SDS有序集时初始化奇偶校验。

· 在执行加扰之后，利用数据块的有效载荷的每个比特来更新奇偶校验

·紧接在数据块之后传输的标准SKP有序集的数据奇偶校验位被设置为当前奇偶校验。

· 奇偶校验在标准SKP或有序集被传输之后被初始化。

上游和下游端口接收器按如下方式计算并作用于奇偶校验

· 奇偶校验在收到SDS有序集时初始化。

· 在执行解扰之前，利用数据块的有效载荷的每个比特来更新奇偶校验。

·当紧接在数据块之后接收到标准SKP有序集时，每个链路将接收到的数据奇偶校验位与其计算的奇偶校验进行比较。如果检测到不匹配，则接收器必须设置端口通道错误状态寄存器中与通道默认通道编号对应的位。不匹配不是一个

接收器错误，不得导致链路重训练。

· 当接收到标准SKP有序集时初始化奇偶校验。



78. 此处记录的8.0 GT/s操作要求与[PCIe-3.1]中的要求相同。

第382

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

当以16.0GT/s或更高的数据速率操作时，标准SKP有序集和控制SKP有序集两者的数据奇偶校验位是由通道通信的所有数据块的有效载荷的偶奇偶校验，并且针对每个通道独立地计算。上游和下游端口发送器计算奇偶校验如下：

· 当LTSSM处于Recovery. Speed时，奇偶校验被初始化。

· 传输SDS有序集时初始化奇偶校验。

· 在执行加扰之后，利用数据块的有效载荷的每个比特来更新奇偶校验

·紧接在数据块之后传输的标准SKP有序集的数据奇偶校验位被设置为当前奇偶校验。

·控制SKP有序集合的数据奇偶校验位、第一重定时器数据奇偶校验位和第二重定时器数据奇偶校验位都被设置为当前奇偶校验位。

· 在发送控制SKP有序集之后初始化奇偶校验。然而，在发送标准SKP有序集之后，不初始化奇偶校验。

上游和下游端口接收器按如下方式计算并作用于奇偶校验

· 当LTSSM处于Recovery. Speed时，奇偶校验被初始化。

· 奇偶校验在收到SDS有序集时初始化。

· 在执行解扰之前，利用数据块的有效载荷的每个比特来更新奇偶校验

·当接收到控制SKP有序集时，每个通道将接收到的数据奇偶校验位与其计算的奇偶校验进行比较。如果检测到不匹配，则接收器必须设置端口的本地数据奇偶校验不匹配状态的位 对应于通道默认通道编号的寄存器。不匹配不是接收器错误，必须 而不是导致链接重新训练。

·当接收到控制SKP有序集时，每个通道将接收到的第一重定时器数据奇偶校验位与其计算的奇偶校验进行比较。如果检测到不匹配，则接收器必须设置端口的第一重定时器数据的位

奇偶校验不匹配状态寄存器，对应于通道的默认通道编号。不匹配不是接收器错误，不得导致链路重训练。

·当接收到控制SKP有序集时，每个通道将接收到的第二重定时器数据奇偶校验位与其计算的奇偶校验进行比较。如果检测到不匹配，则接收器必须设置端口的第二重定时器的位

数据奇偶校验不匹配状态寄存器，对应于通道的默认通道编号。不匹配不是接收器错误，不得导致链路重训练。

·当紧接在数据块之后接收到标准SKP有序集时，允许接收器将接收到的数据奇偶校验位与其计算的奇偶校验位进行比较。然而，这种比较的结果

不得影响通道错误状态寄存器的状态。

· 当接收到控制SKP有序集时，初始化奇偶校验。然而，当接收到标准SKP有序集时，不初始化奇偶校验。

4.3.6.7有关第一重定时器和第二重定时器的定义，以及C控制SKP有序集的第一重定时器数据奇偶校验位和第二重定时器数据奇偶校验位的奇偶校验计算和修改的重定时器伪端口要求，请参见第www.example.com节。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

标准SKP序集上的LFSR

传输LFSR值是为了使跟踪工具能够运行，即使它们需要重新获取块

在比特流中间的由于跟踪工具无法强制链接进入恢复，因此它们可以

如果需要，重新获取位锁定，并监视SKP有序集以获得块对齐并执行

车道间去偏斜。 来自SKP有序集的LFSR值可以被加载到其LFSR中以开始解释比特流。必须注意的是，对于比特流，可以在非块上别名为SKP有序集。

边界 跟踪工具可以通过使用特定于实现方式的手段（诸如接收固定数量的有效分组或同步报头或后续SKP有序集）来验证它们的块对齐。



表4-22采用128 b/130 b编码的StandardSKP有序

|  |  |  |
| --- | --- | --- |
| 符号编号 | 值 | 描述 |
| 0到（4\*N-1）[N可以是  1至5] | AAh，适用于8.0 GT/s和16.0 GT/s数据速率 | SKP符号。  符号0是SKP有序集标识符。 |
| 99小时，32.0 GT/s和更高数据速率 |
| 4\*N | E1h | SKP\_END符号。  表示S KP有序集在三个符号之后结束。 |
| 4\*N + 1 | 00-FFh | （i）如果LTSSM状态是轮询符合性：AAh（ii）否则如果先前块是数据块：  Bit[7]=数据奇偶校验 位[6：0]= LFSR[22：16]（iii）否则：  位[7]= ~LFSR[22]  位[6：0]= LFSR[22：16] |
| 4\*N +2 | 00-FFh | （i）如果LTSSM状态是轮询.合规性：Error\_Status[7：0]（ii）否则LFSR[15：8] |
| 4\*N +3 | 00-FFh | （i）如果LTSSM状态是轮询，则符合：~Error\_Status[7：0]（ii）否则：LFSR[7：0] |

对照SKP有序集与标准SKP有序集的最后4个符号不同。它用于传送由每个Re定时器计算的奇偶校验位，以及由

上游/下游港口它还可以用于重定时器的接收器处的通道边缘化，如下所述。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表4-23 128 b/130 b编码的ControlSKP有序

|  |  |  |
| --- | --- | --- |
| 符号编号 | 值 | 描述 |
| 0至（4\*N-1）  [N可以是  1至5] | AAh，适用于8.0 GT/s和16.0GT/s数据速率 | SKP符号。  符号0是SKP有序集标识符。 |
| 99小时，32.0 GT/s和更高数据速率 |
| 4\*N | 78h | SKP\_END\_CTL符号。  表示再过三个符号后控制SKP有序集的结束。 |
| 4\*N + 1 | 00-FFh | 位7：**数据奇偶校验**  位6：**第一重定时器数据奇偶校验**  位5：**第二重定时器奇偶校验**位[4：0]：**裕量CRC**[4：0] |
| 4\*N +2 | 00-FFh | 第7位：**保证金奇偶校验**  位[6：0]：参见[4.2.13.1部分](#bookmark501) |
| 4\*N +3 | 00-FFh | 位[7：0]：参见[4.2.13.1部分](#bookmark502) |

从符号4N+2中的B its [6：0]（在下面的等式中称为d[6：0]）计算 d[0]是符号4N+2的位0，d[1]是符号4N+2的 （称为d[14：7]，其中d[7]是符号4N+3的位0，d[8]是符号4N+3的位1，. d[14]是符号4N+3的位7），如下：

裕量CRC[0]=d[0] ^d[3] ^ d[5] ^d[6] ^d[9] ^ d[10] ^d[11] ^d[12] ^ d[13]裕量CRC[1]=d[1] ^d[4] ^d[6] ^ d[7] ^d[10]^d[11] ^ d[12] ^d[13] ^d[14]裕量CRC[2]=d[0] ^d[2] ^ d[3] ^d[6] ^ d[7] ^d[8] ^d[9] ^ d[10] ^d[14]

裕度CRC[3]= d[1] ^d[3] ^d[4] ^ d[7] ^d[8] ^d[9] ^ d[10] ^d[11]

裕度CRC[4]= d[2] ^d[4] ^d[5] ^d[8] ^ d[9]^d[10] ^d[11] ^d[12]

’Margin Parity’ is

（即，余量奇偶校验=余量CRC[0] ^余量CRC[1] ^余量CRC[2] ^余量CRC[3] ^余量CRC[4] ^ d[0]^d[1]^d[2]^d[3] ^ d[4] ^ d[5] ^ d[6] ^ d[7] ^ d[8] ^ d[9] ^ d[10] ^ d[11] ^ d[12] ^ d[13] ^ d[14]）。

生成和检查Margin CRC和Margin Parity的规则在第4.2.1.3节中描述。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

控制SKP序集

符号4N+1（位[4：0]）、符号4N+2（位[7：0]）和符号4N+3（位[7：0]）中的21位由5位CRC和1位奇偶校验保护，留下15位用于信息传递。奇偶校验位提供对奇数个位翻转的检测（例如，1比特、3比特），而CRC提供1比特和2比特翻转的保证检测;因此导致在21比特上的三比特翻转检测保证以及长度为5的突发错误的保证检测。5位CRC从本原多项式x5+x2+ 1导出。

由于这21位不是TLP的一部分，因此相同内容的重复传递提供了传递保证。这 通过架构寄存器实现。下游命令从下游端口发送，反映架构寄存器的内容，而通过错误检查的上游状态更新为

下游端口中的状态寄存器。因此，软件有一种机制来发出命令，并在发出新命令之前等待状态被反射回来。因此，这15位信息充当

微包



<4.2.7.3>传输规则

·所有通道应以相同频率传输符号（在所有多通道链路内，比特率之间的差异为0 ppm）。

·传输时，相同长度的SKP有序集应在多通道链路的所有通道上同步传输，但[环回](#bookmark480)[中](#bookmark75)的[环回从站允许](#bookmark65)

[4.2.4.11](#bookmark75)和表8-7中关于该上下文中同时的定义）。

·使用8b/10 b编码时传输的SKP有序集必须遵循第www.example.com节中的定义[4.2.7.1。](#bookmark493)

·使用128 b/130 b编码时传输的SKP有序集必须遵循[第4.2.7.2](#bookmark494)中的定义

.

·使用8b/10 b编码时：

. 如果链路不在SRIS中操作[，](#bookmark77)或者在启用较低SKP OS生成向量字段中设置了与当前链路速度相对应的位，并且LTSSM处于L0中，则必须调度SKP有序集以在1180和1538符号时间之间的间隔进行传输。

. 如果链路在[SRIS](#bookmark77)中运行，并且对应于当前链路速度的位 启用较低SKP OS生成向量字段或LTSSM不在L0中，则必须调度SKP有序集以用于以小于154个符号时间的间隔进行传输。

·当使用128 b/130 b编码时：

. 如果链路未在SRIS中运行[，](#bookmark77)或者在启用较低SKP OS生成向量字段中设置了与当前链路速度相对应的位，并且LTSSM处于L0，则必须设置SKP有序

被调度用于在370和375个块之间的间隔处传输。[回送时隙](#bookmark65)必须满足此要求，直到它们开始回送入比特流。

. 如果链路在[SRIS](#bookmark77)中运行，并且对应于当前链路速度的位 如果启用较低SKP OS生成向量字段或LTSSM不在L0中，则必须调度SKP有序集以便以小于38个块的间隔进行传输。[LoopbackSlave](#bookmark65)必须满足这一点

直到它们开始循环返回传入的比特流。

. 当LTSSM处于环回状态并且链路未在SRIS中操作时[，](#bookmark77)环[回主机](#bookmark65) 必须安排两个SKP有序集进行传输，最多彼此相隔两个块，

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

间隔在370到375块之间。对于32.0 GT/s或更高的数据速率，允许[回送主机](#bookmark134)在两个SKP有序集之间具有EIEOSQ。

. 当LTSSM处于环回状态并且链路在SRIS中操作时[，](#bookmark77)[环包主设备](#bookmark134)必须调度两个SKP有序集以彼此相隔最多两个块的方式在一个或多个时隙处被传输。

间隔小于38块。对于32.0 GT/s或更高的数据速率，允许[环回主机](#bookmark134)在两个SKP有序集之间具有EIEOSQ。

. 仅在以下时间传输控制SKP有序集

▪ 当数据速率为16.0 GT/s或更高并传输数据流时。在数据流中传输的SKP有序集必须在标准SKP有序集 和控制SKP有序集。

▪ 当当前数据速率为16.0 GT/s或更高且LTSSM进入

配置.空闲状态或恢复.空闲状态。更多信息见第4.2.6.3.6节和第4.2.6.4.5节。 控制SKP有序集的该实例的传输不受上述任何最小调度间隔r要求的约束。变送器

允许但不要求在传输此控制SKP有序集实例后重置其SKP有序集调度间隔定时器。

·如果分组或有序集尚未在进行中，则应发送调度的SKP有序集

否则，它们被累积，然后在下一个分组或有序集边界处被连续地插入。 注意：使用128 b/130 b编码时，SKP有序集不能在数据流内的连续块中传输。更多信息见第4.2.2.3.2节。

·SKP有序集在监视连续符号或有序集（例如，八个连续的TS1有序集处于轮询活动状态）。

·当使用8b/10 b编码时：当在轮询期间正在进行合规模式或修改的合规模式（参见[第4.2.8](#bookmark503)）时，不得传输SKP有序 链路控制2寄存器的SOS位为0b。如果链路控制2寄存器的合规SOS位为1b，则两个

当使用8b/10 b编码时，当符合性模式或修改的符合性模式正在进行时，必须针对每个调度的SKP有序集时间间隔发送连续的SKP有序集（而不是一个）。

·使用128 b/130 b编码时：合规SOS寄存器b没有任何效果。在轮询合规期间，发送器不得发送任何SKP有序集，除非指定为修改后的

第4.2.11节中的合规模式[。](#bookmark504)

·在发送器电空闲的状态下花费的任何和所有时间不计入用于调度SKP有序集的传输的调度间隔中。

· 建议在变送器处于电气空闲状态时，任何用于调度SKP有序集的计数器或其他机制都应重置。

<4.2.7.4>接收方规则

· 当使用8b/10 b编码时，接收器应按照第www.example.com节中的定义识别接收到的SKP有序集[4.2.7.1](#bookmark493);[4.2.7.2](#bookmark494)当使用128 b/130b编码时，接收器应按照第www.example.com节中的定义识别接收到的SKP有序集。

. 所接收的SKP有序集的长度不应在多通道链路中的通道到通道之间变化，除非在Loopback.Active期间可能发生。

· 接收器应能够以1180至1180之间的平均间隔接收和处理SKP有序集。

当链路未在[SRIS](#bookmark77)中运行或其当前链路速度位在较低SKPOS接收中被设置时，使用8b/10b编码时为1538符号时间，使用128 b/130 b编码时为370至375块s

支持的速度矢量字段。接收方应能够接收和处理SKP订购集， 当链路在SRIS中操作时，当使用8b/10 b编码时，平均间隔小于154个符号时间，并且当使用128 b/130 b编码[时，平均间隔小于38个块。](#bookmark77)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 注：由于变送器处于电气空闲状态，因此不需要重置其基于时间的机制

在SKP有序集的调度中，接收器s应当容忍接收第一时间调度的SKP

在小于SKP有序集之间的平均时间间隔内电气空闲后的有序集

· 对于8.0 GT/s及以上的数据速率，在L0状态下，接收器必须检查每个SKP有序集之前是否有一个带有EDS令牌的数据块。

· 接收器应能够以2.5GT/s和5.0GT/s的数据速率接收和处理连续的SKP有序集。

. 接收器应能够接收和处理SKP有序集，其最大间隔取决于组件支持的Max\_Payload\_Size。对于2.5 GT/s和5.0GT/s数据速率，SKP有序集之间的最大符号数（N）的公式为：N= 1538+

（Max\_payload\_size\_byte+28）。例如，如果Max\_Payload\_Size是4096字节，则N = 1538+4096+28=5662。

4.2.8 8b/10 b编码中的顺应性模式

在轮询期间，必须根据第4.2.6.2.1节中描述的条件从Polling.Active进入Polling.Compliance子状态。符合性模式由8b/10 b符号K28.5、D21.5、K28.5和D10.2重复序列组成。合规性顺序如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 符号 | K28.5 | D21.5 | K28.5 | D10.2 |
| 当前差别 | 负 | 积极 | 积极 | 负 |
| 图案 | 0011111010 | 1010101010 | 1100000101 | 0101010101 |

第一个符合性序列符号必须具有负视差。允许创建视差错误，以将运行视差与第一个合规序列符号的负视差对齐。

对于具有多个通道的任何给定设备，每第八个通道延迟总共四个符号。两符号

延迟发生在四个符号一致性模式序列的开始和结束处。 允许x1设备或在x1模式下运行链路的xN设备包含具有合规性模式的延迟符号。

然后，每第八个通道上的该延迟序列为

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 符号： | D | D | K28.5 | D21.5 | K28.5 | D10.2 | D | D |

其中D是K28.5符号。 第一个D符号具有负视差，以将延迟视差与顺应性序列的视差对齐。

在八个符号被发送之后，延迟符号被推进到下一个通道，直到延迟符号已经在所有八个通道上被发送。 然后，延迟符号循环回到通道0，并且重复该过程。其获准

无论检测到或支持的通道数量如何，都可以在所有八个通道上提前延迟序列。此过程图示如下：

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 泳道0 | D | D | K28.5- | D21.5 | K28.5+ | D10.2 | D | D | K28.5- | D21.5 | K28.5+ | D10.2 |
| 泳道1 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 | D | D | K28.5- | D21.5 |
| 泳道2 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 |
| 泳道3 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 |
| 泳道4 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 泳道5 | K28.5- | D21.5 | | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 |
| 泳道6 | K28.5- | D21.5 | | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 |
| 泳道7 | K28.5- | D21.5 | | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 |
| 泳道8 | D | D | | K28.5- | D21.5 | K28.5+ | D10.2 | D | D | K28.5- | D21.5 | K28.5+ | D10.2 |
| 泳道9 | K28.5- | D21.5 | | K28.5+ | D10.2 | K28.5- | D21.5 | K28.5+ | D10.2 | D | D | K28.5- | D21.5 |
| 关键词： | K28.5-K28.5+D21.5 D10.2 D | | 视差为负时的COM，具体为：  异相数据符号，特别是： | | | | | | | | | | |

该延迟序列确保相邻通道之间的干扰，使得能够在接近最坏情况的符号间干扰和串扰条件下测量顺应性模式。

4.2.9 8b/10 b编码中修改的顺应性模式

修改后的顺应性模式由相同的基本顺应性模式序列（见[第4.2.8节）](#bookmark505)组成，但有一处变更。两个相同的错误状态符号后接两个K28.5，附加到基本合规性序列 8b/10 b符号（K28.5、D21.5、K28.5和D10.2），以形成（K28.5、D21.5、K28.5、

D10.2，错误状态符号，错误状态符号，K28.5，K28.5）。第一个修改后的顺应性S序列符号必须

负差距。允许创建视差错误，以将运行视差与第一个修改的顺应性序列符号的负视差对齐。对于具有多个通道的任何给定设备，每第八个通道是

总共有八个符号。K28.5的四个符号出现在开头，K28.7的另外四个符号

出现在八个符号修改顺应性模式序列的末尾。 第一个D符号具有负视差，以将延迟视差与修改后的顺应性序列的视差对齐。在发送16个符号后， 延迟符号前进到下一个通道，直到在所有八个通道上发送了延迟符号。 然后，延迟符号循环回到通道0，并且重复该过程。允许跨所有八个通道推进延迟序列，而不管检测到或支持的通道的数量。 允许x1设备或在x1模式下运行链路的xN设备包括具有修改的合规模式的延迟符号。

表4-24显示了修改后的顺应性模式[。](#bookmark506)注：此表是“包装”，以使其适合在页面上。

表4-24修改后的顺应性模式示意图

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Lane0 | D | D | D | D | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | *搜索*下一行 |
| 前一*行* | ERR | K28.5- | K28.5+ | K28.7- | K28.7- | K28.7- | K28.7- | K28.5- | D21.5 |
| 车道1 | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | *搜索*下一行 |
| 前一*行* | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | D | D |
| Lane2 | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | *搜索*下一行 |
| 前一*行* | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | D21.5 |
| Lane3 | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | *搜索*下一行 |
| 前一*行* | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | D21.5 |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 车道4 | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | *搜索*下一行 |
| 前一*行* | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | D21.5 |
| 五车道 | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | *搜索*下一行 |
| 前一*行* | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | D21.5 |
| 6号车道 | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | *搜索*下一行 |
| 前一*行* | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | D21.5 |
| 7号车道 | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | *搜索*下一行 |
| 前一*行* | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | D21.5 |
| 车道8 | D | D | D | D | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | *搜索*下一行 |
| 前一*行* | ERR | K28.5- | K28.5+ | K28.7- | K28.7- | K28.7- | K28.7- | K28.5- | D21.5 |
| 9号车道 | K28.5- | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | K28.5- | *搜索*下一行 |
| 前一*行* | D21.5 | K28.5+ | D10.2 | ERR | ERR | K28.5- | K28.5+ | D | D |
| 关键词： | K28.5-K28.5+D21.5 D10.2 D  ERR  K28.7-  **下一行上一***行* | 视差为负时的COM，具体为：  异相数据符号，特别是：  错误状态符号（具有适当的差异）  当差异为负时，特别是  这张桌子被包起来了，所以它适合在页面上。下一行后的列是上一行后的列*。* | | | | | | | | |

插入两个相同的错误符号而不是一个错误符号的原因是为了确保8b/10 b序列的差异不受添加错误状态符号的影响。

所有其他合规模式规则都是相同的（即，用于添加延迟符号s）的规则，以便保留顺应性图案n的所有串扰特性。

错误状态符号是一个8b/10 b数据符号，在每个通道的基础上进行维护，并以以下方式在8位域中进行

· 接收器错误计数（位6：0）-模式锁定位置位后，每次接收器错误时递增。

· 模式锁定（位7）-当通道锁定到传入的修改后的合规模式时断言。

4.2.10128 b/130 b编码中的合规模式

顺应性图案n由以下36或37个块的重复序列组成

1. 一个同步报头为01b的块，后跟64个1的128位未加扰有效载荷，后跟64个

2. 一个同步报头为01b的块，后面是以下128位未加扰有效载荷：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 泳道编号  模8  =0 | 泳道编号  模8  =1 | 泳道编号  模8  =2 | 泳道编号  模8  =3 | 泳道编号  模8  =4 | 泳道编号  模8  =5 | 泳道编号  模8  =6 | 泳道编号  模8  =7 |
| 符号0 | 55h | FFH | FFH | FFH | 55h | FFH | FFH | FFH |
| 符号1 | 55h | FFH | FFH | FFH | 55h | FFH | FFH | FFH |
| 符号2 | 55h | 00h | FFH | FFH | 55h | FFH | FFH | FFH |
| 符号3 | 55h | 00h | FFH | FFH | 55h | FFH | F0h | F0h |
| 符号4 | 55h | 00h | FFH | C0h | 55h | FFH | 00h | 00h |
| 符号5 | 55h | 00h | C0h | 00h | 55h | E0h | 00h | 00h |
| 符号6 | 55h | 00h | 00h | 00h | 55h | 00h | 00h | 00h |
| 符号7 | {P，~P} | {P，~P} | {P，~P} | {P，~P} | {P，~P} | {P，~P} | {P，~P} | {P，~P} |
| 符号8 | 00h | 1EH | 2DH | 3Ch | 4BH | 5Ah | 69h | 78h |
| 符号9 | 00h | 55h | 00h | 00h | 00h | 55h | 00h | F0h |
| 符号10 | 00h | 55h | 00h | 00h | 00h | 55h | 00h | 00h |
| 符号11 | 00h | 55h | 00h | 00h | 00h | 55h | 00h | 00h |
| 符号12 | 00h | 55h | 0FH | 0FH | 00h | 55h | 07h | 00h |
| 符号13 | 00h | 55h | FFH | FFH | 00h | 55h | FFH | 00h |
| 符号14 | 00h | 55h | FFH | FFH | 7FH | 55h | FFH | 00h |
| 符号15 | 00h | 55h | FFH | FFH | FFH | 55h | FFH | 00h |
| 关键词： | **P** 指示所使用的发送器预设值的4位编码。**~P** 表示P的按位逆。 | | | | | | | |

3. 一个同步报头为01b的块，后面是以下128位未加扰有效载荷：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 泳道编号  模8  =0 | 泳道编号  模8  =1 | 泳道编号  模8  =2 | 泳道编号  模8  =3 | 泳道编号  模8  =4 | 泳道编号  模8  =5 | 泳道编号  模8  =6 | 泳道编号  模8  =7 |
| 符号0 | FFH | FFH | 55h | FFH | FFH | FFH | 55h | FFH |
| 符号1 | FFH | FFH | 55h | FFH | FFH | FFH | 55h | FFH |
| 符号2 | FFH | FFH | 55h | FFH | FFH | FFH | 55h | FFH |
| 符号3 | F0h | F0h | 55h | F0h | F0h | F0h | 55h | F0h |
| 符号4 | 00h | 00h | 55h | 00h | 00h | 00h | 55h | 00h |
| 符号5 | 00h | 00h | 55h | 00h | 00h | 00h | 55h | 00h |
| 符号6 | 00h | 00h | 55h | 00h | 00h | 00h | 55h | 00h |
| 符号7 | {P，~P} | {P，~P} | {P，~P} | {P，~P} | {P，~P} | {P，~P} | {P，~P} | {P，~P} |



第391

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 泳道编号  模8  =0 | 泳道编号  模8  =1 | 泳道编号  模8  =2 | 泳道编号  模8  =3 | 泳道编号  模8  =4 | 泳道编号  模8  =5 | 泳道编号  模8  =6 | 泳道编号  模8  =7 |
| 符号8 | 00h | 1EH | 2DH | 3Ch | 4BH | 5Ah | 69h | 78h |
| 符号9 | 00h | 00h | 00h | 55h | 00h | 00h | 00h | 55h |
| 符号10 | 00h | 00h | 00h | 55h | 00h | 00h | 00h | 55h |
| 符号11 | 00h | 00h | 00h | 55h | 00h | 00h | 00h | 55h |
| 符号12 | FFH | 0FH | 0FH | 55h | 0FH | 0FH | 0FH | 55h |
| 符号13 | FFH | FFH | FFH | 55h | FFH | FFH | FFH | 55h |
| 符号14 | FFH | FFH | FFH | 55h | FFH | FFH | FFH | 55h |
| 符号15 | FFH | FFH | FFH | 55h | FFH | FFH | FFH | 55h |
| 关键词： | **P** 指示正在使用的发送器预设的4位编码。**~P** 表示P的按位逆。 | | | | | | | |

4. 一个EIEOSQ

5. 32个数据块，每个数据块具有16个IDL数据符号（00 h）加扰

执行说明

遵从性模式的前两个模块

第一个块是一个非常低的频率模式，以帮助测量预设设置。 第二块是通知通道号和顺应性模式正在使用的预设编码，以及确保整个顺应性模式是DC平衡的。



每个数据块中的有效载荷是该通道中的加扰器的输出（即， 输入数据为0b）。加扰器在同步报头位期间不前进。当发送EIEOS时，加扰器被初始化。用于确定加扰LFSR种子值的通道号取决于如何输入Polling.Compliance。如果由于

在正在设置的链路控制2寄存器中输入合规性位，则通道号是分配给通道的编号，并且每个通道上使用的接收通道极性是中使用的通道极性反转 最近一次[LinkUp](#bookmark142)是1B。如果车道当时不是配置的链路的一部分，并且对于进入Polling.Compliance的所有其他方法，车道编号是由Po rt分配的默认编号。这些默认编号必须是唯一的。例如，x16链路的每个通道必须分配一个介于0到15之间的唯一通道编号。的

合规模式的数据块不形成数据流，因此在有序集块到数据块的转换期间免于传输SDS有序集或EDS令牌的要求，反之亦然。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



**执行说明**

128 b/130 b编码中的有序顺应集和修正顺应

各种有序集（例如，EIEOS和SKP OS）遵循与当前操作数据速率相对应的有序集定义。例如，在32.0 GT/s数据速率下，EIEOS为32.0 GT/sEIEOS;在16.0GT/s数据速率下，

速率时，EIEOS为16.0 GT/sEIEOS;而在8.0 GT/s数据速率时，EIEOS为之前定义的8.0GT/s EIEOS。如第4.2.7节所定义[，](#bookmark459)SKP有序集是标准SKP有序集。

4.2.11 128 b/130 b编码中修改的顺应性模式

当不在[SRIS](#bookmark77)中操作时，修改后的顺应性模式包括重复以下序列65792或

65793块：

1. 一[个EIEOSQ](#bookmark7)

2. 256个数据块，每个数据块具有16个空闲数据符号（00h）的有效载荷，紧急停堆

3. 255套以下序列：i. 一个[SKP有序集](#bookmark459)

二. 256个数据块，每个数据块具有16个空闲数据符号（00h）的有效载荷，加扰

当在[SRIS](#bookmark77)中操作时，修改后的顺应性模式包括重复以下序列67585或

67586块：

1. 一[个EIEOSQ](#bookmark7)

2. 2048套以下序列：i. 一个[SKP有序集](#bookmark459)

二. 32个数据块，每个数据块具有16个空闲数据符号（00h）的有效载荷，被加扰

每个数据块中的有效载荷是该通道中的加扰器的输出（即， 输入数据为0b）。加扰器在同步报头比特期间不前进。当发送EIEOS时，加扰器被初始化。 用于确定加扰LFSR种子值的通道号取决于如何输入[Polling.Compliance](#bookmark151)。如果是因为

在设置的链路控制2寄存器中输入合规性位，则通道编号为分配给通道的编号，每个通道上使用的接收器通道极性为最常用的通道极性反转

最近一次[LinkUp](#bookmark142)是1b。如果通道不是当时配置的链路的一部分，并且对于进入[Polling.Compliance的所有其他方法，](#bookmark151)通道编号是端口分配的默认编号。 这些默认编号必须是唯一的。例如，x16链路的每个车道必须分配一个从0到15的唯一车道号。修改后的合规模式的数据块不形成数据串，因此在有序集块到数据块的转换期间免于传输[SDS有序集](#bookmark59)或EDS记录的要求，反之亦然。

4.2.12 128 b/130 b中的抖动测量模式

抖动测量模式由重复以下块组成

·01b的同步报头，之后是55h的16个符号的128比特未加扰有效载荷

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

这会产生一个1和0交替的模式，用于测量发射机

4.2.13接收器处的车道边缘

本节中定义的接收器处的通道边缘对于支持16.0GT/s或更高数据速率的所有端口（包括伪端口（重定时器））都是强制性的。接收器处的通道边界使系统软件能够获得边界

当链路处于L0状态时，给定接收器的信息。容限信息包括从当前接收器位置开始的任一方向上的电压和时间。对于在接收器处实现通道边缘的所有端口，通道

接收机定时裕量是必需的，而接收机电压裕量的La ne Margining支持在16.0 GT/s时是可选的，在32.0GT/s和更高的数据速率时是必需的。

当接收到裕量命令时，接收器处的通道裕量开始，链路以16.0GT/s或更高的数据速率操作，并且链路处于L0状态。当[转到正常设置](#bookmark508)命令被执行时，接收器处的车道边缘化结束

如果接收到错误消息，则链路改变速度，或者链路退出L0或恢复状态。当超过某些错误阈值时，接收器处的车道边缘可选地结束。允许在接收器处暂停车道边缘设置， 链接是在恢复独立的采样器。

以2.5 GT/s、5.0GT/s或8.0GT/s运行的PCIe链路不支持接收器处的通道边界。

软件使用每个端口（下游或上游）中的每通道边缘通道控制寄存器和边缘通道状态寄存器来发送[边缘命令](#bookmark509)并获得边缘状态信息

与端口相关联的相应接收器对于重定时器，用于获取有关

接收器的能力和状态以及对接收器进行容限的命令在下游方向的控制SKP有序集合中传送。目标重定时器接收器的状态和错误报告在

在上游方向控制SKP有序集。软件通过写入下游端口中的裕量通道控制寄存器中的适当位来控制重定时器接收器中的裕量。下游端口还

更新由链路中的重定时器通过控制SKP有序集传送到其边缘通道状态寄存器中的状态信息。

<4.2.13.1>接收方编号、保证金类型、使用模式和保证金有效载荷字段

下游端口中的边缘通道控制寄存器的四个命令字段的内容

反映在下游控制SKP有序集的相同字段中。在下游端口中接收的上游控制SKP有序集的内容总是反映在下游端口中的边缘通道状态寄存器的相应状态字段中。 下表提供了这些字段在控制SKP有序集中的位位置。

表4-25 ControlSKP有序集中与Margin命令相关的字段

|  |  |  |
| --- | --- | --- |
| 符号 | 描述 | |
| [使用模型](#bookmark511)= 0b | [使用型号](#bookmark512)100b |
| 4\*N +2 | Bit 7：[保证金奇偶校验](#bookmark500)（见[表4-23）](#bookmark498)  Bit 6：**UsageModel**=0b：Lane Margining at Receiver位[5：3]：**Margin Type**  位[2：0]：**接收器编号** | Bit 7：[保证金奇偶校验](#bookmark500)（见[表4-23）](#bookmark498)  位6：[使用模型](#bookmark512)= 1b：保留编码位[5：0]：保留 |
| 4\*N +3 | 位[7：0]：**保证金有效载荷** | 位[7：0]：保留 |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

[使用模型](#bookmark512)：编码为0b表示使用模型是接收器处的车道标记。此字段中的1b编码保留供将来使用。

如果[使用模式](#bookmark512)字段为1b，则符号4N+2的位[5：0]和符号4N+3的位[7：0]被保留。

当评估接收到的用于保证金命令的控制SKP有序集时，所有不理解

如果[使用模型字段为](#bookmark512)1b，则需要与使用模型= 1b关联的使用来忽略控制SKP有序集的符号4N+2的位[5：0]和符号4N+3的位[7：0]。

执行说明

控制SKP有序集的潜在未来用途

如[表4-25所定义，控制SKP有序集中15位信息的预期用途](#bookmark510)是接收机处的通道边缘。然而，单个位（符号4N+2的位7）被保留用于通道之外的任何未来使用。 在接收器处边缘化。如果将来定义了这种用法，则该位将被设置为1，其余14位 可以根据新的使用模型的需要进行定义。或者，符号4N可以使用与78h不同的编码用于任何未来的使用，允许符号4N+1、4N+2和4N+3中的所有比特被定义用于该使用模型。



[接收器编号：](#bookmark514)接收器如[图4 - 35所示](#bookmark516)。以下[接收器编号](#bookmark514)编码在下游端口中用于以该下游端口或该下游端口下方的重定时器为目标的容限命令

000b

广播（下游端口接收器和所有重定时器伪端口接收器）

001b

Rx（A）（下游端口接收器）

010B

Rx（B）（重定时器X或Z上行伪端口接收器）

011B

Rx（C）（重定时器X或Z下游伪端口接收器）

100b

Rx（D）（重定时器Y上行伪端口接收器）

101b

Rx（E）（重定时器Y下游伪端口接收器）

110b

保留

111b

保留

以下[接收器编号](#bookmark514)编码用于上行端口，用于以该上行端口为目标的Margin命令

000 b001 b010 b

广播（上行端口接收器）保留

保留

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

011 b100 b101 b110 b111 b

保留保留保留

Rx（F）（上游端口接收器）保留

|  |
| --- |
| 上游组件  下游端口  Tx（A） Rx（A） |

|  |
| --- |
| Rx（B） Tx（B）  重定时器X  Tx（C） Rx（C） |

|  |
| --- |
| 处方药（D） Tx（D）重定时器Y  Tx（E） Rx（E） |

|  |
| --- |
| Rx（F） Tx（女）  下游组件  上游端口 |

(Link两个重定时器）

|  |  |
| --- | --- |
| 上游组件  下游端口  Tx（A） Rx（A） | |
|  |  |
| Rx（B） Tx（B）  重定时器Z  Tx（C） Rx（C） | |
|  |  |
| Rx（F） Tx（女）  下游组件  上游端口 | |

(Link一个重定时器）

|  |  |
| --- | --- |
| 上游组件  下游端口  Tx（A） Rx（A） | |
|  | ▲ |
| Rx（F） Tx（女）  下游组件  上游端口 | |

(Link无重定时器）

（具有或不具有重定时器的各种系统拓扑）

图4-35接收机编号分配

[保证金类型](#bookmark513)和[保证金有效载荷](#bookmark515)：[保证金类型](#bookmark512)字段与有效的[接收方编号](#bookmark514)一起，与

[保证金类型](#bookmark512)编码和特定[的保证金有效载荷](#bookmark515)字段定义用于保证金的各种命令（称为“保证金有效载荷”）。

**Margin Command**）。[表4-26](#bookmark517)定义了有效[保证金命令](#bookmark509)的编码以及相应的

响应，用于控制SKP有序集以及边缘通道控制寄存器和边缘通道状态寄存器。始终广播的Margin命令将使用[接收器编号的广播编码，](#bookmark514) 即使只有一个接收机是目标（例如，在没有重定时器的链路中的UP或DP）。中的[接收器编号](#bookmark514)字段 对除[无命令](#bookmark518)之外的[容限命令](#bookmark509)的响应反映了正在响应的接收器的数量，甚至 对于广播的[保证金命令](#bookmark509)。在控制SKP有序集中，[MarginCommads](#bookmark509)进入下游，而响应进入上游。响应反映目标接收器响应的余量类型。的

[响应的Receiver Number](#bookmark514)字段对应于正在响应的目标Receiver。这里使用的各种参数，如MSampleCount，在第8.4.4节中定义。下面描述的所有未使用的编码都是保留的，不得视为有效的[保证金命令。](#bookmark509)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

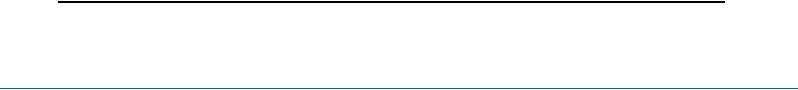
表4-26保证金命令和相应的响应

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 命令 | | | | 响应 | |
| [保证金命令](#bookmark507) | [保证金](#bookmark513)  [类型](#bookmark513)  【2：0】 | 有效  [接收器](#bookmark514)  数量  【2：0】 | [保证金有效载荷](#bookmark515)[7：0] | [保证金](#bookmark513)  [类型](#bookmark513)  【2：0】 | [保证金有效载荷](#bookmark515)[7：0] |
| 没有命令 | 111b | 000b | 9Ch  [（无命令](#bookmark520)也是上游方向的独立命令。预期响应为[无命令](#bookmark520)，[接收器编号](#bookmark514)=000 b。） | | |
| **访问重定时器 寄存器**（可选） | 001b | 010 b、100 b | 寄存器偏移量（字节）：  00h-87h，A0h- FFh | 001b | 寄存器值（如果支持）。目标接收器打开  如果重定时器不支持访问其寄存器，则返回00h。 |
| 报告边距  控制能力 | 001b | 001b  通过  110b | 88h | 001b | [保证金有效载荷](#bookmark515)[7：5] =预留;  [Margin Payload](#bookmark515)[4：0]={MIndErrorSampler，  M样本报告方法，MIndLeftRightTiming，  MIndUpDownVoltage， MVoltageSupported} |
| 报告  MNumVoltageSteps | 001b | 001b  通过  110b | 89H | 001b | [保证金有效载荷](#bookmark515)[7]=预留  [裕量有效负载](#bookmark515)[6：0]=MNumVoltageSteps |
| 报告  MNumTimingSteps | 001b | 001b  通过  110b | 8AH | 001b | [保证金有效负载](#bookmark515)[7：6] =保留  [保证金有效负载](#bookmark515)[5：0]=MNumTimingSteps |
| 报告  M最大定时偏移 | 001b | 001b  通过  110b | 8Bh | 001b | [保证金有效载荷](#bookmark515)[7]=预留  [保证金有效载荷](#bookmark515)[6：0]=MMaxTimingOffset |
| 报告  MMaxVoltageOffset | 001b | 001b  通过  110b | 8Ch | 001b | [保证金有效载荷](#bookmark515)[7]=预留  [裕量有效负载](#bookmark515)[6：0]=MMaxVoltageOffset |
| 报告  M采样率电压 | 001b | 001b  通过  110b | 8Dh | 001b | [保证金有效负载](#bookmark515)[7：6] =保留  [裕量有效负载](#bookmark515)[5：0]={M采样率电压[5：0]} |
| 报告  M采样率定时 | 001b | 001b  通过  110b | 8EH | 001b | [保证金有效负载](#bookmark515)[7：6] =保留  [保证金有效载荷](#bookmark515)[5：0]={M采样率定时[5：0]} |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 命令 | | | | 响应 | |
| [保证金命令](#bookmark507) | [保证金](#bookmark513)  [类型](#bookmark513)  【2：0】 | 有效  [接收器](#bookmark514)  数量  【2：0】 | [保证金有效载荷](#bookmark515)[7：0] | [保证金](#bookmark513)  [类型](#bookmark513)  【2：0】 | [保证金有效载荷](#bookmark515)[7：0] |
| 报告M样本计数 | 001b | 001b  通过  110b | 8Fh | 001b | [保证金有效载荷](#bookmark515)[7]=预留  [保证金有效负载](#bookmark515)[6：0]=M样本计数 |
| 报告MMaxLanes | 001b | 001b  通过  110b | 90h | 001b | [保证金有效载荷](#bookmark515)[7：5] =预留[保证金有效载荷](#bookmark515)[4：0] =M最大通道 |
| 报告保留 | 001b | 001b  通过  110b | 91- 9 Fh | 001b | [保证金有效负载](#bookmark515)[7：0]=保留 |
| 设置错误计数限制 | 010B | 001b  通过  110b | [保证金有效载荷](#bookmark515)[7：6]= 11b  [保证金](#bookmark515)  [有效载荷](#bookmark515)[5：0]=  错误计数限制 | 010B | [保证金有效载荷](#bookmark515)[7：6] = 11b  [保证金有效负载](#bookmark515)[5：0]=目标接收方 |
| 转到正常设置 | 010B | 000b  通过  110b | 0FH | 010B | 0FH |
| 清除错误日志 | 010B | 000b  通过  110b | 55h | 010B | 55h |
| 步进裕度到定时  向右/向左偏移  默认 | 011B | 001b  通过  110b | 参见[第](#bookmark524)[4.2.13.1.2](#bookmark525) | 011B | [保证金有效载荷](#bookmark515)[7：6]=  步骤保证金执行状态（参见[第4.2.13.1.1](#bookmark526)）  [保证金有效负载](#bookmark515)[5：0]=M错误计数 |
| 步进余量为  电压偏移至up/  违约保证金 | 100b | 001b  通过  110b | 参见[第](#bookmark528)[4.2.13.1.2](#bookmark529) | 100b | [保证金有效载荷](#bookmark515)[7：6]=  步骤保证金执行状态（参见[第4.2.13.1.1](#bookmark530)）  [保证金有效负载](#bookmark515)[5：0]=M错误计数 |
| 供应商定义 | 101b | 001b  通过  110b | 供应商定义 | 101b | 供应商定义 |

注意：



第398

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 命令 | | | | 响应 | |
| [保证金命令](#bookmark507) | [保证金](#bookmark513)  [类型](#bookmark513)  【2：0】 | 有效  [接收器](#bookmark514)  数量  【2：0】 | [保证金有效载荷](#bookmark515)[7：0] | [保证金](#bookmark513)  [类型](#bookmark513)  【2：0】 | [保证金有效载荷](#bookmark515)[7：0] |

1. 术语**步进裕度**命令用于指[默认值的右/左定时偏移的步进裕度](#bookmark523)或故障命令的上/下电压偏移的[步进](#bookmark527)[裕](#bookmark527)度。



4.2.13.1.1步进裕度Example状态

[表4-26](#bookmark519)中使用的**步进裕度执行状态**是一个2位字段，定义如下：

11b

不知道指示发出了不受支持的车道边距命令。例如，定时裕度超过±0.2 UI。错误计数为0。

10b

边缘化正在进行中。接收器正在执行[步进余量](#bookmark531)命令。MErrorCount反映了第8.4.4节中定义的检测到的错误数量。

01b

正在设置保证金。这表示接收器正在准备，但尚未开始执行[步进余量](#bookmark531)命令。错误计数为0。

00b

错误太多-接收器自动返回到其默认设置。MErrorCount反映了第8.4.4节中定义的检测到的错误数量。请注意，MErrorCount可能大于ErrorCount Limit。

4.2.13.1.2步进保证金命令的保证金有效载荷

对于[默认命令的右/左定时偏移的步进裕量](#bookmark523)，[裕量有效负载](#bookmark515)字段定义如下：

· 保证金有效载荷[7]：保留。

·如果目标接收器的MIndLeftRightTiming被设置：

. Margin Payload [6]指示[Margin Command](#bookmark507)是右还是左。0b表示将接收器移动到正常设置的右侧，而1b表示将接收器移动到正常设置的左侧。 正常设置。

. Margin Payload [5：0]表示正常设置左侧或右侧的步数。·如果目标接收器的MIndLeftRightTiming

. 保证金有效载荷[6]：保留

. Margin Payload [5：0]表示超出正常设置的步数

对于[步进裕量到电压偏移到默认命令的](#bookmark527)，[裕量Payload](#bookmark515)字段定义如下：

·如果目标接收器的MIndUpDownVoltage被设置：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. Margin Payload [7]指示[Margin Command是](#bookmark509)向上还是向下。0b表示从正常设置向上移动接收器，而1b表示从正常设置向下移动接收器。

正常设置。

. 保证金有效负载[6：0]表示从正常设置向上或向下的步数。·如果目标接收器的MIndUpDownVoltage

. 保证金有效载荷[7]：保留

. Margin Payload [6：0]表示超出正常设置的步数

<4.2.13.2>保证金命令和响应流

每个接收方均应按照第8.4.4节的规定，验证其能力。被保证金的接收方必须报告

与在用于余量调整的指示位置处发生的数据样本一致的错误的数量。为简单起见，虽然实际的余量调整方法可能是特定于实现的，但[余量命令](#bookmark509)和要求是根据移动数据采样器位置来描述的。例如，定时裕度可以在

实际数据采样器或独立/误差采样器。此外，可以通过向数据采样位置注入适当量的应力/抖动，或者通过实际移动数据/误差采样位置来实现定时裕度。当使用独立数据/误差采样器时， 必须在M ErrorCount中报告，即使链路可能没有遇到任何错误。要保证接收器、软件 将目标接收器从其默认采样位置移动到电压/定时偏移。

必须遵循以下规则：

· 每个重定时器上游伪端口接收器和下游端口接收器必须计算[裕量](#bookmark499) [CRC](#bookmark499)和[余量奇偶校验](#bookmark500)位，并与接收到的[余量CRC](#bookmark499)和[余量奇偶校验](#bookmark500)位进行比较。任何不匹配必须导致忽略符号4N+2和4N+3的内容。下游端口接收器必须报告

[通道错误状态寄存器中的Margin CRC](#bookmark499)和[Margin Parity](#bookmark500)错误（请参见www.example.com部分7.7.3.3）。

·允许上游端口接收器忽略控制SKP有序集的符号4N+2和4N+3中的[MarginCRC](#bookmark499)位、[Margin奇偶校验](#bookmark500)位和所有位。如果它检查[保证金CRC](#bookmark499)和[保证金奇偶校验](#bookmark500)，

必须在通道错误统计寄存器中报告不匹配。

·下游端口必须在每个通道中传输控制SKP有序子集，其中[容限类型、](#bookmark512)[接收器](#bookmark514) [数量、](#bookmark514)[使用模式](#bookmark512)和[保证金有效载荷](#bookmark515)字段反映了保证金通道控制寄存器中的相应控制字段。在配置写入完成后超过10 μs传输的任何控制SKP有序集必须反映该配置写入写入所写入的边缘通道控制寄存器值。

. 无论边缘通道控制寄存器中的值如何，此要求均适用。. 无论链路中重定时器的数量如何，此要求均适用。

· 对于由上游伪端口接收的控制SKP有序集，如果以下所有条件为真，则重定时器接收器是有效[容限命令](#bookmark509)的目标：

. [边距类型](#bookmark512)不是[无命令](#bookmark518)

. 接收[器编号](#bookmark514)是分配给接收器的编号，或者[余量类型](#bookmark512)是[清除错误日志](#bookmark522)或[转到正常设置](#bookmark508)，[接收器编号](#bookmark514)是“广播”。

. “[使用模式](#bookmark512)”字段为0b

. “[保证金类型”、](#bookmark512)[“接收者编号”](#bookmark514)和[“保证金有效](#bookmark515)载荷”字段与[表4-25](#bookmark510)和[表4-26](#bookmark517)中的定义一致

. 保证[金CRC](#bookmark499)校验和[保证金奇偶](#bookmark500)校验通过。

· 对于上游和下游端口，如果接收器的边缘通道控制寄存器满足以下所有条件，则接收器是有效边缘命令的目标：