5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 边距类型不是无命令

[. 接收方编号是指分配给接收方的编号，或者保证金类型是清除错误日志](#bookmark1)

[或转到正常设置，接收器编号为“Broadcast”](#bookmark2)

[. “使用模式”字段为0b](#bookmark3)

[. “保证金类型”、“接收者编号”和“有效载荷中的保证金”字段与定义一致](#bookmark4)

[表4-26](#bookmark5)

[·上游端口必须传输无命令的控制SKP有序集。](#bookmark6)

[·目标接收器必须在接收到有效余量的1ms内应用并响应余量命令](#bookmark7)

[如果链路仍处于L0状态并以16.0GT/s或更高的数据速率运行，则命令。](#bookmark8)

. 重定时器中的目标接收器必须在接收到容限命令的1 ms内，在上游方向的控制SKP有序集中发送响应。

. 上游端口中的目标接收器必须在接收到裕量命令的1 ms内更新通道裕量命令和状态寄存器的状态字段。

. 如果未广播命令或未发送重定时器，则下游端口中的目标接收器必须在接收到裕量命令的1ms内更新通道裕量命令和状态寄存器的状态字段

· 对于由重定时器广播和接收的有效边距类型（无命令除外）

. 位于位置X的重定时器（见图4-35）在上游中转发未修改的响应。

控制SKP有序集，如果命令已应用，则发送No命令。

. 响应的“接收器编号”字段必须设置为重定时器的伪

口岸

. 只有在两个伪端口都完成Margin命令后，重定时器才必须响应。

·重定时器必须覆盖符号4N+1的位[4：0]、符号4N+2的位[7，5：0]

4N+3，因为它在上游方向转发控制SKP有序集，如果它是裕量命令的目标接收器并且正在执行该命令。

·在接收到控制SKP有序集时，下游端口必须在1 μs内从接收到的控制SKP有序集中的相应字段反映边缘通道状态寄存器，如果它通过了边缘CRC和边缘奇偶校验校验，并且以下条件之一适用：

. 在边缘通道控制寄存器中：接收器编号为010 b至101 b

. 在边缘通道控制寄存器中：接收器编号为000b，边缘命令为清除错误日志、无命令或转到正常设置，并且链路中有重定时器

. （可选）如果标记车道控制寄存器使用模型字段为1b

. 可选地，如果边缘通道控制寄存器接收器号字段为110 b或111 b

无论接收到的控制SKP有序集中的使用模型位如何，边缘通道状态寄存器字段都被更新。

·组件必须在其所有接收器上为第8.4.4节中的表8-11中定义的每个参数r通告相同的值。当LinkUp = 1b时，组件不得更改第8.4.4节表8-11中定义的MSampleCount和MErrorCount以外的任何参数值。

·接收到有效步进裕度命令的目标接收器必须继续应用该偏移，直到发生以下

. 它收到一个有效的“转到正常设置”命令

. 它收到后续有效的步进保证金命令，其中包含不同的保证金类型或保证金有效负载字段

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. MIndErrorSampler为0波段MErrorCount超出错误计数限值

. 可选地，MIndErrorSampler为1波段，MErrorCount超过ErrorCount Limit。

·如果由于MErrorCount超过ErrorCount Limit（错误计数限制）而终止步进保证金命令，则目标接收器必须自动返回其默认采样位置，并在Margin Payload（保证金有效载荷）字段中指明这一点（步进保证金 执行状态=00b）。注：如果MIndErrorSampler为1b，则此原因的终止为选项al。

· 如果MIndErrorSampler为0b，则在以下情况下检测

. 目标接收器是在L0中进入Recovery或检测到数据奇偶校验不匹配

. 目标接收器是进入转发训练集或在转发非训练集时检测到数据奇偶校验不匹配的伪端口。

· 如果MIndErrorSampler为1b，则在以下情况下检测

. 目标接收器是端口，在L0中检测到位错误

. 目标接收器是一个伪端口，当重定时器转发非训练集时检测到比特错误

· 如果MIndErrorSampler是0带，则（1）目标接收器是进入恢复的端口，或者（2）目标接收器是进入转发训练集的伪端口：

. 目标接收器必须返回到默认样本位置

. 如果目标接收器是仍在执行余量调整的端口，则必须在进入L0后128 μs内恢复余量位置

. 如果目标接收器是仍在执行余量调整的伪端口，则必须在转发非训练集的128 μs内恢复余量位置

·目标接收器需要在接收到清除错误日志命令时清除其累积错误计数，同时它继续进行裕度（如果它是仍在进行中的步进裕度命令的目标接收器），如果它正在这样做的话。

·对于设置错误计数限制命令的目标接收器，新值用于所有未来步长裕度命令，直到接收到新的设置错误计数限制命令。

· 如果自输入L0以来接收器未接收到设置错误计数限制，则默认值为4。

·如果在步进容限命令生效时接收到设置错误计数限制命令，则行为未定义。

·一旦目标接收器报告11b（NAK）或00b（“太多错误”）的步进容限执行状态，只要步进容限命令有效，它就必须继续报告相同的状态。

·目标接收器在接收到新的有效步进保证金命令后，不得报告步进保证金执行状态01b（“正在进行的设定保证金”）超过

·报告步骤余量执行状态而不是01b的目标接收器不能随后报告01b，除非其接收到新的有效步骤余量命令。

· 保证金有效载荷中的保留位必须遵循以下规则：

. 下游或上游端口必须为保留位传输smit 0。重定时器必须不加修改地转发保留

. 所有接收器必须忽略保留位

·保证金指令、接收方编号或保证金有效载荷字段的保留编码必须遵循以下规则：

. 重定时器必须转发未修改的

. 所有接收器必须将保留编码视为不是Margin命令的目标

·忽略重定时器未定义的AVENDOR定义的裕度命令或响应，并正常转发。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·如果重定时器上的目标接收器不支持寄存器访问，则它必须在访问重定时器寄存器命令的响应有效载荷上返回00h。如果重定时器支持访问重定时器寄存器命令，则

必须遵守：

. 它必须分别在位置80和84 h处返回DWORD的非零值。

. 它不能放置任何对应于裕量P负载位置88 h到9 Fh的寄存器。

<4.2.13.3>接收器裕量测试要求

软件必须确保在接收器处执行通道边缘化之前满足以下条件

·当前链路数据速率必须为16.0GT/s或更高。

·当前链路宽度必须包括要测试的车道

·上游端口的功能必须编程为D状态，以防止端口进入L1链路状态。 参见[第5.2 f](#bookmark9)节或更多信息。

·在下行端口和上行端口中，链路控制寄存器的ASPM控制字段必须设置为00b（禁用）。

·链路控制2寄存器的硬件自主速度禁用位的状态和硬件

必须保存链路控制寄存器的自主宽度禁用位，以便在此过程中稍后恢复。

· 如果可写，则必须在下游端口和上游端口中设置链路控制2寄存器的硬件自主速度禁用位。(If硬连接到0b，自主变速机制不是

已实施，因此本质上是禁用的。）

· 如果可写，则在下游端口和上游端口中，链路控制寄存器的硬件自主宽度禁用位必须置1。(If硬连线到0b，自主宽度改变机制不 已实施，因此本质上是禁用的。）

保证金计算时，软件必须确保以下内容：

·所有边界命令必须将边界车道控制寄存器中的使用模式字段设置为0b。 在检查未完成的边缘命令的状态时，软件必须检查边缘车道状态寄存器的状态部分的使用模型字段是否设置为0b。

·软件必须读取接收器提供的能力，并

它提供的能力。发出的命令和确定保证金的过程

与第4.2.13节和第8.4.4节中提供的定义一致。例如，如果端口不 支持电压测试，则软件不得启动电压测试。此外，如果端口支持同时测试2个通道，则软件必须同时仅测试1个或2个通道，且不超过2个通道。

· 对于MIndErrorSampler为1b的接收器，允许并行地对此类接收器的任何组合进行余量调整。

· 对于其中MIndErrorSampler为0b的接收器，一次允许至多一个这样的接收器被裕量。

但是，可以同时在多个通道上执行余量调整，只要它在设备支持的最大通道数内。

·软件必须确保其在“边缘车道控制记录器”中提供的边缘命令是有效的，如第www.example.com节中所定义4.2.13.1。例如，保证金类型必须具有定义的编码，

接收器编号和Margin有效载荷与之一致。

·在通过原子地写入到边缘通道控制寄存器来发出命令之后，软件必须检查该命令的完成。这是通过原子地读取边缘通道状态寄存器来完成的，

检查状态字段是否与发出命令的预期响应匹配（参见表4-25）。如果在发出新的Margin Command后经过10 ms，并且读取的值与预期值不匹配，

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

响应时，允许软件假设接收方不会响应，并声明目标

接收器余量调整失败。对于除No Command之外的broadcast命令， 响应必须对应于RetimerY或RetimerZ中的一个伪端口，如图4-35所示。

·对边缘通道状态寄存器的任何两次读取应间隔至少10 μs，以确保它们读取的结果来自不同的控制SKP有序集。

·软件必须广播“无命令”，并在保证金通道控制寄存器中发出新的保证金类型或接收方编号或保证金有效载荷之前等待命令完成。

·在给定方向（电压/定时和上/下/左/右）的边缘结束时，必须在下游中连续广播进入正常设置、无命令、清除错误日志和无命令，

上游端口，在确保每个命令已被目标接收器确认之后。

· 如果数据速率在余量调整期间发生变化，则余量调整结果（如果有）不准确，软件必须 退出保证金程序。软件必须将裕量通道控制寄存器设置为无命令，以避免在数据速率后来变为16.0 GT/s或更高时启动裕量。

·允许软件在保证金调整过程中定期发出清除错误日志命令，以收集长时间的错误信息。

·软件不得试图同时裕量目标接收器的定时和电压。如果接收器接收到的命令同时将电压和时序裕量位置置于远离默认采样位置的位置，则结果不确定。

·在切换到下一个裕量步长位置之前，软件应允许裕量调整运行至少10 8位，由受测接收器进行裕量调整（除非超出错误限制）。

·软件必须在测量容限时间或接收器采样的位数d时考虑“设置容限进行中”状态。

· 如果目标接收器在发出一个步进裕度命令后报告“正在进行裕度设置”200 ms，则允许软件假设接收器不会响应，并声明目标接收器 接收器余量调整失败。

·如果接收方在裕量有效载荷状态字段中报告“NAK”，并且相应的步进裕量命令

有效且在允许范围内（如第4.2.13节和第8.4.4节所定义），允许软件声明目标接收器未通过余量调整。

·当裕量测试程序完成时，硬件自主速度禁用位和硬件自主宽度禁用位的状态必须恢复到先前保存的值。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



执行说明

接收器处车道边缘化的软件流程示例

为了获得不变参数，可以遵循以下步骤。一旦获得，只要LinkUp =1b继续为真，就可以在多组保证金测试中使用相同的参数。为每个

在链接组件中，执行以下步骤。 软件可以为链路的不同通道上的不同组件并行执行这些步骤。

步骤Al：

发行报告保证金控制功能（保证金类型=001b，保证金有效载荷=88h，接收器编号=保证金通道控制寄存器中的目标设备）

步骤A2：

读取边缘通道状态寄存器。

a. 如果余量类型= 001波段接收器编号=目标接收器：转到[步骤A3](#bookmark12)

B. 否则：如果自命令发出以来已过期10 ms，则声明接收器余量调整失败并退出;否则等待>10 μs并转到[步骤A2](#bookmark11)

步骤A3：

存储所提供的保证金有效负载状态字段信息，以便在保证金计算期间使用。

步骤A4：

广播无命令（边缘通道控制寄存器中的边缘类型= 111b，接收器编号=000b，边缘有效载荷=9Ch），并等待这些命令反映回边缘通道状态

注册.如果10 ms到期而没有得到命令完成握手，则声明接收器失败并退出。

步骤A5：

重复[步骤A1](#bookmark10)至[步骤A4](#bookmark13)，以报告MNumVoltageSteps、报告MNumTimingSteps、报告MMaxTimingOffset、报告MMaxVoltageOffset、报告MSamplingRateVoltage和报告MSamplingRateTiming。可注意到

该步骤可以针对不同的保证金类型在不同的车道上并行执行。

跨链路的每个通道上的边界可以是单独命令的序列。在启动

序列，软件应读取允许同时运行裕量的最大通道数

这些步骤将类似于上面使用Report MMaxLanes命令的步骤A1到步骤A4。之后

软件可以同时为链路多个通道留出余量。在每个链路上，在确保链路以16.0 GT/s或更高数据速率的全宽度运行、硬件自主宽度和速度变化以及ASPM功率之后，根据其能力（受此处所述的约束）对每个接收器进行裕量 国家被禁用。

如果软件希望设置不同于默认值4或最后编程的任何值的错误计数限值，则在进入以下[步骤C1之前执行以下步骤](#bookmark15)。

步骤B1：

问题设置错误计数限制（在边缘通道控制寄存器中，边缘类型=010 b，目标接收器编号，边缘有效负载={11 b，错误计数限制}）

步骤B2：

读取边缘通道状态寄存器。

a. 如果保证金类型=010 b，接收方编号=目标接收方，保证金有效载荷=保证金有效载荷控制字段（位[14：7]），则转到[步骤B4](#bookmark17)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



B. 否则：如果命令发出后10 ms已过期，则转到[步骤B3](#bookmark18);否则等待>10 μs并转到[步骤](#bookmark16)[B2](#bookmark16)

步骤B3：

边缘化失败了。如果由于可靠性原因导致链路的宽度/速度降低，则系统会进行检查。

步骤B4：

广播无命令并等待这些命令在状态字段中反映出来。如果10 ms过期而没有得到命令完成h和shake，则声明Receiver失败并退出。

以下步骤是给定接收器的一个裕度点的示例流程，该接收器执行步长裕度到默认值的右/左定时偏移，从向右15步开始

步骤C1：

[在保证金中写入保证金类型= 011 b、目标接收方编号和保证金有效载荷=](#bookmark20)

[车道控制寄存器](#bookmark21)

步骤C2：

[读取边缘通道状态寄存器。](#bookmark22)

a. 如果容限类型= 011波段接收器编号=目标接收器，则转到[步骤C3](#bookmark24)

[B. 否则，如果发出命令后10 ms已过期，则声明接收器余量调整失败并转到](#bookmark25)

[步骤C7](#bookmark26)

C. 等待>10 μs并转到[步骤C2](#bookmark21)

步骤C3：

[在边缘车道状态寄存器中：](#bookmark28)

[a. 如果保证金有效载荷[7：6] = 11b：](#bookmark29)

[I. 如果我们超过了0.2 UI，那就是边际;](#bookmark30)

二. 否则，此时报告边缘故障并转到[步骤C7;](#bookmark32)

[B. 否则，如果保证金有效载荷[7：6]= 00 b：](#bookmark33)

I. 此时报告边缘故障并转到[步骤C7](#bookmark35)

[C. 否则，如果保证金有效载荷[7：6]= 01b：](#bookmark36)

I. 如果自进入[步骤C3](#bookmark24)以来已经过去了200 ms，则报告接收器余量调整失败

测试和退出;

二. 否则等待1 ms，读取边缘通道状态寄存器并转到[步骤C3](#bookmark24)

D. 否则转至[步骤C4](#bookmark39)

步骤C4：

[在对保证金通道状态进行采样时，等待所需的保证金处理时间](#bookmark40)

[定期注册Margin Payload字段中报告的错误数（位[5：0]-MErrorCount）。](#bookmark41)

对于更长的运行，如果时间长度将导致错误计数超过设置错误计数限制，即使在预期BER目标内，也要发出No Command（否命令），然后是Clear Error Log（清除错误日志）命令（使用与[步骤B1](#bookmark14)至[步骤B4类似的程序](#bookmark19)，并带有相应的预期状态字段）。

如果合计错误计数保持在预期错误计数和保证金有效载荷[7：6]范围内， 状态字段保持10 b直到第二天，接收器在定时裕量步骤中具有所需的裕量;否则定时裕量步骤失败，转至[步骤C7。](#bookmark42)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



**步骤C5：**

广播无命令并等待这些命令在状态字段中反映出来。如果10 ms到期，

获取命令完成h和shake，声明Receiver失败并退出。

步骤C6：

转到[步骤C1](#bookmark15)，如果我们想要针对更高的裕量进行测试，则通过裕量有效负载控制字段（位[5：0]）递增定时步长的数量;否则转到[步骤C8](#bookmark44)，注意接收器传递的裕量值

步骤C7：

余量失败;接收器在[步骤C6](#bookmark43)中通过的前一个余量步长是接收器的余量

步骤C8：

广播无命令、清除错误日志、无命令、转到正常设置系列命令（使用类似于[步骤B1](#bookmark14)至[步骤B4](#bookmark19)的程序，并带有相应的预期状态字段）

4.3重定时

本节定义了重定时器的要求，这些重定时器是物理层协议感知的，并且与重定时器每端上具有任何兼容通道的任何组件对互操作。物理层协议感知重定时器的重要能力是在每个方向上执行均衡过程的阶段2/3。最多两 在上游端口和下游端口之间允许重定时器。

两个重定时器限制基于多个考虑，最显著的是对修改SKP有序集的限制和对均衡过程的阶段2/3中花费的时间的限制。为确保互操作性，平台设计人员必须确保所有PCI Express链路都遵守两个重定时器限制，包括涉及外形尺寸的链路以及

包括有源电缆。外形规格可能会定义必须遵守的其他重定时器规则。 评估与任何延伸导线器械的互操作性（不基于本节中的重定时器定义）不在本规范范围内。

扩展设备的许多架构是可能的，即，仅模拟中继器、协议未知重定时器等。这

本说明书描述了物理层协议感知重定时器。也可以使用其他类型的扩展

如果对特定通道、扩展设备和终端设备对进行了适当的分析，则封闭系统中的设备-但执行此分析的特定方法不在本规范的范围内。

重定时器有两个伪端口，一个面向上游，另一个面向下游。每个人的传递者

伪端口必须从100 MHz参考时钟中获取时钟。 参考时钟必须符合第8.6节的要求。重定时器支持第8.6节“电气”中定义的一个或多个参考时钟

副街区。

在大多数操作中，重定时器只是转发接收到的或有序集、DLLP、TLP、逻辑空闲和电气空闲。

重定时器对于数据链路层和事务层是完全透明的。 系统软件不得在存在重定时器的任何链路上启用L0。重定时器对beacon的支持是可选的，超出了本文的范围。

规范.

当使用128 b/130 b编码时，重定时器执行协议，使得每个链路段经历独立的链路均衡，如第4.3节所述[。第六章](#bookmark45)

伪端口方向（上游或下游）是动态确定的，而链路伙伴处于配置状态。支持crosslink和常规链接。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.3.1重定时器要求

以下是重定时器要求的高级摘要

·重定时器必须符合第8章电气子块中所述的所有电气规范。重定时器必须在以下两种模式之一下工作：

. 重定时器接收器在8.0 GT/s及以上的速度下工作，阻抗满足Z RX-DC参数为2.5 GT/s定义的范围。

. 重定时器的接收器在8.0 GT/s及以上的速度下工作，阻抗不满足Z RX-DC参数r为2.5 GT/s定义的范围。在此模式下，必须在接收到n EIOS或推断电气空闲的1 ms内满足2.5 GT/s的Z RX-DC参数，同时接收器保持在 电气怠速。

·当多于一个通道正在转发符号（包括向上配置情况）时，转发的符号必须始终被偏斜。

·动态确定端口

· 执行通道极性反转（如果需要）。

· 当在每个链路段上使用128 b/130 b编码时，执行阶段2和阶段3的链路均衡过程。

· 在每个链路段上以5.0 GT/s的速率与去加重协商进行互操作

· 与链路升级互操作

·在Loopback Master和LoopbackSlave之间传递数据。. 可选地，在一个伪端口上执行从属环回。

·在每个伪端口上生成符合性模式。 . 负载板法（即，在轮询中超时。活动）。

·当链路进入轮询时转发修改的符合性模式。通过TS 1有序集中的符合性接收位的符合性。

·当端口进入轮询时转发合规性或修改的合规性模式

在上行端口和下行端口中，链路控制2寄存器中的一致性位均设置

并且在重定时器中将重定时器输入顺应性设置为1b（以实现特定的方式访问）。

·与链路的上游和下游端口一致地调整操作的数据速率。

·与链路的上游端口和下游端口一致地调整链路宽度。

·在配置过程中捕获通道号。

. 当对加扰种子使用128 b/130 b编码时，需要通道号

· 动态调整Ret imer接收器阻抗，以匹配终端组件接收器阻抗。

· 推断在所有数据速率下进入电气怠速。

· 在转发时修改有序集的某些字段。

·通过添加或删除SKP符号执行时钟补偿。

·支持L1。

. 可选支持L1 PM子状态。

·支持链路均衡到最高数据速率。

·支持无重复模式。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.3.2支持的重定时器拓扑

[图4-36](#bookmark46)显示了本规范中定义的重定时器支持的拓扑结构。链路上的上游端口和下游端口之间可能有一个或两个重定时器。每个重定时器都有两个伪端口，用于确定

下游/上游方向动态。每个重定时器都有一个上游路径和一个下游路径。

在转发模式下，伪端口必须始终以相同的数据速率运行。 因此，每个路径也将处于相同的数据速率。允许重定时器支持本规范定义的任何宽度选项作为其最大宽度。重定时器在每个高级操作模式下的行为为：

· 转发方式：

. 符号、电气怠速和退出电气怠速;在每个上游和下游路径上转发。

· 执行方式：

. 上游伪端口充当组件的上游端口。 下游伪端口充当组件的下游端口。此模式用于以下情况：

▪ Polling.Compliance.

▪ 链路均衡程序的第2阶段和第3阶段。

▪ 可选从环回。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | |  | | --- | | 上游组件  (RC或Switch）  下游端口 |  |  | | --- | | 上游伪端口  重定时器组件  下游伪端口 |  |  | | --- | | 上游伪端口  重定时器组件  下游伪端口 |  |  | | --- | | 上游端口  下游组件（端点或交换机） | | |  | | --- | | 上游组件  (RC或Switch）  下游端口 |  |  | | --- | | 上游伪端口  重定时器组件  下游伪端口 |  |  | | --- | | 上游端口  下游组件（端点或交换机） | |
|  |
|  |

图4-36支持的重定时器拓扑

4.3.3变量

在基本复位之后或每当重定时器在接收TS2的所有通道上的两个连续TS2有序集上接收等于PAD的链路和通道号时，将以下变量设置为以下指定值

从第一个通道上第二个TS 2有序集的最后一个符号到最后一个通道上第二个TS 2有序集的最后一个符号的1 μs时间窗口内，上游和下游伪端口上的有序集。

· **RT\_port\_orientation**=未定义

· **RT\_captured\_lane\_number**= PAD

· **RT\_captured\_link\_number**= PAD

· **RT\_G3\_EQ\_complete**= 0b

· **RT\_G4\_EQ\_complete**= 0b

· **RT\_G5\_EQ\_complete**= 0b

· **RT\_LinkUp**= 0b

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· **RT\_next\_data\_ratee**= 2.5 GT/s

· **RT\_error\_data\_rate**= 2.5 GT/s

4.3.4接收器阻抗配置规则

当发出基本复位时，重定时器发射器和接收器应满足第4.2.4.9.1节中的要求。当基本复位被取消置位时，允许重定时器最多占用20 ms的时间才能激活

确定其接收器阻抗。在此间隔期间，接收器阻抗保持在 基本重置。一旦该间隔到期，重定时器通道上的接收器阻抗确定如下：

·在上游或下游端口

阻抗被反向传播，（即，重定时器

另一个伪端口上的对应通道）。每条车道独立运行，此要求始终适用。

·重定时器必须保持其变送器处于电气空闲状态，直到检测到Z RX-DC状态。 这适用于单个车道。

4.3.5模式之间的切换

重定时器在两种基本模式下工作，转发模式或执行模式。 当在这些模式之间切换时，切换必须同时发生在T转换的所有车道的有序集边界上。在当前模式下传输的最后一个有序集和新模式下传输的第一个符号之间不得有其他符号。

模式

当使用128 b/130 b时，发射机在模式之间切换时必须保持正确的加扰种子和LFSR值。

当在转发和执行模式之间切换时，重新定时器必须确保在先前模式中发送的最后一个EIEOS和新模式中发送的第一个EIEOS之间发送至少16个TS1有序集和最多64个TS1有序集。

在执行链路均衡模式之间切换时，重定时器必须确保发送器不会连续发送两个SKP有序集，并且SKP有序集之间不超过最大允许间隔，请参见第www.example.com节4.2.7.3。

4.3.6转发规则

这些规则适用于重定时器处于转发模式时。基本复位解除后，重定时器处于转发模式。

· 如果重定时器[4.3.6.3的接收器检测到通道上的电气空闲退出，则重定时器必须进入转发模式，并将该通道上的符号转发到相对的伪端口，如第www.example.com节所述。](#bookmark52)

·重定时器必须继续在给定通道上转发接收到的符号，直到它进入执行模式或直到接收到EIOS，或直到在该通道上推断出电子空闲。这一要求适用于即使 接收器丢失符号锁定或块对齐。有关[4.3.6.5](#bookmark53)电气怠速进入的规则，请参见www.example.com上的第节。

·除[4.3.6.9](#bookmark54)和<4.3.6.7>中所述外，重定时器应转发所有未更改的符号。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·当以2.5GT/s数据速率操作时，如果伪端口的任何通道接收具有设置为PAD的链路和通道号的TS 1有序集达5 ms或更长时间，并且另一伪端口在该相同窗口中没有检测到从任何通道上的电空闲退出，并且发生以下任一

. 发生以下序列

在接收TS1有序集的

断电后为电气空闲，持续时间小于5 ms

根据[第4.3.6.3](#bookmark55)，电气怠速退出后的故障无法

▪ 注：这被解释为连接到接收器的端口进入电气空闲状态，然后是2.5 GT/s以上的顺应性模式的数据速率变化。

. 在接收TS 1有序集的任何通道上接收2.5 GT/s的顺应性模式。 然后，重定时器进入执行模式CompLoadBoard状态，并在www.example.com上关注[Secti4.3.7.1。](#bookmark56)

· 如果上游伪端口上的任何通道接收到EC字段等于10 b的两个连续的TS 1有序集，则当使用128 b/130 b编码时，重定时器进入执行模式均衡，并遵循

[部分4.3.7.2。](#bookmark57)

· 如果重定时器被配置为支持执行模式从环回，并且如果任一伪端口上的任何通道接收到两个连续的TS1有序集或两个连续的TS2有序集，且环回位被设置为1b，则重定时器进入执行模式从环回，并遵循[第4.3.7.3节。](#bookmark58)

<4.3.6.1>转发类型规则

重定时器必须确定它转发的符号类型。 推断振铃电气怠速的规则取决于重定时器正在转发的符号类型。如果路径在任何通道上转发两个连续的TS1有序集或两个连续的TS2有序集，则路径转发训练集。如果路径转发八个连续的符号

所有通道上的空闲数据时间，这些通道转发符号，然后是Pathis转发非训练集。当一个

当重定时器从转发训练集转换到转发非训练集时，变量RT\_error\_data\_rate被设置为2.5GT/s。

<4.3.6.2>方向和车道号规则

重定时器必须在链路训练时动态确定端口

·当[RT\_LinkUp](#bookmark49)=0时，接收具有非PAD通道的两个连续TS 1有序集的第一伪端口

任何通道上的一个伪端口号，其RT\_port\_orientation变量设置为上游端口，而另一个伪端口的RT\_port\_orientation变量设置为下游端口。

·重定时器在车道号确定中不起作用。重定时器必须在配置状态结束时使用RT\_captured\_lane\_number变量捕获通道号，

件. 这适用于第一次通过配置，即， 当[RT\_LinkUp](#bookmark49)设置为0b时。

在链路宽度配置期间，通过配置的后续行程不得更改车道号。当使用128 b/130 b时，加扰种子需要通道号。在某些情况下，当重定时器处于ExTimer模式时，需要使用链路号。链路号和车道号是使用

[在RT\_LinkUp](#bookmark49)变量被激活之后，每当接收到包含非PAD通道和非PAD链路号的前两个连续TS2有序集时，RT\_captured\_lane\_number和RT\_captured\_link\_number变量被 设置为0B。如果发生车道逆转，重定时器必须正常工作。当重定时器捕获车道 数字和链接数字，变量[RT\_LinkUp](#bookmark49)设置为1b。另外，如果在上述任一情况下，TS2有序集中的禁用加扰比特被设置为1b，则重定时器确定加扰被禁用

当使用8b/10 b编码时。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 在车道退出电气怠速并以2.5 GT/s的速度实现符号锁定的任何时候，都可以确定车道极性，如第www.example.com节所述4.2.4.5：

. 如果确定极性反转，则接收器必须反转接收到的数据。发送器不得反转发送的数据。

<4.3.6.3>电气怠速退出规则

在2.5 GT/s以外的数据速率下，在训练集内发送EIEOS，以确保模拟电路检测到从电气空闲退出。当使用128 b/130 b编码实现块对齐时，需要接收EIEOS。 当重定时器在检测到电气空闲退出后开始转发数据时，重定时器在训练集边界上开始发送。当以高于2.5GT/s的数据速率操作时，它转发的第一个训练集必须是EIEOS。的

发送的第一个EIEOS将代替否则将转发的TS 1或TS 2有序集

如果在伪端口上没有通道满足ZRX-DC，则发生以下序列

·在该伪端口的任何通道上检测到从电气空闲退出

·然后，如果不是所有通道都推断出电气空闲，则通过在伪端口处的12 ms窗口中不存在从电气空闲的退出，并且另一伪端口在该相同的12ms窗口中没有接收任何通道上的有序集合。

然后，相同的伪端口（其中没有通道满足Z RX-DC）在所有通道上发送下面所述的电气空闲退出模式，持续5 μs。

如果以2.5 GT/s的速度运行，并且发生以下情况

·任何车道检测到从电气怠速退出

·然后接收具有等于PAD的通道和链路号的两个连续的TS 1有序集

·并且另一个伪端口不在任何通道上接收有序集

然后，在伪端口的没有接收有序集的所有通道上执行接收器检测。如果未检测到接收器，则：

·如[第4.3.4节所述，](#bookmark50)在1.0 ms内将结果反向传播。

·接收具有等于PAD的通道和链路编号的TS 1有序集的相同伪端口在所有通道上发送下面描述的电气空闲退出模式5 μs。

如果通道检测到从电气空闲退出，则通道必须在以下所有条件均为真时开始转发

· 数据速率已确定，请参见[第www.example.com节4.3.6.4，](#bookmark61)如果需要，当前数据速率将更改为RT\_next\_data\_rate。

· 确定泳道极性，参见www.example.com[章节4.3.6.2。](#bookmark60)

·接收两个连续的TS1有序集或两个连续的TS2有序集。

·在检测到从电气空闲退出或发生最大重定时器退出延迟的所有通道上接收到两个连续的TS 1有序集或两个连续的TS 2有序集，参见[表4-27。](#bookmark62)

· 在接收两个连续的TS1或两个连续的TS2有序集的所有通道上实现通道去偏斜。

· 如果数据速率发生变化，则自检测到电气怠速退出后已过去

必须丢弃用于建立转发的所有有序集。如第4.3.4节所述，只有在另一个伪端口上检测到接收器的通道才被考虑转发。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

否则，在3.0 ms超时后，如果另一个伪端口未接收有序集，则接收器检测

在没有接收有序集的伪端口的所有通道上执行，结果如[第4.3.4](#bookmark50)所述反向传播，并且如果没有检测到接收端口

·然后，不能在任何通道上接收两个连续的TS 1或TS 2有序集的同一伪端口在所有通道上发送下面描述的电气空闲退出模式5 μs。

· 否则，将在检测到从电气怠速退出的所有车道上转发下述电气怠速退出模式。

·使用128 b/130 b编码时：。一个EIEOS

. 32个数据块，每个数据块具有16个空闲数据符号（00h）的有效载荷，对于符号0到13，被加扰

. 每个数据块的符号14和15包含空闲数据符号（00h）、加扰或DC平衡，通过将第www.example.com节中的相同规则4.2.4.1应用于这些数据块来确定。

·使用8b/10 b编码时：

. 错误状态符号设置为00h的修改的顺应性模式

·此路径现在正转发电气怠速退出模式。在此状态下，通过不存在电气怠速退出来推断电气怠速，参见[表4-28](#bookmark63)。路径继续转发电气怠速退出模式，直到

在任何通道上推断出电气怠速，或发生48 ms超时。如果发生48ms超时，则：

. RT\_LINK\_UP设置为0b

. 伪端口将其发送器置于电气空闲状态

. 对于两个伪端口，RT\_next\_data\_rate和RT\_error\_data\_rate必须设置为2.5 GT/s

. 接收器检测在发送电气空闲退出模式的伪端口

超时，结果将按照第4.3.4节所述反向传播[。](#bookmark50)

发送电子怠速退出模式的相对伪端口上的变送器超时，发送上述电子怠速退出模式5 μs。

执行说明

电气怠速退出

在重定时器无法解码训练集的错误情况下，会发生转发电气怠速退出。上游和下游端口在轮询期间使用电气怠速退出（不解码任何符号）。

Recovery.Speed.如果重定时器不转发电气怠速退出，则上游和下游端口将在某些条件下出现故障。例如，这可能发生在速度改变到更高的数据速率之后。在这

事件转发电气Idle出口需要保持上游和下游端口在锁定步骤， 恢复。速度，使数据速率将返回到先前的数据速率，而不是从超时到检测的链路断开条件。



当重定时器检测到从电气空闲退出并开始转发数据时，这段时间称为重定时器退出延迟，并允许数据速率更改（如果需要）、时钟和数据恢复、符号锁定、块等

对准、通道间去偏斜、接收机调谐等下面为几种情况指定了最大重定时器退出延迟

·电气怠速和电气怠速退出检测前后的数据速率不变。

· 数据速率更改为使用8b/10 b编码的数据速率。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 数据速率更改为首次使用128 b/130 b编码

· 数据速率更改为使用128 b/130 b编码的数据速率，这不是第一次。

· 当数据速率发生变化时，两个发射机处于电空闲状态的时间。

允许重定时器在电气空闲时更改其数据速率，建议重定时器在电气空闲时开始更改数据速率，以最大限度地减少重定时器退出延迟。

表4-27最大重定时器退出延迟

|  |  |  |
| --- | --- | --- |
| 条件 | EI中的链接对于X μs，其中，  X 500 μs | 对于X≥，EI中的链接  500 μs |
| 无数据速率变化 | 4 μs | 4 μs |
| 当以2.5 GT/s转发TS 1有序集时，通道和链路数等于PAD。 | 1 ms | 1 ms |
| 任何数据速率更改为8b/10 b编码数据速率 | 504-X μs | 4 μs |
| 首次将数据速率更改为128 b/130 b编码数据速率 | 1.5-X ms | 1 ms |
| 后续数据速率更改为128 b/130 b编码数据速率 | 504-X μs | 4 μs |

<4.3.6.4>数据速率更改和确定规则

取消基本复位后，重定时器的数据速率设置为2.5 GT/s

重定时器的两个伪端口必须以相同的如果伪端口将其发送器置于电气

空闲，则其刚刚完成传输的符号确定变量RT\_next\_data\_rate和

RT\_error\_data\_rate。只有当两个伪端口的所有通道都处于电气空闲状态时，重定时器才会更改数据速率。如果两个伪端口对这些变量的确定不同，则两个变量必须设置为2.5GT/s。

· 如果两个伪端口都转发非训练序列，则RT\_next\_data\_rate必须设置为 当前数据速率。RT\_error\_data\_rate必须设置为2.5 GT/s。注：这包括链路从L0进入L1的情况。

· 如果两个伪端口都在转发TS 2有序集，且speed\_change位设置为1band：当转发那些TS 2时，数据速率大于2.5GT/s，或者，

. 在两个方向上的数据速率标识符中接收的最高公共数据速率大于

2.5 GT/s，

则RT\_next\_data\_rate必须被设置为最高公共数据速率，并且RT\_error\_data\_rate被设置为当前数据速率。注：这包括链路已从Recovery.RcvrCfg进入Recovery.Speed并根据最高常用数据速率更改数据速率的情况。

· 否则，RT\_next\_data\_rate必须设置为RT\_error\_data\_rate。RT\_error\_data\_rate设置为2.5 GT/s。请注意，这包括两种错误情况：

. 这指示链路不能以当前数据速率（大于2.5GT/s）操作，并且链路将以2.5GT/s数据速率操作，或者，

. 这表示链路无法以新的协商数据速率运行，并将恢复到从L0或L1进入恢复y时的旧数据速率。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.3.6.5>电气怠速进入规则

转发模式下的电气空闲进入规则是重定时器转发训练集或非训练集的函数。在www.example.com部分中描述了该测定[4.3.6.1。](#bookmark59)

在变送器进入电气空闲之前，除非另有规定，否则必须始终发送电气空闲有序设置序列（EIOSQ）。

如果重定时器正在转发训练集，则：

· 如果在通道上接收到EIOS，则在该通道上转发EIOSQ，并且仅该通道将其发送器置于电气空闲状态。

· 如果在通道上推断出电气空闲，则在EIOSQ在该通道上传输之后，该通道将其传输器置于电气空闲。

否则，如果重定时器转发非训练集，则：

· 如果在任何通道上接收到EIOS，则在当前正在转发符号的所有通道上转发EIOSQ，并且所有通道将其发送器置于电气空闲状态。

· 如果在通道上处于电气空闲，则该通道将其发射机置于电气空闲，并且不在该通道上发射EIOSQ。

需要重定时器来推断电气怠速。表4-28中描述了重定时器推断电气怠速错误[的标准。](#bookmark64)

表4-28推断电气怠速

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 状态 | 2.5 GT/s | 5.0 GT/s | 8.0 GT/s | 16.0 GT/s或更高 |
| 转发：非训练序列 | 在128 μs窗口中缺少SKP有序 | 在128 μs窗口中缺少SKP有序 | 在128 μs窗口中缺少SKP有序 | 在128 μs窗口中缺少SKP有序 |
| 转发：培训  序列 | 在1280UI间隔中不存在TS1或TS2有序集 | 在1280UI间隔中不存在TS1或TS2有序集 | 在4680 UI间隔中不存在TS1或TS2有序集 | 在4680 UI间隔中不存在TS1或TS2有序集 |
| 转发： 电气怠速退出  执行：  强制通风 | 没有出口 2000 UI间隔内的电气怠速 | 没有从电气怠速退出，  16000 UI间隔 | 没有从电气怠速退出，  16000 UI间隔 | 没有从电气怠速退出，  16000 UI间隔 |
| 转发：环回  执行：LoopbackSlave | 在128μs窗口内没有从电气怠速退出 | N/A | N/A | N/A |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.3.6.6>发送器设置确定规则

当数据速率变为32.0 GT/s时，重新定时r发射器设置确定如下：

· 如果[RT\_G5\_EQ\_co完成](#bookmark48)变量设置为1b：

. 变送器必须使用适用于32.0 GT/s运行的最后一次均衡程序结束时商定的系数设置。

·其他：

. 上行伪端口必须使用128 b/130 b发送器预设值，该值是在以16.0 GT/sin运行时从接收到的8个连续128 b/130 bEQTS 2有序集中注册的

发射器预设设置在开始以32.0 GT/s的数据速率发射时立即进行，并且必须确保其符合第www.example.com节中的预设定义4.2.3.2。接收保留或不支持的发射机预设值的通道必须使用特定于实现的方法来选择支持的

发射机预设设置，一旦开始以32.0GT/s的速度发射，就立即使用。

. 当下游伪端口开始以32.0 GT/s传输时，下游伪端口以实现特定的方式确定其传输器设置。

在以下情况下，[RT\_G5\_EQ\_complete](#bookmark48)变量设置为1b

·以32.0 GT/s接收到EC=01 b的两个连续TS 1有序集。发生以下任一情况时，[RT\_G5\_EQ\_complete](#bookmark48)变量设置为0b

·[RT\_LinkUp](#bookmark49)变量设置为0b。

·伪端口以16.0GT/s操作，并且接收到八个连续的128 b/130 bEQTS 2有序集 在上游伪端口的任何通道上。128 b/130 b变送器预设字段中的值为

后来以32.0 GT/s的速度用于该车道。

当数据速率变为16.0 GT/s时，重定时器发射器设置确定如下：

· 如果[RT\_G4\_EQ\_co完成](#bookmark47)变量设置为1b：

. 变送器必须使用适用于16.0 GT/s运行的最后一次均衡程序结束时商定的系数设置。

·其他：

. 上行伪端口必须使用它从

接收到8个连续的128 b/130 bEQTS 2有序集，其发射机预设设置， 因为它以16.0 GT/s的数据速率开始传输，并且必须确保它满足第www.example.com节中的预设定义8.3.3.3。接收到保留或不支持的发射机预设值的车道必须使用特定于实施的方法来选择支持的发射机预设设置，以便在其以16.0GT/s开始发射时立即使用。

. 当下游伪端口开始以16.0 GT/s传输时，下游伪端口以实现特定的方式确定其传输器设置。

在以下情况下，[RT\_G4\_EQ\_complete](#bookmark47)变量设置为1b

·以16.0 GT/s接收到EC=01 b的两个连续TS 1有序集。当发生以下任一情况时，[RT\_G4\_EQ\_complete](#bookmark47)变量设置为0b

·[RT\_LinkUp](#bookmark49)变量设置为0b。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 在上游Pse udo端口的任何通道上接收八个连续的128 b/130 bEQTS 2有序集。128b/130 b变送器预设字段中的值被注册，以便以后在16.0 GT/s时用于该通道。

当数据速率变为8.0 GT/s时，重定时器发射器设置确定如下：

· 如果RT\_G3\_EQ\_complete变量设置为1b：

. 变送器必须使用适用于8.0 GT/s运行的最后一次均衡程序结束时商定的系数设置。

·其他：

. 上行伪端口必须使用8。0 GT/s变送器预设值，它从

一旦开始以8.0 GT/s的数据速率传输，接收器预设设置中的八个连续EQ TS 2有序集，必须确保其符合第8.3.3节中的预设定义。接收保留或不支持的发射机预设值的车道必须使用

选择支持的发射机预设设置，以便在开始以8.0 GT/s发射时立即使用。上行伪端口可以选择使用8.0GT/s接收器 它在这些EQTS 2有序集合中注册的预设提示值。

. 当下游伪端口开始以8.0 GT/s的速率传输时，下游伪端口以实现特定的方式确定其传输器预设设置。

在以下情况下，RT\_G3\_EQ\_complete变量设置为1b

·以8.0 GT/s接收到EC=01 b的两个连续TS 1有序集。发生以下任一情况时，RT\_G3\_EQ\_complete变量设置为0b

·[RT\_LinkUp](#bookmark49)变量设置为0b

· 在上游的任何通道上接收八个连续EQTS 1或八个连续EQTS 2有序集 伪端口。8.0 GT/s发送器预设值和可选的8.0 GT/s接收器预设提示字段中的值

在该车道上以8.0GT/s的速度登记供以后使用。

当数据速率更改为5.0 GT/s时，重定时器传输设置确定如下：

·上行伪端口必须将其发射机设置为-3.5 dB或-6.0 dB，根据可选 在进入电空闲之前接收的最近一系列TS2有序集合中的八个连续TS2有序集合中接收的去加重比特（符号4的比特6）。

·下游伪端口以实现特定的方式将其发送器设置为-3.5dB或-6.0dB。

<4.3.6.7>有序集修改规则

将转发有序集，并根据以下规则修改某些

·重定时器不得修改任何字段，除非本规范中明确允许/要求修改。

·LF：重定时器将重写在两个方向上发送的TS 1有序集中的LF字段。 新值由重定时器以特定于实现的方式确定。

·FS：重定时器将覆盖在两个方向上传输的TS 1有序集中的FS字段。 新值由重定时器以特定于实现的方式确定。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·前光标系数：重定时器将覆盖在两个方向上传输的TS 1有序集中的前光标系数字段。 新值由当前变送器设置决定。

·光标系数：重定时器将覆盖在两个方向上传输的TS 1有序集中的光标系数字段。 新值由当前变送器设置确定。

·后光标系数：重定时器将覆盖在两个方向上传输的TS 1有序集中的后光标系数字段。 新值由当前变送器设置决定。

· 奇偶校验：重定时器应覆盖转发的TS1有序集的奇偶校验位。该比特是符号6、7和8的所有比特以及符号9的比特6：0的偶数部分。

·发射机预设：重定时器应覆盖在两个方向上传输的TS 1有序集中的发射机预设字段。如果变送器使用变送器预设设置，则该值等于当前 设置，否则建议将变送器预设字段设置为最新的变送器预设 用于当前数据速率的设置。

允许重定时器执行以下操作：

. 在任一方向上覆盖EQTS 1有序设置中的发送器预设

. 在下游方向覆盖EQ TS 2或dered Sets中的8.0 GT/s发送器预设字段。

. 在下游方向覆盖128 b/130 b EQ TS 2有序集中的128 b/130 b发射机预设字段。

8.0GT/s变送器预设和128 b/130 b变送器预设字段的新值由重定时器以特定实施方式确定。

在均衡到16.0 GT/s的阶段0期间（即，当前数据速率为8.0GT/s）或

均衡到32.0 GT/s（即，当前数据速率为16.0 GT/s），允许重定时器在上行方向执行以下操作

. 转发接收的TS2有序集。

. 将TS 2有序集转换为128 b/130 bEQTS 2有序集，128 b/130 b发射机预设字段的值由重定时器以特定于实现的方式确定。

. 转发收到的128 b/130 bEQTS 2有序集带修改，值为128b/130 b

发送器预设字段由Reti mer以实现特定的方式确定。.将128 b/130 bEQTS 2有序集转换为TS 2有序集。

· 接收器预设提示：允许重定时器执行以下操作：

. 在任一方向上覆盖EQTS 1有序集合中的接收器预设

. 在下游方向覆盖EQ TS 2有序集中的8.0 GT/s接收器预设高值字段。

接收器预设提示和8.0 GT/s接收器预设提示字段的新值由重定时器以特定于实现的方式确定。

·SKP有序集：重定时器被允许调整在两个系统中传输的SKP有序集

方向重定时器必须在所有通道上执行相同的调整。使用8b/10 b时

编码，允许重定时器添加或移除SKP有序集的一个SKP符号。 当使用128 b/130 b编码操作时，重定时器被允许添加或移除SKP有序集的4个SKP符号。

·控制SKP有序集：重定时器必须修改第一重定时器数据奇偶校验或第二重定时器数据奇偶校验。 当重定时器处于转发模式时，根据其接收到的奇偶校验，重定时器的奇偶校验为16.0GT/s或更高。接收到的偶奇偶校验在每个通道上独立计算，如下所示：

. 奇偶校验在数据速率发生变化时初始化。

. 奇偶校验在收到SDS有序集时初始化。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 在执行解扰之前，利用数据块的有效载荷的每个比特更新奇偶校验。

. 当接收到控制SKP有序集时，初始化奇偶校验。然而，当接收到标准SKP有序集时，不初始化奇偶校验。

如果伪端口在以2.5GT/s操作时检测到由该伪端口接收的最近接收的两个连续TS 2或EQTS 2有序集中的重定时器存在位为0 b，则

伪端口接收器在转发控制SKP命令时修改第一中继

设置，否则伪端口接收器在转发控制SKP有序集时修改第二重定时器数据奇偶校验。

重定时器必须按照第4.2.13节所述，在上游方向修改控制SKP或命令集的符号4\*N+1、4\*N+2和4\*N+3。

4.2.7.2有关控制SKP有序集定义，请参见www.example.com部分。

·可选择的去加重：重定时器被配置为在两个方向上覆盖TS 1或TS 2有序集中的可选择的去加重字段。 新值由重定时器以特定于实现的方式确定。

·数据速率标识符：重定时器必须将数据速率标识符符号的数据速率支持比特设置为与接收到的有序集合中通告的数据速率和其自己的最大支持数据速率一致， 即，它将不支持的4位[5：0]数据速率清除为0。重定时器必须支持所有数据

速率低于并包括其最大支持的数据速率。在基本重置之后，Retimer确定最大支持数据速率一次。

· DC平衡：当使用128 b/130 b编码操作时，重定时器跟踪其伪端口发射器的DC平衡，并发送DC平衡符号，如第www.example.com节所述4.2.4.1。

· 重定时器存在：当以2.5 GT/s运行时，重定时器必须将所有转发TS 2和EQTS 2有序集的重定时器存在位设置为1b。

·存在两个重定时器：如果重定时器支持16.0 GT/s，则当以2.5 GT/s操作时，如果重定时器接收到TS 2或EQTS2，则重定时器必须设置所有转发的TS 2和EQTS 2有序集的存在两个重定时器位。

重定时器存在位设置为1b的有序设置。如果重定时器不支持16.0 GT/s，

以2.5 GT/s操作，如果重定时器接收到重定时器存在位被设置为1b的TS 2或EQ TS 2有序集，则允许重定时器设置所有转发的TS 2和EQTS2的两个重定时器存在位。

·Loopback：当可选地在执行模式中支持从Loopback时，在转发训练集时，Loopback位必须被清除为0b。

· 增强的链路行为控制：如果重定时器支持32.0 GT/s，则在2. 5GT/s时，重定时器必须如下设置所有转发的TS 1、TS 2、EQTS 1和EQTS 2有序集的增强链路行为控制比特

. 当重定时器支持修改的TS 1/TS 2有序集，并且接收到的用于转发的有序集中的增强链路行为控制位设置为11b时，设置为11b。

. 当重定时器不支持均衡且接收到的用于转发的有序集中的增强链路行为控制位设置为10b时，设置为10b。

. 当重定时器支持均衡旁路到最高速率，并且在接收到的有序集合中增强链路行为控制字段设置为01b时，设置为01b。

. 否则，设置为00b。

<4.3.6.8>DLLP、TLP和逻辑空闲修改规则

DLLP、TLP和逻辑空闲被转发而不对任何符号进行修改，除非另有说明。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.3.6.98>b/10 b编码规则

重定时器应符合第4.2.1.1.3节的要求，但以下情况除外：

·当重定时器正在转发并且在接收到的数据中检测到8b/10 b解码错误或视差错误时，在转发的数据中，具有n错误的符号被替换为具有不正确视差的D21.3符号。

·第4.2.1.1.3节中的本条款不适用：如果在对应于以下项的列中发现接收到的符号： 不正确的运行差异，或者如果符号不对应于任何一列，则物理层必须通知数据链路层接收到的符号无效。这是一个接收器错误，是一个报告错误 与端口相关（参见第6.2节）。

执行说明

重定时器发射机差异

重定时器必须修改TS 1和TS 2有序集的某些字段（例如，接收器预设提示，发射器

预设），因此重定时器必须重新计算运行差异。简单地使用接收到的 符号可能会导致运行差异中的错误。例如，一些8b/10 b码具有6个1和4个0用于正视差，而其他码具有5个1和5个0。



<4.3.6.108>b/10 b加扰规则

当使用第4.3.6节中所述的8b/10 b编码时，需要重定时器来确定是否禁用加扰[。2.](#bookmark60)

<4.3.6.11>热重置规则

如果上游伪端口的任何通道接收到两个连续的TS 1有序集，其中热复位位被设置为1，并且禁用链路和环路返回位都被设置为0b，并且然后两个伪端口在任何通道上接收到EIOS或推断电空闲，即接收TS 1有序集，则重定时器执行以下操作：

·清除变量[RT\_LinkUp](#bookmark49)= 0b。

· 在两个伪端口上将其

·将RT\_next\_data\_rate变量设置为2.5 GT/s。

·将RT\_error\_dat a\_rate变量设置为2.5 GT/s。

·在两个伪端口上的每个通道上等待从电空闲退出。重定时器不对任一伪端口执行接收器检测。

<4.3.6.12>禁用链接规则

如果上游伪端口的任何通道接收到两个连续的TS1有序集，其中禁用链路位被设置为1b 并且热复位和环回位都设置为0b，然后两个伪端口都接收EIOS或推断任何通道上的电空闲，即接收TS 1有序集，重定时器执行以下操作：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·清除变量[RT\_LinkUp](#bookmark49)= 0b。

· 在两个伪端口上将其

·将RT\_next\_data\_rate变量设置为2.5 GT/s。

·将RT\_error\_dat a\_rate变量设置为2.5 GT/s。

·在任一伪端口上的任一通道上等待从电气空闲退出。重定时器不对任一伪端口执行接收器检测。

<4.3.6.13>www.example.com

重定时器遵循这些附加规则，如果任何通道接收到两个连续的TS1有序集，其中回送位等于1band，热复位和禁用链路位均设置为0 band，则执行从机回送的能力不

以特定的实现方式配置。这些规则的目的是允许在环回主设备和环回备用设备之间存在一个重定时器（或两个重定时器）时进行互操作。

·接收到具有设置为1b的环回位的TS 1有序集的伪端口充当环回从设备（另一伪端口充当环回主设备）。上游路径定义为Pseudo端口， Loopback master到作为Loopbackslave的伪端口。另一个路径是下游路径。

·一旦建立，如果通道失去维持符号锁定或块k对准的能力，则通道必须在处于该状态时继续传输符号s。

·当使用8b/10 b编码并且符号锁定丢失时，重定时器必须尝试重新实现符号锁定。

·当使用128 b/130 b编码并且块对齐丢失时，重定时器必须尝试经由SKP有序集来重新实现块对齐。

·如果在链路组件处于Configuration.Linkwidth.Start时进入环回，则通过两个链路中接收到的数据速率确定链路支持的数据速率中的最高公共数据速率。

在转换到转发时，在接收TS 1或TS 2有序集的任何通道上的两个连续的TS 1有序集或两个连续的TS 2有序集。

最高公共数据速率，则：

. 等待任何通道接收EIOS，然后将变送器置于该路径的电气空闲状态。.当所有变送器处于电气空闲状态时，按照先前确定的方式调整数据速率。

. 如果新的数据速率是5.0 GT/s，则可选择去加重被确定为与第4.2.6.10.1节中描述的相同的方式。

. 如果新数据速率使用128 b/130 b编码，则发射机预设设置的确定方式与第4.2.6.10.1节所述相同。

. 在下游路径中，等待在每个车道上检测到电气怠速退出，然后启动 当已经接收到两个连续的TS 1顺序集时，逐通道地进行转发。对于重定时器退出延迟，这被认为是第一次达到此数据速率。

. 在上游路径中，如果将从机引导至该状态的TS1有序集的合规性接收位未被断言，则等待在每个通道上检测到电气空闲退出，并开始

当已经接收到两个连续的TS1有序集时，在逐通道的基础上进行转发。对于重定时器退出延迟，这被认为是第一次达到此数据速率。

· 在上游路径中，如果将从设备引导到该状态的TS 1有序集的合规接收位被设置为1b，则等待在每个通道上检测到电气空闲退出，并立即开始转发， 一条一条地查对于重定时器退出延迟，这被认为是第一次达到此数据速率。

· 如果在任何通道上接收到四个EIOS（如果当前数据速率为2.5 GT/s，则为一个EIOS），则：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 在伪端口上传输TS1有序集的每个通道上传输8个EIOS，而伪端口未接收EIOS，并将发送器置于电气空闲状态。

·当两个伪端口都将其发射器置于电空闲时，则：

. 将RT\_next\_data\_rate变量设置为2.5 GT/s。. 将RT\_error\_data\_rate变量设置为2.5 GT/s。

. 除非再次满足进入本节的规则，否则环回的附加规则不再适用。

<4.3.6.14>合规接收规则

如果任何通道接收到八个连续的TS 1有序集（或其

互补），其中顺应性接收位设置为1，回送位设置为0b。事项为目的而

规则的目的是在上行或下行端口传输的TS 1有序集中，当顺应性接收位为置位且回送位为清除时，支持具有Ret imer的链路操作，同时链路处于轮询活动状态。

· 伪端口A被定义为接收八个连续的TS 1有序集（或其

补码），合规接收位为置位，回送位为清零。伪端口B被定义为另一个伪端口。

·重定时器通过检查在每个伪端口上接收的TS 1有序集中的数据速率标识符以及重定时器支持的最大数据速率来确定链路的最高公共数据速率。

· 如果最高公共数据速率等于5.0 GT/s，则：

. 重定时器必须将其数据速率更改为5.0 GT/s，如www.example.com部分所[4.3.6.4述。](#bookmark61)

. 重定时器伪端口A必须根据在八个连续的TS 1有序集合中接收到的可选择的去加重比特来设置其去加重。

. 重定时器伪端口B必须以特定于实现的方式设置其去加重。 · 如果最高公共数据速率等于8.0GT/s或更高，则：

. 如第www.example.com节所述，重定时器必须将其数据速率更改为适用[4.3.6.4。](#bookmark61)

. 泳道编号的确定见第4.2.11节。

. 重定时器伪端口A必须将其每个通道上的发送器系数设置为发送器

预设值在八个连续的TS 1有序集的Symbol 6中通告，并且该值必须由发射机使用（在那些TS 1有序集中通告的接收机预设提示值的使用是可选的）。如果公共数据速率为8.0GT/s或更高，则任何未接收八个

具有发射机预置信息的连续TS 1有序集可以以特定于实现的方式使用任何支持的发射机预置设置。

. 重定时器伪端口B必须以特定于实现的方式设置其发送器和接收器均衡。

·当重定时器锁定到模式时，它必须转发修改的命令模式。发生这种情况

在每个方向上的每个车道上独立地进行。如果莱恩的接收器丢失符号锁定或块对齐，则相关的发射器（即，在相对伪端口上的相同通道）继续转发数据。

·一旦锁定到模式，重定时器将在每个通道的基础上保持接收到的符号错误的内部计数。模式锁定和通道错误被允许以特定于实现的方式在

每车道的基础上。

·当使用128 b/130 b编码时，默认情况下，具有错误的符号被不加修改地转发，或者可以可选地被纠正以去除错误污染。必须支持默认行为，并且选择可选行为的方法（如果支持）是特定于实现的。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·当使用8b/10 b编码操作时，默认情况下，具有错误的符号被具有不正确视差的D21.3符号替换，或者可以可选地被校正以去除错误污染。默认行为必须是 如果支持，则选择可选行为的方法是特定于实现的。

·使用8b/10 b编码时的错误状态符号或使用128 b/130 b编码时的Error\_Status字段默认情况下未经修改地转发，或者可以可选地在其由重定时器发送时重新定义。的

必须支持默认行为，并且选择可选行为的方法（如果支持）是特定于实现的。

· 如果任何通道在任一伪端口上接收到EIOS，则：

. 在未接收EIOS的伪端口的每个通道上发送EIOS，并将发送器置于电气空闲状态。将另一个伪端口的发送器置于电气空闲状态; EIOS不

由另一个伪端口发送。

. 将RT\_next\_data\_rate变量设置为2.5 GT/s。. 将RT\_error\_data\_rate变量设置为2.5 GT/s。

. 除非再次满足进入此部分的规则，否则“合规性接收”附加规则不再适用。

<4.3.6.15>输入合规规则

如果由于热复位而进入电气怠速后重定时器退出电气怠速，并且重定时器中的重定时器输入符合性位被设置，则重定时器遵循这些附加规则。以下规则的目的是，当链路伙伴由于在

链路控制2寄存器在两个链路组件中均设置为1b，链路上发生热复位。重定时器不支持链路操作，如果链路伙伴在退出检测时进入通信，如果进入检测不是由热复位引起的。

重定时器必须以特定于实现的方式支持以下寄存器

· 重定时器目标链接速度。每个重定时器一个

. 类型= RWS

. 大小=3位 . 默认值=001b。编码：

0001b = 2.5 GT/s

010b= 5.0 GT/s

011b= 8.0 GT/s

100b = 16.0 GT/s

101b-32.0 GT/s

· 重定时器传输裕量

. 每个伪端口一个

. 类型= RWS

. 大小=3位 . 默认值=000b。编码：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

. 000b =正常工作范围

. 001 b-111 b =如第8.3.4节所定义，并非所有编码都需要实现

· 重定时器输入合规性

◦ 每个重定时器一位

型号= RWS

◦ 大小= 1位

◦ 默认值= 0b

◦ 编码：

. 0b=不输入符合性。 1b=输入合规性

· 重定时器输入修改后的合规性

◦ 每个重定时器一位

型号= RWS

◦ 大小= 1位

◦ 默认值= 0b

◦ 编码：

. 0b=不输入修改的合规性。 1b=输入修改后的合规性

· 重定时器合规性SOS

◦ 每个重定时器一位

型号= RWS

◦ 大小= 1位

◦ 默认值= 0b

◦ 编码：

. 0 b=在使用8b/10 b编码发送符合性模式或修改的符合性模式时，在序列之间不发送SKP有序集。

. 1b=在使用8b/10 b编码发送合规模式或修改的合规模式时，在s个序列之间发送两个SKP有序集。

· 重定时器符合性预设/去加重

◦ 每个伪端口一个

型号= RWS

◦ 大小= 4位

◦ 默认值= 0000b

◦ 重定时器目标链路速度为5.0 GT/s时的编码：。 0000b-6.0dB

. 0001b-3.5 dB

◦ 重定时器目标链路速度为8.0 GT/s或更高时的编码：变送器预设。

当重定时器退出热复位时，重定时器必须检查上述寄存器中的值。如果重定时器输入符合性位被设置，则以下规则适用：

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·重定时器根据重定时器目标链路速度定义调整其数据速率。在数据速率发生变化之前，不转发数据。

·重定时器在每个伪端口的基础上根据重定时器合规预设/去加重来配置其发射器。

·当重定时器锁定到模式时，重定时器必须转发顺应性模式或修改的顺应性模式。 如果“重定时器输入修改的一致性”位为“清除”，则重定时器必须搜索一致性模式;如果“重定时器输入修改的一致性”位为“设置”，则重定时器必须搜索修改的一致性模式。这是发生在 独立地在每个方向上的每个通道上。

·当使用8b/10 b编码时，特定车道

修改的顺应性模式或顺应性模式。

◦ 以上将出现定义为第4.2.8节中定义的8b/10 b符号序列。

◦ 在修改的顺应性模式的情况下，错误状态符号不用于锁定过程，因为它们在任何给定时刻都是未定义的。

◦ 必须在接收到修改的顺应性模式的1.0 ms内实现锁定。

·当使用128 b/130 b编码时，每个通道在实现B锁定对齐时独立地确定模式锁定，如第4.2.2.2.1节所述。

◦ 必须在接收到修改的符合性模式或符合性模式的1.5 ms内实现锁定。

·当使用128 b/130 b编码时，错误的符号被错误地不加修改地转发，或者可以

可选地被校正以去除错误污染。必须支持默认行为，并且选择可选行为的方法（如果支持）是特定于实现的。

·当使用8b/10 b编码时，具有错误的符号被替换为具有不正确的D21.3符号。

默认情况下不一致，或者可以可选地进行校正以去除错误污染。必须支持默认行为。

·一旦锁定，重定时器将在每个通道的基础上保持接收到的符号错误的内部计数。如果重定时器正在转发修改的符合模式，则使用8b/10 b编码时的错误状态符号或

当使用128 b/130 b编码时，Error\_Status字段默认不被修改地转发，或者可以可选地在它被重定时器发送时被重新定义。必须支持默认行为，

选择可选行为（如果支持的话）是特定于实现的。重定时器被允许在每个通道的基础上以实现特定的方式使模式锁定和通道错误信息可用。

· 如果在任何通道上接收到EIOS，则：

◦ 该方向上的所有通道传输8个EIOS，然后该方向上的所有变送器都处于电气空闲状态。

◦ 当两个方向都发送了8个EIOS并将其变送器置于电气空闲状态时，数据速率将更改为2.5 GT/s。

◦ 将RT\_next\_data\_rate变量设置为2.5 GT/s。

◦ 将RT\_error\_data\_rate变量设置为2.5 GT/s。

◦ 重定时器输入合规性位和重定时器输入修改的合规性位均设置为0b。

◦ 上述附加规则不再适用，除非再次满足进入本节和条款的规则。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.3.7执行模式规则

在执行模式下，重定时器直接控制伪端口传输的所有信息，而不是转发信息。

<4.3.7.1>CompLoadBoard规则

当重定时器处于CompLoadBoard（合规负载板）状态时，两个伪端口都作为常规端口执行协议，在每个端口上生成以下子部分中指定的符号，而不是从一个伪端口转发到另一个。

执行说明

变送器上的无源负载

当一个伪端口上有一个传递负载，而另一个伪端口正在接收流量时，进入此状态。



4.3.7.1.1 CompLoadBoard.开始尝试

·[RT\_LinkUp](#bookmark49)= 0b。

·接收到顺应性模式的伪端口（伪端口A）执行以下操作：

◦ 数据速率保持在2.5GT/s。

◦ 变送器处于电气空闲状态。

◦ 接收器忽略传入的符号。

·另一个伪端口（伪端口B）执行以下操作：

◦ 数据速率保持在2.5GT/s。

◦ 变送器置于电气怠速。如第www.example.com节所述，在所有通道上执行8.4.5.7接收器检测。

◦ 接收器忽略传入的符号。

· 如果伪端口B的接收器检测确定在任何通道上都没有连接接收器，则两个伪端口的下一个状态都是CompLoad Board.Exit。

· 否则，两个伪端口的下一个状态都

4.3.7.1.2 CompLoadBoard模式

当重定时器进入CompLoadBoard.Pattern时，会发生以下

·伪端口A执行以下操作：

◦ 变送器保持电气空闲状态。

◦ 接收器忽略传入的符号。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 伪端口B执行以下操作：

◦ 发射机在所有通道上发出互补模式，该通道以如第4.2.6.2.2节中所述确定的数据速率和去加重/预设电平检测到接收机（即，每个

连续进入CompLoadBoard推进模式），除了在轮询配置期间未将设置为设置#1。如果伪端口B具有

自基本复位退出后，接收到TS1或TS2有序集（或其补码）。如果新的数据速率不是2.5 GT/s，则在数据速率改变之前，变送器被置于电气空闲状态。电气怠速周期必须大于1 ms，但不得超过2 ms。

· 如果伪端口B检测到检测到接收器的任何通道的电气空闲出口，则两个伪端口的下一状态是CompLoadBoard.Exit。

4.3.7.1.3 CompLoadBoard退出

当重定时器进入CompLoadBoard.Exit时，会发生以下

·伪端口A：

◦ 数据速率保持在2.5 GT/s。

◦ 变送器在通道[4.3.6.3](#bookmark55)上发送第www.example.com节中所述的电气 其中在伪端口B上检测到电气空闲退出1 ms。然后将发射器放入

电气怠速。

◦ 接收器忽略传入的符号。

· 伪端口B：

◦ 如果发送器以2.5 GT/s以外的速率发送，则发送器发送8个连续EIOS。

◦ 变送器处于电气怠速。如果发送器以除

2.5 GT/s，电气空闲周期必须至少为1.0 ms。

◦ 数据速率更改为2.5 GT/s（如果尚未达到2.5GT/s）。

· 两个伪端口均处于转发模式。

执行说明

转发模式下的TS1有序

一旦进入转发模式，可能会出现以下两种情况之一

·接收TS 1有序集，并将其从伪端口B的接收器转发到伪端口A的发射器。链接跟踪继续。

·或者：没有接收到TS 1有序集，因为在通道上从顺应性负载板接收到100 MHz脉冲，从而推进顺应性模式。在这种情况下，重定时器必须转换

当连接到Pseudo PortA的设备从Polling.Active到Polling. Compliance超时时，从Forwarding模式到CompLoadBoard。重定时器将每个条目上的符合性模式推进到 CompLoadBoard。



5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<4.3.7.2>链接均衡规则

当在执行链路均衡的执行模式中时，伪端口充当常规端口，在每个端口上生成符号，而不是从一个伪端口转发到另一个伪端口。 当重定时器处于执行模式时，它必须使用RT\_captured\_lane\_number和RT\_captured\_link\_number中存储的通道和链路编号。

当链路上的上游端口和下游端口正在协商进入第2阶段时，

均衡程序遵循第4.3.5节中描述的切换到执行模式[的程序。](#bookmark51)

4.3.7.2.1下游车道

如果下游伪端口想要调整上游端口的发射机，则当上游端口处于阶段1时在两个连续的TS 1有序集合中接收的LF和FS值必须被存储以供在阶段3期间使用。

第二阶段

发送器的行为如第4.2.6.4.2.1.2节所述，但以下情况除外：

· 如果操作的数据速率是16.0 GT/s或更高，则当上行伪端口状态是阶段2活动时，所发送的TS 1有序集的重定时器均衡扩展比特被设置为1b，并且当上行伪端口状态是阶段2被动时，重定时器均衡扩展比特被设置为0 b。

· 如果所有配置通道接收到EC=11b的两个连续TS1有序集，则下一阶段为阶段3

· 否则，下一个状态是在32 ms超时后强制关闭，公差为-0 ms和+4ms。

4.3.7.2.1.2第3阶段活动

如果操作数据速率为8.0 GT/s，则变送器的行为如第4.2.6.4.2.1.3节所述，

24 ms超时为2.5 ms，如下所示：

· 如果所有配置的车道都在其最佳设置下运行，则下一阶段为阶段

· 否则，下一个状态为超时2.5 ms后强制关闭，容差为-0 ms和+0.1 ms

如果操作数据速率为16.0 GT/s或以上，则变送器的行为如第4.2.6.4.2.1.3节所述，但24 ms超时为22 ms，如下所示：

·所发送的TS 1有序集的重定时器均衡扩展比特被设置为0b。

· 如果所有配置的通道都在其最佳设置下工作，并且所有配置的通道都接收到重定时器均衡扩展位设置为0b的两个连续TS 1有序集，则下一阶段是阶段3被动。

· 否则，下一个状态是22 ms超时后的强制复位，公差为-0 ms和+1.0 ms。

第3阶段被动

·发射机发送具有EC = 11b、重定时器均衡扩展= 0b的TS 1有序集，并且发射机

预设字段和系数字段不得从第3阶段活动中传输的最终值进行更改。

·当上行伪端口退出阶段3时，发送器切换到转发模式。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.3.7.2.2上游车道

如果上游伪端口想要调整下游端口的发射机，则当下游端口处于阶段1时，LF和FS值在两个连续的TS 1有序集合中接收d必须被存储以供在阶段2期间使用。

4.3.7.2.2.1第2阶段活动

如果操作数据速率为8.0 GT/s，则变送器的行为如第4.2.6.4.2.2.3节所述，

24 ms超时为2.5 ms，如下所示：

· 如果所有配置的车道都在其最佳设置下运行，则下一个状态为阶段

· 否则，下一个状态是在2.5 ms超时后强制关闭，容差为-0 ms和+0.1 ms

如果操作数据速率为16.0 GT/s或以上，则变送器的行为如第4.2.6.4.2.2.3节所述，但24 ms超时为22 ms，如下所示：

·所发送的TS 1有序集的重定时器均衡扩展比特被设置为0b。

· 如果所有配置的通道都在其最佳设置下工作，并且所有配置的通道都接收到两个连续的TS 1有序集，且重定时器均衡扩展位设置为0b，则下一阶段为阶段2被动。

· 否则，下一个状态是在22 ms超时后强制关闭，公差为-0 ms和+1.0 ms。

第2阶段无源

·发射机发送具有EC = 10b、重定时器均衡扩展= 0b的TS 1有序集，并且发射机

预设字段和系数字段不得从第2阶段活动中传输的最终值进行更改。

· 如果操作的数据速率是8.0GT/s，则当下游伪端口已经完成阶段3活动时，下一状态是阶段3。

· 如果操作的数据速率是16.0 GT/s或更高，则下一状态是阶段3，此时下游伪端口

已启动第三阶段活动。

第三阶段

变送器遵循第4.2.6.4.2.2.4节中上游通道的第3阶段规则，以下情况除外：

· 如果操作的数据速率为16.0 GT/s或更高，则发送的TS 1的重定时器均衡扩展位 当下游伪端口状态为阶段3活动时，有序集设置为1b，当下游伪端口状态为阶段3被动时，有序集设置为0b。

· 如果所有配置的通道接收到两个连续的TS 1有序集，EC=00b，则重定时器切换到转发模式。

· 否则，下一个状态是在超时32 ms后强制关闭，容差为-0ms和+4ms

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.3.7.2.3强制通风

·第www.example.com节中描述的电气怠速退出模式[4.3.6.3](#bookmark55)由两个伪端口以当前数据速率传输至少1.0 ms。

· 如果在任何通道上，接收器接收到EIOS或通过未检测到从电气空闲退出而推断出电气空闲（参见[表4-28](#bookmark65)），则相对伪端口的所有通道上的发射器发送EIOSQ，然后被置于电气空闲。

· 如果两个路径都将其发送器置于电气空闲状态，则RT\_next\_data\_rate设置为

在两个伪端口上，RT\_error\_data\_rate被设置为2.5 GT/s，并且Re定时器进入转发模式。

◦ 在转发数据之前，两个伪端口的发送器必须处于电气空闲状态至少6 μs。

· 否则，在48 ms超时后，两个伪端口上的RT\_next\_data\_rate设置为2.5 GT/s，RT\_error\_data\_rate设置为2.5 GT/s，重定时器进入转发模式。

执行说明

部队的目的

此状态的目的是确保两个链路组件同时处于恢复速度状态，以便它们恢复到先前的数据速率。



<4.3.7.3>从站环回

重定时器可选地支持执行模式下的从环回。默认情况下，重定时器配置为在Loopback Master和LoopbackSlave之间转发重定时器。重定时器允许在实现中进行配置

在任一伪端口上充当环回从机的特定方式。另一个伪端口不是环回从机，将其发送器置于电气空闲状态，并忽略其接收器上的任何数据。

4.3.7.3.1从机环回.入口

没有接收到具有设置为1b的回送位的TS1有序集的伪端口执行以下操作：

·变送器处于电气空闲状态。

·接收器忽略传入的Sy消息。

接收到TS1有序集且回送位设置为1b的伪端口的行为与第4. 2.6.10.1节中所述的回送从机相同，但以下情况除外：

·语句

·语句“If Loopback.Entry was entered from Configuration.Linkw idth.Start”被替换为“If Slave. 环回。[RT\_LinkUp](#bookmark49)=0b时输入条目“

·对Loopback.Active的引用变为Slave Loopback.Active。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4.3.7.3.2从机环回激活

没有接收到具有设置为1b的回送位的TS1有序集的伪端口执行以下操作：

·变送器保持在电气空闲状态。

·接收器继续忽略传入的符号。

接收到TS1有序集且回送位设置为1b的伪端口的行为与第4节中所述的回送从机相同。2.6.10.2，但有以下例外：

· 对Loopback.Exit的引用变为Slave Loopback. Exit。

4.3.7.3.3从机环回。

没有接收到TS1有序集且回送位设置为1b的伪端口必须执行以下操作：

· 将变速器保持在电气怠速。

· 将数据速率设置为2.5GT/s。

·接收器继续忽略传入的符号。

接收到TS1或TS 2有序集且回送位设置为1b的伪端口必须表现为第4.2.6.10.3节中所述的回送从机，但有以下例外：

·条款

4.3.8重定时器延迟

本节定义了允许的重定时器延迟的要求。

<4.3.8.1>测量

当重定时器处于转发模式且链路处于L0时，必须测量延迟，延迟定义为从一个伪端口的输入引脚接收到符号的最后一位到发送等效位的时间

在其他伪端口的输出引脚上。

强烈建议重定时器供应商在其数据手册中指定重定时器的延迟。

允许重定时器在不同的数据速率下具有不同的延迟时间，在这种情况下，强烈建议根据数据速率指定延迟时间。

<4.3.8.2>重定时器延迟的最大限制

当不在SRIS中运行时，重定时器延迟应小于以下限值。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表4-29重定时器延迟限制（非SRIS）（符号时间）

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | 2.5 GT/s | 5.0 GT/s | 8.0 GT/s | 16.0 GT/s | 32.0 GT/s |
| 最大等待时间 | 32 | 32 | 64 | 128 | 256 |

对上游和下游港口<4.3.8.3>影响

重定时器会增加通道延迟。当存在两个重定时器时，往返延迟是指定延迟的4倍。建议上游和下游端口的设计人员在以下情况下考虑重定时器延迟：

确定以下特征：

· 数据链路层缓冲区大小

·事务层接收器缓冲区大小和流控制信用

· 数据链路层RESISTANCE\_TIMER限值

可能需要额外的缓冲（repla y或FC）来补偿额外的通道延迟。

4.3.9SRIS

重定时器是允许的，但不要求支持SRIS。支持SRIS的重定时器必须提供一种机制，

启用更高速率的SKP或有序集传输，因为重定时器必须在

执行模式。启用重定时器以支持SRIS将在

接收和发送时钟域。需要额外的延迟来处理Max\_Payload\_Size 传输TLP，但不发送计划的SKP有序集。额外的延迟是链路宽度和Max\_Payload\_Size的函数。表4-29中没有包括这种额外的延迟[。](#bookmark66)

支持SRIS的重定时器必须提供特定于实现的机制来配置支持的

在SRIS中时，必须将Max\_Payload\_Size配置为大于或等于伪端口正在接收的端口中的发送器的Max\_Payload\_Size。重定时器延迟必须小于以下限制，

当前支持的Max\_Payload\_Size，带有SRIS。

表4-30重定时器延迟限制SRIS（符号时间）

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 最大有效负载大小 | 2.5 GT/s | 5.0 GT/s | 8.0 GT/s | 16.0 GT/s | 32.0 GT/s |
| 128字节 | 34（最大值） | 34（最大值） | 66（最大值） | 130（最大值） | 194（最大值） |
| 256字节 | 36（最大值） | 36（最大值） | 68（最大值） | 132（最大值） | 196（最大值） |
| 512字节 | 39（最大值） | 39（最大值） | 71（最大值） | 135（最大值） | 199（最大值） |
| 1024字节 | 46（最大值） | 46（最大值） | 78（最大值） | 142（最大值） | 206（最大值） |
| 2048字节 | 59（最大值） | 59（最大值） | 91（最大值） | 155（最大值） | 219（最大值） |
| 4096字节 | 86（最大值） | 86（最大值） | 118（最大值） | 182（最大值） | 246（最大值） |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

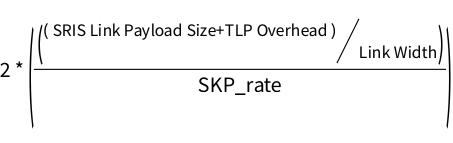


**执行说明**

使用SRIS计算的重定时器延迟

[表4-30](#bookmark67)的计算假设链路以x1链路宽度运行。最大延迟是[表4-29](#bookmark66)和SRIS时钟补偿的弹性存储中所需的额外延迟的总和。SRIS附加

SRIS时钟补偿所需的符号时间的延迟在以下等式中描述



公式4-1使用SRIS的重定时器延迟

其中：

SRIS链路有效载荷大小

是重定时器中的编程值。

TLP开销

表示消耗链路带宽h的附加TLP组件（TLP前缀、报头、LCRC、成帧符号），此处将其视为28个符号的常数值。

链路宽度

链接的工作宽度。

SKP\_率

使用8b/10 b编码时，发射机调度SKP有序集的速率，154，请参阅www.example.com部分4.2.7.3。当使用128 b/130 b编码时，有效速率是相同的。

标称延迟将是SRIS附加延迟的1/2，并且是弹性存储的标称填充。这

假设每个阻塞的SKP有序集在弹性存储中需要额外的延迟符号。当传输最大有效载荷大小TLP时，弹性存储器的实际填充可能变为零，或者是标称填充的两倍，这取决于相对时钟频率。链路宽度向下配置可能发生在 例如，在任何时候，通道发生故障，并且这种向下配置可能比重定时器能够调整其标称弹性存储更快地发生。默认情况下，重定时器将根据x1链接宽度配置其标称填充，而不考虑实际的当前链接宽度。

可选地支持SRIS的重定时器可以可选地支持动态弹性存储。动态弹性存储变化 当链路宽度改变时，标称缓冲区填充。重定时器允许延迟链路LTSSM转换，仅当链路在配置中向下配置时，延迟时间最多为40 us。允许重定时器在Configuration.Lanenum.Accept和Configuration.Complete之间延迟TS1 Order Set到TS2 Ordered Set的转换，以增加其弹性存储。

4.3.10 L1 PM子状态支持

以下部分描述了支持可选L1 PM子状态的重定时器要求。当CLKCLK #被采样为解除置位时，重定时器进入L1.1。发生以下情况

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 重定时器的REFCLK关闭。

·PHY保持通电。

·重定时器将两个伪端口上的所有变送器置于电气空闲（如果尚未处于电气空闲，则为预期状态）。变送器保持其共模电压。

·重定时器必须忽略来自两个伪端口上的所有接收器的任何电气空闲退出。当CLKCLK #为sampled时，重定时器退出L1.1。发生以下

· 使能重定时器的REFCLK

· 在重定时器的两个伪端口的所有通道上，电气怠速退出电路恢复正常工作。

· 恢复从电气怠速退出行为的正常退出，参见www.example.com[节4.3.6.3。](#bookmark55)

重定时器不支持[L1.2](#bookmark70)，但如果它们支持[L1.1](#bookmark71)和参考时钟的移除，则它们不得干扰所附组件进入[L1.2的能力。](#bookmark72)

重定时器供应商必须记录适用于CLK #的特定实施要求。例如，不支持移除参考时钟的重定时器实现可能需要一个实现来拉取

CLK #低。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



**执行说明**

CLK #重定时器支持L1 PM子状态的连接拓扑

在此平台配置中，Downs流端口（A）只有一个CLK #信号。上游和

下游端口的CLKREQB #（A和C）和重定时器的CLKREQB#信号相互连接。在这种情况下，下游端口（A）必须在需要参考时钟时断言CLKCLK #信号。组分A， 组件B和重定时器同时删除/恢复了它们的REFCLK。

|  |  |
| --- | --- |
| REFCLKA |  |
|  |
| REFCLKB | CLKREQA编号  CLKREQB编号  CLKREQC编号 |
| REFCLKC |
|  |

|  |
| --- |
| 时钟发生器 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 组分A  下游端口 | | | | | | |
| |  | | --- | | EI退出检测 |  |  | | --- | | RX | | | | |  | | --- | | LinkPM控制 |  |  | | --- | | TX | | | | |  | | --- | | PLL | |
|  |  |  | |  |  | |
| |  | | --- | | TX |  |  | | --- | | LinkPM控制 |  |  | | --- | | EI退出检测 |  |  | | --- | | RX | | | | |  | | --- | | RX |  |  | | --- | | EI退出检测 |   重定时   |  | | --- | | LinkPM控制 |  |  | | --- | | TX | | | | |  | | --- | | PLL | |
|  |  |  | |  |  | |
| |  | | --- | | TX |  |  | | --- | | LinkPM控制 | | | | |  | | --- | | RX |  |  | | --- | | EI退出检测 | | | | |  | | --- | | PLL | |
| 组件B上游端口 | | | | | | |

图4-37重定时器CLK #连接拓扑

4.3.11重定时器配置参数

重定时器必须提供一个特定于实现的机制来配置本节中的每个参数。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

参数被分成两组：可针对重定时器全局配置的参数和可针对每个物理重定时器伪端口配置的参数。

如果每伪端口参数仅应用于上游或下游伪端口，则重定时器不需要提供实现特定的机制来配置用于其他类型的伪端口的参数。

<4.3.11.1>全局参数

· **端口定向方法**。这控制端口方向是如第www.example.com节中所述动态确定[4.3.6.2](#bookmark60)还是基于上游和下游伪端口的供应商分配静态确定。如果端口方向设置为静态，则不需要重定时器动态调整端口方向，

在[4.3.6.2部分](#bookmark60)中描述。默认行为是动态确定端口方向

· **最大数据速率**。这控制重定时器在重定时器发送的训练集的数据速率标识符字段中设置的最大数据速率。仅支持2.5 GT/s速度的重定时器允许不提供此配置参数。

·**SRIS启用**。这控制是否为SRIS配置重定时器，以及在执行模式下是否以SRIS模式速率传输SKP有序集。不支持SRIS和至少一个其他时钟架构的重定时器不需要提供该配置参数。

·**SRIS链路有效载荷大小**。这控制重定时器在SRIS中支持的最大有效负载大小。的 值必须从表4-29所示的所有最大有效载荷尺寸[中选择。](#bookmark66)此参数的默认值支持4096字节的有效负载大小。不支持SRIS的重定时器不需要 提供此配置参数。

以下是可能适合将SRIS链路有效载荷大小配置为小于default的值的情况

◦ 重定时器是主板的一部分，其根端口支持的最大负载大小小于

4096字节。

◦ 重定时器是附加卡的一部分，其端点支持小于的最大有效负载大小

4096字节。

◦ 重定时器位于集成为系统一部分的交换机下游端口的下游，根端口硅支持小于4096字节的最大有效负载大小，并且系统不支持对等流量。

· **增强的链接行为控制**。这将控制重定时器的能力，使其能够旁路均衡到最高数据速率，或者在支持32.0GT/s时完全旁路均衡。

<4.3.11.2>PerPhysicalPseudo端口参数

· **端口方向**。这仅在端口定向方法配置为静态

保持战略定力 这是为上游或下游设置的。每个伪端口必须配置为不同的方向，否则行为未定义。

·**可选择的去加重**。当下行伪端口以5.0 GT/s操作时，这在特定情况下将链路的发射去加重控制为-3.5dB或-6dB，并且可选的

由下游Ps eudo端口传输的训练集中的去加重字段。详见第4.2.6 使用信息。当链路段不以5.0GT/s速度运行时，该位的设置没有 效果仅支持2.5 GT/s速度的重定时器允许不提供此配置参数。

· **Rx阻抗控制**这控制重定时器是否动态应用和移除50Ω

终端或静态具有50Ω终端。 该值必须从Dynamic、Off和On中选择。默认行为为“动态”。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·**Tx合规性禁用**。这控制重定时器是否在

CompLoadBoard.模式状态。重定时器的默认行为是在 CompLoadBoard.Pattern状态。如果TX Compliance Pattern被设置为禁用，则重定时器发送器保持在电气空闲状态，并且不发送CompLoadBoard.Pattern中的Compliance Pattern-CompLoadBoard状态中的所有其他行为都是相同的。

· **伪端口从属环回**。这将控制重定时器是否

在链路上断开或在伪端口上进入从环回。重定时器的默认行为是在重定时期间以转发模式运行。不支持可选从属环回的重定时器包括

允许不提供此配置参数。 此配置参数应仅对一个物理端口启用。如果为多个物理端口启用了该参数，则重定时器行为未定义。

· **下游伪端口8GT TX预设**。这控制8.0 GT/s传输的下行伪端口发射器使用的初始TX预设。 默认值是特定于实现的。价值必须是

可从表4-4中的所有适用值中选择。

· **下游伪端口16GT TX预设**。这将控制下行伪端口发射器用于16.0 GT/s传输的初始TX预设。 默认值是特定于实现的。该值必须是

可从表4-4中的所有适用值中选择。

· **下游伪端口32GT TX预设**。这将控制下行伪端口发射器用于32.0 GT/s传输的初始TX预设。 默认值是特定于实现的。该值必须是

可选择表4-4中的所有适用值。

· **下游伪端口8GT请求TX预设**。这控制了用于由下游伪端口以8.0 GT/s传输的EQ TS 2有序集的初始发射器预设值。默认值为 具体实施。 该值必须可从表4-4中的所有值中选择。

· **下游伪端口16 GT请求TX预设**。这控制在128 b/130 bEQTS 2有序集合中使用的初始发射器预设值，该有序集合由D顺流伪端口以16.0 GT/s的速率发射。的 默认值是特定于实现的。 该值必须从表4-4中的所有值中选择。

· **下游伪端口32 GT请求TX预设**。这控制了用于下游伪端口以32.0 GT/s传输的128 b/130 bEQTS 2有序集的初始发射机预设值。的 默认值是特定于实现的。 该值必须从表4-4中的所有值中选择。

· **下游伪端口8GT RX提示**。这控制了在由下游端口以8.0 GT/s传输的EQ TS 2有序集中使用的接收器预设提示值。默认值为

具体实施 该值必须可从表4-5中的所有值中选择。

4.3.12带内寄存器A访问

· 以16.0 GT/s或更高速率运行的重定时器可以选择性地支持带内只读访问。对照SKP

16.0 GT/s或更高速率的有序集通过裕量命令“访问重定时器寄存器”提供机制，见表4-26。支持内置只读访问的重定时器必须在寄存器偏移量80和84 h处为DWORD返回非零值。不支持带内只读访问的重定时器必须返回零值。

· A0和FFh之间的寄存器偏移量被指定为Vend或定义的寄存器空间。

· 从00 h到7 Fh和85 H到9 Fh的寄存器偏移量保留供PCI-SIG将来使用。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

电源管理

本章介绍电源管理（PM）功能和协议。

5.

5.1概述

电源管理状态如下：

· D状态与特定函数

[EDD0](#bookmark73)是操作状态，消耗的功率最大

[D1](#bookmark74)和[D2](#bookmark75)是中间省电状态

[HD3Hot](#bookmark76)是一种非常低功耗的状态

COLD3[冷](#bookmark77)是电源关闭状态

· L状态与特定链路

NOLL0是操作状态

L0、L1、[L1.0、](#bookmark78)[L1.1](#bookmark79)和[L1.2](#bookmark80)是各种低功耗状态

其他规范定义了相关的功率状态（例如， S州）。 本规范不描述这些状态与D/L/B状态之间的关系。

PM提供以下服务：

·识别给定功能的功率管理能力的机制

·将功能转换到特定功率管理状态的能力

· 通知功能的当前电源管理状态

·在特定事件时唤醒系统的选项

PM与PCI总线电源管理接口规范以及高级配置和电源接口规范兼容。本章还定义了PCI Express本机电源管理扩展。

PM定义了允许PCI Express物理链路响应于软件驱动的D状态转换或活动状态链路功率管理活动而进入的链路功率管理状态。PCI Express链路状态不是 对传统总线驱动程序软件直接可见，但从组件的电源管理状态 在这些链接中。定义的链路状态为L0、L0s、L1、L2和[L3。](#bookmark81) 功率节省随着链路状态 从L0到[L3的过渡。](#bookmark82)

组件可以使用唤醒机制来唤醒系统，随后是功率管理事件（PME）。 留言该PCI Express系统可以提供从主电源关闭的状态唤醒操作所需的可选辅助电源（Vaux）。

与Vaux相关的具体定义和要求是特定于形状因子的，并且在本文档中，术语“辅助电源”和“Vaux”应参考使用中的特定形状因子来理解。

PCI EST-PM PME机制的另一个区别是它分离了以下两个PME任务：

· 关联资源的重新激活（唤醒）（即，重新建立到PCI Express组件的参考时钟和主电源轨）

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·将PME消息发送到RootComplex

**活动状态电源管理**（**ASPM**）是一种基于硬件的自主活动状态机制，

即使当所连接的D个组件处于[D0](#bookmark83)状态时也节省功率。经过一段空闲链路时间后，

物理层协议将空闲链路置于低功率状态。一旦处于低功耗状态，链路两侧出现的流量就会触发向完全工作的L0状态的转换。ASPM可能被软件禁用。 有关ASPM的更多信息，请参见第5.4.1节。

5.2 Link State PowerMan

PCI Express定义链路电源管理状态，取代PCI总线电源管理接口规范定义的总线电源管理状态。链路状态对PCI-PM传统兼容软件不可见，并且从连接到该链路的相应组件的电源管理D状态或ASPM协议导出（参见[第5.4.1节）](#bookmark86)。

注意，PCI Express物理层可以定义附加的中间状态。有关每个状态以及物理层如何处理状态之间的转换的详细信息，请参阅第4章。

PCI PCI PCI-PM定义了以下链路电源管理状态：

·L0-活动状态。

ASPM和PCI-PM兼容电源管理都需要L0支持。所有PCI Express事务和其他操作均已启用。

·L0 s-低恢复延迟、节能的

L0支持对于ASPM是可选的，除非链路的适用外形规格明确要求L0支持。

在L0期间，所有主电源、组件参考时钟和组件内部PLL必须始终处于活动状态。链路位于Tx\_L0s中的端口禁用TLP和DLLP传输。

物理层提供从该状态到L0状态的快速转换机制。当在链路的两侧上使用公共（分布式）参考时钟时，期望从L0到L0的过渡时间小于100个符号时间。

链路上一个组件的发送端可能位于L0，而链路上另一个组件的发送端可能位于L0。

·L1-更高的延迟，更低的功率

PCI-PM兼容电源管理需要L1支持。L1对于ASPM是可选的，除非特定的形状因子特别要求。

当通过设置L1 PM子状态控制1寄存器中的一个或多个使能位使能L1PM子状态时，此状态称为[L1.0](#bookmark87)子状态。

在L1期间，所有主电源必须保持激活状态只要y坚持广告的L1出口

例如，明确允许实现通过应用诸如以下技术 仅限于定期而非连续检查电气怠速退出， 只有一个通道，并关闭不需要的电路。所有平台提供的组件参考时钟在L1期间必须保持活动状态，但时钟电源管理（使用CLK #）和/或L1PM

启用时子状态。内部PLL中的组件可以在L1期间关闭，从而以增加的退出等待时间为代价实现更大的功率节省。79

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

只要给定链路上下游组件的所有功能都已编程，就进入L1 到D状态而不是[D0](#bookmark88)。 如果下游组件请求L1条目（ASPM）并收到对该请求的肯定确认，则也会进入L1状态。

从L1的退出由针对下游组件的上游发起的事务发起，或者由 下游组件的事务头上游的初始化。 从L1到L0的转换期望为几微秒。

对于L1中的链路禁用TLP和DLLP

**L1PM子状态**-PCI-PM和ASPM的L1低功率链路状态的可选[L1.1](#bookmark89)和[L1.2](#bookmark90)子状态。

在[L1.1](#bookmark91)子状态下，链路共模电压保持不变。 当链路处于[L1.0](#bookmark93)子状态并且满足进入[L1.1子状态的条件时，进入L1.1](#bookmark94)子状态。详情见[第5.5.1节](#bookmark95)。

在[L1.2](#bookmark96)子状态下，不需要保持链路公共模式电压。 当链路处于[L1.0](#bookmark98)子状态并且满足进入[L1.2子状态的条件时，进入L1.2](#bookmark99)子状态。 参见[第5.5.1节](#bookmark100)[。](#bookmark101) 有关详细信息

当断言CLK #信号时，启动从所有L1 PM子状态的退出（参见[第5.5.2.1](#bookmark102)和[第](#bookmark103)

[5.5.3.3）](#bookmark105)上提供。

·**L2/L3就绪**-L2或[L3的分段点。](#bookmark106)

需要[L2/L3就绪](#bookmark104)转换协议

[L2/L3就绪](#bookmark104)是一种伪状态（对应于LTSSM L2状态），当准备从下游组件或从两个连接的组件移除电源和时钟时，给定链路进入该伪状态。 此过程在PM软件将设备转换为[D3](#bookmark107)状态并随后调用电源后 管理软件来启动电源和时钟的移除。 链路进入[L2/L3就绪](#bookmark104)状态后，组件已准备好断电。在主电源被移除后，Link将

如果提供并使用Vaux，则转换到L2，或者如果没有提供或使用Vaux，则转换到L3。注意，这些是链路的PM伪状态;在这些条件下，LTSSM通常仅在 主电源，因此将随着主电源的移除而断电。

L2[/L3就绪](#bookmark104)状态进入转换过程必须在PME\_Turn\_Off消息的确认之后尽快开始（即， 注入PME\_TO\_AckTLP）。下游组件启动

通过发送PM\_Enter\_L23DLLP进入L2/L3就绪状态。请参阅[第5.7 f节](#bookmark109)或有关电源管理系统消息的更多详细信息。

对于L2/L3就绪状态下的链路，禁用TLP和DLLP传输。

注：从[L2/L3就绪状态](#bookmark104)返回L0将通过中间LTSSM状态退出。有关详细信息，请参阅第4章。

·L2-

L2支持是可选的，并且取决于辅助电源的存在

如第5.6节所述，部件只能连接辅助电源[。](#bookmark110)在L2中，器件的主电源输入和参考时钟输入关闭。

当在L2中时，任何链路重新激活唤醒逻辑（信标或唤醒#）、PME上下文和任何其他“保持活动”逻辑由辅助电源供电。

对于L2中的链路禁用TLP和DLLP传输。

· **L3**-链路关闭状态。



79.例如，在D3 Hot模式下，禁用内部PLL可能是可取[的，](#bookmark111)但在D1或D2模式下则不然[。](#bookmark113)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

当不存在电源时，组件处于[L3](#bookmark82)状态。

·**LDn**-LO之前的过渡链路断开伪状态。

此伪状态与LTSSM状态“检测”、“轮询”和“配置”以及“禁用”、“环回”和“热复位”（如果适用）相关联。

有关在L0和[L2/L3就绪](#bookmark104)之间进入和退出每个L状态的更多详细信息，请参见第4.2 （L2.从第4章的角度看空闲）。 L2状态是用于PM目的的抽象，通过辅助电源的存在来区分，并且不应被解释为暗示LTSSM保持活动的要求。

电气部分规定了未通电时驱动器和接收器的电气特性。这是[L3](#bookmark82)状态，但电气部分不参考[L3。](#bookmark82)

[图5-1](#bookmark115)显示了可能发生的L状态转换的概述。

链路重新初始化通过

LTSSM检测状态

L0sFTS子状态 

通过LTSSM返回L0



LDN

.



L0



L0s



L3

通过LTSSM恢复状态返回到L0



L2



L2/L3就绪



L1

L2/L3就绪-伪状态为 

准备零部件，

电源和基准时钟

链路断开-返回到L0的瞬时伪状态-也已输入

通过基本复位，热

上游组件重置或链路禁用传输

此弧线指示

平台不提供或设备

不使用Vaux。在这种情况下，L2/L3就绪状态转换协议导致

一种准备好失去主电源的状态，一旦主电源被移除， 进入L3状态。

OM13819B

图5-1链路电源管理状态流程图

L1和[L2/L3就绪](#bookmark104)进入协商在L0状态下发生。只有在协商完成后，才进入L1和[L2/L3就绪](#bookmark104)状态。链路电源管理保持在L0，直到协商过程完成，除非[LDn](#bookmark114)

发生。注意，这些状态和状态转换不直接对应于物理层LTSSM的动作。例如，在[图5-1中，](#bookmark115)L0包括LTSSM L0、恢复以及链路启动期间的配置状态。还 LTSSM通常由主电源（而不是Vaux）供电，因此LTSSM将不会在L2或[L3](#bookmark82)状态下供电。

以下示例序列示出了导致进入系统休眠状态的多步链路状态

1. 系统软件将下游组件的所有功能导向[D3 Hot。](#bookmark116)

2. 然后，下游组件根据需要发起链路到L1的转换。

3. 然后，系统软件使根复合体广播PME\_Turn\_Off消息，准备移除主电源。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

4. 该消息使主题链路转换回L0，以便发送该消息并使下游组件能够以PME\_TO\_Ack进行响应。

5. 在发送PME\_TO\_Ack之后，下游组件启动[L2/L3就绪](#bookmark104)转换协议。

L0→L1 →L0 →[L2/L3就绪](#bookmark104)

如以下示例所示，也可以在不首先将所有功能置于[D3Hot的情况](#bookmark117)下移除电源

1. 系统软件使根联合体广播PME\_Turn\_Off消息，以准备移除主电源。

2. 下游组件以PME\_TO\_Ack响应。

3. 在发送PME\_TO\_Ack之后，下游组件启动[L2/L3就绪](#bookmark104)转换协议。

L0→[L2/L3就绪](#bookmark104)

L1条目协商（无论是通过PCI-PM还是ASPM机制调用）和[L2/L3就绪](#bookmark104)条目协商映射到一个状态机，该状态机对应于本章后面描述的操作。 该状态机被重置为空闲状态。对于下游组件，状态机在离开空闲状态后采取的第一个动作是启动

根据协商的类型发送适当的如果谈判中断，例如

通过恢复，两个组件中的状态机都被重置回空闲状态。上游

组件必须始终进入空闲状态，并等待接收条目DLLP。下游组件必须始终进入空闲状态，并且必须始终继续发送条目DLLP以重新启动协商。

[表5-1](#bookmark118)总结了每种L状态，描述了它们的使用时间，以及对应于每种状态的平台和组件行为。

“是”条目表示需要支持（除非另有说明）。“开”和“关”条目指示所需的时钟和功率输送。“开/关”表示可选的设计选择。

表5-1 PCI Express链路电源管理状态汇总

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | L-State  描述 | 由S/WDirected PM | 使用ASPM | 平台  参考  时钟 | 平台主  功率 | 组件  内部  PLL | 平台沃克斯 |
| L0 | 完全活动链路 | 是（[D0）](#bookmark119) | 是（[D0）](#bookmark120) | 对 | 对 | 对 | 开/关 |
| L0s | 待机状态 | 没有 | 是1（可选，[D0）](#bookmark121) | 对 | 对 | 对 | 开/关 |
| L1 | 低功耗待机 | 是（[D1-](#bookmark122)[D3热）](#bookmark123) | 是（可选，[D0）](#bookmark124) | 开/关6 | 对 | 开/关2 | 开/关 |
| [L2/L3就绪](#bookmark104)（伪状态） | 断电准备点 | 3是 | 没有 | 开/关6 | 对 | 开/关 | 开/关 |
| L2 | 低功率休眠状态  （所有时钟，主电源关闭） | 4是 | 没有 | 关闭 | 关闭 | 关闭 | 月5 |
| [L3](#bookmark82) | 关闭（零功率） | n/a | n/a | 关闭 | 关闭 | 关闭 | 关闭 |
| [LDN](#bookmark114)  （伪国家） | 过渡状态precedingL0 | 是的 | N/A | 对 | 对 | 开/关 | 开/关 |

备注：



5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | L-State  描述 | 由S/WDirected PM | 由ASPM | 平台  参考  时钟 | 平台主  功率 | 组件  内部  PLL | 平台沃克斯 |

1. 在链路配置中，L0退出延迟最大，其中连接到给定链路两端的组件具有独立的参考时钟输入（相对于公共的分布式参考时钟）。

2. L1退出延迟对于在此状态期间内部关闭其PLL的组件将是最大的。

3. L2[/L3就绪](#bookmark104)进入序列在PME\_Turn\_Off/PME\_TO\_Ack协议握手完成时启动。根据ASPM政策和程序，它不直接隶属于D-状态过渡或过渡。

4. 取决于平台实现，系统的睡眠状态可以使用L2状态，转换到完全关闭（[L3](#bookmark108)），或者它可以使链路处于[L2/L3就绪](#bookmark104)状态。[L2/L3就绪](#bookmark104)状态转换协议由下游发起

在接收到PME\_Turn\_OffTLP消息并对其进行TLP确认之后，虽然对L2睡眠状态配置的平台支持是可选的（取决于Vaux的可用性），但对

需要将链路转换到[L2/L3读取y](#bookmark104)状态。

5. L2与[L3](#bookmark108)态的区别仅在于Vaux的存在和使用。在[L2/L3就绪](#bookmark104)状态转换协议完成之后并且在主电源被移除之前，链路已经指示其准备好用于主电源

的拔除.

6. 低功率移动或手持设备可以通过经由“时钟请求”（CLK\_REQ #）机制对参考时钟进行时钟门控来降低功率。因此，以这些设备为目标的组件应该能够容忍额外的延迟

在低功率状态退出期间需要重新激励



5.3 PCI-PM软件兼容机制

5.3.1功能的设备电源管理状态（D状态）

虽然这些功率状态的概念对于系统中的所有功能是通用的，但是当转换到给定功率管理状态时的含义或预期功能行为取决于功能的类型（或类别）。

[D0](#bookmark125)电源管理状态是功能的正常运行状态。其他状态是各种级别的降低功率，其中功能不运行或支持有限的一组操作。[D1](#bookmark126)和[D2](#bookmark127)是中间体

这些状态旨在为系统设计者在针对给定设备类平衡功率节省、恢复时间和低功率特征可用性权衡方面提供更大的灵活性。例如，[D1](#bookmark128)状态可以被支持为比D2稍微更耗电的状态，然而，该状态产生比从D2可以实现的更快的恢复时间[。](#bookmark130)

[D3](#bookmark131)电源管理状态构成电源管理状态的特殊类别，因为功能可以通过软件或通过物理移除其电源而转换到D3。在这个意义上，两个[D3](#bookmark133)变体被指定为**D3 Hot**和**D3 Cold**，其中下标分别指主电源的存在或不存在。

通过写入功能的PMCSR寄存器，允许通过软件将D3 Hot中的功能转换为D0状态。通过重新应用主电源并断言基本复位，允许D3冷态下的功能转换到D0未初始化状态。

所有功能必须支持[D0](#bookmark137)和[D3](#bookmark138)状态（[D3热](#bookmark111)和[D3冷）](#bookmark111)。[D1](#bookmark139)和[D2](#bookmark140)状态是可选的。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

非D0状态下的交换机和根端口

当与交换机/根端口（“虚拟桥”）相关联的类型1功能 模拟传统PCI桥在处理内存、I/O和配置请求和完成时的行为。下行流中的所有内存和I/O请求都将作为不支持的请求终止。所有

类型1配置请求作为不支持的请求被终止，但是类型0配置请求处理不受虚拟网桥D状态的影响。在虚拟环境中以任意方向流动的完成

桥不受虚拟桥D状态的影响。

注意，消息的处理不受虚拟网桥的PM状态的



<5.3.1.1>D0State

所有函数必须支持[D0](#bookmark83)状态。[D0](#bookmark83)分为两个不同的子状态，“未初始化”子状态和“活动”子状态。当一个组件退出常规复位时，该组件的所有功能都进入

**D0未初始化**状态。当函数完成FLR时，它进入[D0未初始化](#bookmark83)状态。配置完成后，功能进入[D0活动](#bookmark83)状态，即PCI Express功能的完全操作状态。只要功能的存储器空间使能、I/O空间使能或总线主控器中的任何一个或组合，功能就进入**D 0活动**状态

使能位已设置为80。

<5.3.1.2>D1State

[D1](#bookmark139)支持可选。当处于[D1](#bookmark139)状态时，功能不能在具有D1的链路上发起任何请求TLP。

第2.2.8节中定义的消息除外。配置和混乱请求是D1状态下功能接受的唯一TLP。所有其他收到的请求必须作为不支持的请求处理，所有收到的

可以选择将完成作为意外完成进行处理。如果由接收到的TLP（例如，一个

不支持的请求），并启用报告，则必须将链路返回到L0，否则

已经在L0中，并且必须发送错误消息。如果由除接收到的TLP之外的事件引起的错误（例如，一

当在D1中[检测到完成时，](#bookmark139)当功能被编程回[D0](#bookmark83)状态时，必须发送错误消息。

请注意，功能的软件驱动程序参与将功能从[D0转换](#bookmark83)为[D1的过程。](#bookmark139)它

通过保存任何功能状态（如有必要），以及为

过渡到[D1](#bookmark139)。 作为该静止过程的一部分，功能的软件驱动程序必须确保任何交易中间TLP（即，具有未完成的完成的请求）在将控制移交给系统配置软件之前被终止，然后系统配置软件将完成到D1的转换[。](#bookmark139)

<5.3.1.3>D2State

[D2](#bookmark140)支持可选。当一个函数当前没有被使用，并且可能在一段时间内不会被使用时，它可以被放入[D2](#bookmark140)。该状态要求该功能提供显著的功率节省，同时仍然保持以下能力：

完全恢复到以前的状态。当处于[D2](#bookmark140)状态时，除了第2.2.8节中定义的消息之外，功能不能在链路上发起任何请求TLP。配置和消息请求是唯一的TLP



80.即使这些使能位随后被清除，功能仍保持在[D0活动状态](#bookmark83)。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

被D2状态的函数接受。所有其他收到的请求必须作为不支持的请求处理， 接收到的完成可以可选地作为意外完成来处理。如果由接收到的TLP（例如，不支持的请求）[，](#bookmark142)并且报告被启用，则链路必须返回到L0，如果它不被

已经在L0中，并且必须发送错误消息。如果由除接收到的TLP之外的事件引起的错误（例如，一

当在D2中[检测到完成时，](#bookmark142)当功能被编程回[D0](#bookmark73)状态时，必须发送错误消息。

请注意，函数的软件驱动程序参与将函数从[D0转换](#bookmark73)为[D2的过程。](#bookmark142)它

通过保存任何功能状态（如有必要），以及为

过渡到[D2](#bookmark142)。 作为该静止过程的一部分，功能的软件驱动程序必须确保任何交易中间TLP（即，具有未完成的完成的请求）在将控制移交给系统配置软件之前被终止，然后系统配置软件将完成到D2的转换[。](#bookmark142)

系统软件必须在访问内存或I/O空间之前将功能恢复到[D 0活动](#bookmark73)状态。启动的操作（如总线主控和中断请求生成）只能在功能已完成后开始。

恢复到[D0活动状态。](#bookmark73)

从功能从[D2编程到](#bookmark142)[D0](#bookmark73)到向功能发出下一个请求之间的最短恢复时间要求为200 μ s。在此恢复时间窗口中接收的请求的行为未定义

第7.9.17节）。

<5.3.1.4>www.example.com

[需要D3](#bookmark138)支持（[D3冷状态](#bookmark111)和[D3热](#bookmark111)状态）。

如果PMCSR中的No\_Soft\_Reset字段被设置，则D3热状态下的功能需要维护功能上下文。在这种情况下，在从D3热转换到D0之后，不需要系统软件重新初始化功能（

函数将处于[D0活动](#bookmark83)状态）。如果No\_Soft\_Reset位为清除，则不需要功能上下文

由D3热状态下的功能[维护](#bookmark111)，但不能保证功能上下文将被清除，软件不得依赖于此类行为。因此，在这种情况下，系统软件需要在转换到D0后完全重新初始化功能[，](#bookmark83)因为功能将处于[D0未初始化](#bookmark83)状态。

无论No\_Soft\_Reset位的值如何，如果链路状态已转换为[L2/L3就绪](#bookmark104)状态，则该功能将重置。



**执行说明**

过渡到L2/L3就绪

如[第5.2](#bookmark85)所述，向[L2/L3就绪](#bookmark104)状态的转换由平台电源管理

软件，以便开始从设备移除主电源和时钟的过程。因此，

预期设备将在其链路过渡到[L2/L3就绪](#bookmark104)后不久过渡到[D3冷](#bookmark111)，

No\_Soft\_Reset位，仅适用于[D3 Hot](#bookmark111)，不相关。虽然不能保证[L2/L3就绪](#bookmark104)和[D3冷](#bookmark111)之间的这种相关性，但系统软件应确保仅在以下情况下进入[L2/L3就绪](#bookmark104)状态：

目的是移除器械主电源。器械功能，包括那些能够

在处于[D3热](#bookmark111)时保持功能上下文（即， 设置No\_Soft\_Reset位），以便在退出[L2/L3 Ready（](#bookmark104)由于需要DL\_Down状态指示）时重新初始化内部状态（如第2.9.1节所述）。

除非PCI-PM电源管理功能寄存器中的Immediate\_Readiness\_on\_Return\_to\_D0位被置位，否则系统软件必须在[D3Hot](#bookmark111)→[D 0](#bookmark83)转换后允许至少10ms的最短恢复时间

第7.9.17节），在访问函数之前。该恢复时间可以例如由[D3热](#bookmark111)→[D0](#bookmark83)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

转换组件以引导其任何组件接口（例如， 从串行ROM）之前可访问。在接收时间（包括配置请求数据包）内尝试以函数为目标将导致

未定义的行为。

5.3.1.4.1[D3热](#bookmark123)态

配置和消息请求是处于[D3热](#bookmark123)状态的功能仅所有其他收到

请求必须作为不受支持的请求处理，所有接收到的完成都可以选择作为

意想不到的完成。如果由接收到的TLP（例如，一个不支持的请求）被检测到，并且报告被使能，如果链路还没有在L0中，则链路必须被返回到L0，并且必须发送一个错误消息。如果 由除接收到的TLP之外的事件引起的错误（例如，在[D3Hot](#bookmark123)中检测到一个错误（完成）， 当功能被编程回[D0](#bookmark124)状态时，可以选择发送消息。一旦处于[D3热状态](#bookmark123)，该功能随后可以转换为[D3冷状态](#bookmark123)（通过从其主机组件移除电源）。

请注意，功能的软驱动程序参与将功能从[D0转换](#bookmark124)为[D3热的过程。](#bookmark123)它

通过保存否则将随着主电源的移除而丢失的任何功能状态，以及以其他方式准备功能以转换到[D3热，来对该过程做出贡献](#bookmark123)。 作为该静止过程的一部分，功能的软件驱动程序必须确保任何未完成的交易（即，未完成的请求）终止

在将控制权交给系统配置软件之前，系统配置软件将完成向[D3 Hot的转换。](#bookmark123)

请注意，[D3 Hot](#bookmark123)也是一种有用的状态，可以减少其他运行系统中空闲组件的功耗。

处于[D3 Hot状态的功能](#bookmark123)允许通过软件（写入其PMCSR PowerState字段）转换为[D0活动](#bookmark124)状态或[D0未初始化](#bookmark124)状态。[D3 Hot](#bookmark123)中的函数必须响应配置空间访问，

只要电源和时钟被提供，使得它们可以通过softw返回到[D0](#bookmark124)。请注意，该函数不是 在从[D3 Hot](#bookmark123)到[D0](#bookmark124)的转换期间或之后立即生成内部硬件复位所需（参见PMCSR中No\_Soft\_Reset位的用法）。

如果不需要内部复位，则在完成[D3热](#bookmark123)到D0交流状态后，无需额外的操作系统

除了写入PowerState字段之外，还需要进行干预。如果需要内部复位，设备将返回

[D0未初始化](#bookmark124)，设备需要完全重新初始化。完整的重新初始化序列将设备返回到D0激活状态。

如果设备支持PME事件，并且设置了PME\_En，则PME上下文必须保留在[D3 Hot中。](#bookmark123)PME上下文也必须保留在PowerState命令中，并转换回[D0。](#bookmark124)

执行说明

设备未执行内部复位

总线控制器到非PCIe总线，并从PCIe总线上的[D3热](#bookmark123)总线控制器恢复，PCIe总线用作到非PCIe总线的接口（例如，CardBus、USB和IEEE 1394）是总线控制器的示例，这些总线控制器将受益于在从D3 Hot恢复时不需要内部复位[。](#bookmark123)如果不需要这种内部复位，总线控制器 将不需要[在从](#bookmark123)其辅助（非PCIe）总线上的D3热恢复时执行下游总线复位。



5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

多功能器件软复位

对于多功能设备（MFD），影响整体设备行为的某些控制设置由所有功能中的集体设置或功能0中的严格设置决定。这里有一些关键

示例：

·对于非ARI MFD，设备控制寄存器和链路控制寄存器中的某些控制在所有功能的集体设置下运行（参见第www.example.com节7.5.3.4和第www.example.com节7.5.3.7）。

·对于ARI设备，设备控制寄存器和链路控制寄存器中的某些控件严格按照功能0中的设置进行操作（参见第www.example.com节7.5.3.4和第www.example.com节7.5.3.7）。

·对于所有MFD，设备控制2和链路控制2寄存器中的某些控件严格按照功能0中的设置运行（参见第www.example.com节7.5.3.16和7.5.3.19）。

对任何功能（尤其是功能0）执行软复位可能会中断其他活动 MFD中的功能。 由于某些操作系统在[D3Hot](#bookmark123)和[D 0之间转换给定功能时](#bookmark124)，期望其他功能不会受到影响，因此强烈建议在电源管理控制/状态寄存器中设置No\_Soft\_Reset位的情况下实现MFD中的每个功能。这边

将给定功能从[D3热转换](#bookmark123)到[D0](#bookmark124)将不会中断其它活动功能的正确操作。

强烈建议MFD中的每个端点功能都实现功能级复位（FLR）。 FLR可用于重置单个端点功能，而不会影响可能影响其他功能的设置，特别是在这些功能处于活动状态时。由于FLR的静默、错误恢复和清理以实现重用属性，因此还建议将FLR用于单功能端点设备。



[D3冷](#bookmark123)态

当主电源断开时，功能转换为[D3冷](#bookmark123)态。上电序列及其相关的冷复位将功能从[D3冷](#bookmark123)状态转换为D0未初始化状态，并且上电默认值将恢复 与初始加电时一样，通过硬件向功能。此时，软件必须执行

函数，以便重新建立所有函数上下文，从而完成函数到其[D0活动](#bookmark124)状态的恢复。

支持从[D3Cold](#bookmark123)唤醒功能的函数必须维护其PME上下文（在PMCSR中），

设置PME\_En，以便在恢复过程期间由PME服务例程软件进行检查。附加上下文的保留是特定于实现的。



**执行说明**

PME上下文

PME上下文的示例包括但不限于功能的PME\_Status位、请求代理的呼叫者ID、呼叫者ID（如果被调制解调器支持的话）、触发恢复事件的针对IP的网络分组的IP信息等。

当系统软件对其PCI-PM兼容PMCSR的断言功能的PME\_Status位执行“写1到cle ar”配置事务时，确认功能的PME断言。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

必须使用辅助电源来支持功能内的PME事件检测、链路再激活，并通过[D3冷保存PME上下文](#bookmark111)。请注意，一旦I/O层次结构恢复到完全

在通信状态中，作为链路重新激活的结果，唤醒的代理然后将PME消息传播到指示PME事件的源的层次的根。更多PME具体细节请参见第5.3.3节。

5.3.2链路电源管理状态

链路的功率管理状态由其下行链路组件的D状态确定。

[表5-2](#bookmark145)描述了一个组件（具有上行端口）的功率状态与其上行链路之间的关系。

表5-2链路电源管理状态与组件的关系

|  |  |  |
| --- | --- | --- |
| 下游组件D状态 | 允许上游组件D状态 | 允许的互连状态 |
| [D0](#bookmark83) | [D0](#bookmark83) | L0、L0 s、L1（1）、[L2/L3就绪](#bookmark104) |
| [D1](#bookmark139) | [D0-D1](#bookmark83) | L1、[L2/L3就绪](#bookmark104) |
| [D2](#bookmark140) | [D0-D2](#bookmark83) | L1、[L2/L3就绪](#bookmark104) |
| [D3热](#bookmark111) | [D 0-](#bookmark83)[D3热](#bookmark111) | L1、[L2/L3就绪](#bookmark104) |
| [D3冷](#bookmark111) | [D 0-](#bookmark83)[D3冷](#bookmark111) | L2（2）、[L3](#bookmark108) |

备注：

1. 对ASPM L0和ASPM L1支持的要求是特定于外形规格的

2. 如果Vaux由平台提供，则Link在L2中休眠。在没有Vaux的情况下，L状态是[L3。](#bookmark108)



以下规则与PCI-PM兼容电源管理有关：

· D0[、](#bookmark83)[D1、](#bookmark139)[D2](#bookmark140)和[D3 Hot](#bookmark111)中的设备必须通过传输PME\_TO\_Ack消息来响应PME\_Turn\_Off消息的接收。

· 在任何设备D状态中，在执行PME\_Turn\_Off/PME\_TO\_Ack握手序列之后，

下游组件必须使用PM\_Enter\_ L2 3 DLLP请求链路转换到[L2/L3就绪](#bookmark104)。

遵循[L2/L3就绪](#bookmark104)进入转换协议，下游组件必须准备好主电源和参考时钟的丢失。

·单功能设备的上游端口必须仅基于其功能被编程为[D1、](#bookmark139)[D2](#bookmark140)或[D3热来发起到L1的链路状态转换。](#bookmark111)在Switch的情况下，系统软件具有

确保交换机上游端口的任何D状态编程都是在符合

关于层级范围PM策略的方式（即，上游端口不能被编程为比最活跃的下游端口和下游连接组件活跃度低的

函数）。

·非ARI多功能设备的上游端口不得发起到L1的链路状态转换（代表PCI-PM），直到其所有功能已被编程为非D 0 D状态。

·ARI设备的上游端口必须不发起到L1的链路状态转换（代表PCI-PM），直到其功能中的至少一个已经被编程为非D 0状态，并且其所有功能都处于

非D0状态或[D0未初始化](#bookmark83)状态。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<5.3.2.1>进入L1状态

[图5-2](#bookmark146)描述了作为电源管理的直接结果，链路转换到L1状态的过程

软件将下游连接组件编程为较低功率状态（[D1、](#bookmark139)[D2](#bookmark140)或[D3热](#bookmark111)状态）。 该图和随后的描述概述了正被编程为非D0状态的单功能下游组件的转换过程。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

上游组件 下游组件

下游组件

P

P

T D D T

上游组件发送配置写入请求

开始L1过渡过程

下游组件发送完成以进行验证

写入请求

下游组件a累积最小信用并阻止新TLP的

下游组件等待

接收最后一个TLPPM\_ Enter\_L1 DLLP的确认

重复发送

下游组件等待PM\_Request\_Ack DLLP， 承认

新TLP的上游组件块

上游组件接收最后一个TLP的确认上游组件重复发送PM\_Request\_AckDLLP，直到它看到电气空闲

PM\_ Enter\_L1 DLLP

下游组件看到PM\_ Request\_ Ack DLLP，

禁用DLLP、 TLP

传递和带来

物理层到电气空闲

上游组件完成L1转换：禁用DLLP、TLP传输并使物理层处于电气空闲状态

时间



图例：

|  |  |
| --- | --- |
| T -事务D-数据链路  P -物理 | 活性  非活动 |

OM13820B

图5-2进入L1链路状态

下面的文本提供了图5-2所示的链路状态转换过程[的更多细节。](#bookmark146) PM软件请求：

1. PM软件向下游功能的PMCSR发送配置写入请求TLP，以改变下游功能的D状态（例如从[D0](#bookmark83)到[D1](#bookmark139)）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

下游组件链路状态转换发起过程：

2. 下游组件将与配置写入请求相对应的完成调度到其PMCSR PowerState字段，并考虑所需的完成信用。

3. 然后，下游组件必须等待，直到它累积了至少最小数量的信用

对于所有启用的VC，需要发送任何FC类型的最大可能数据包（如果它还没有这样的信用）。然后，所有事务层TLP调度将暂停。

4. 然后，下游组件等待，直到其接收到针对PMCSR写入完成的链路层确认以及其先前已发送的任何其他TLP。如果数据链路层规则要求这样做，则组件必须将TLP从其数据链路层缓冲区中移除。

5. 一旦确认了所有下游组件的TLP，下游组件就开始传输PM\_Enter\_L1DLLP。下游组件重复发送此DLLP，其中空闲符号时间不超过8个（使用8b/10 b编码时）或32个（使用128 b/130 b编码时）

PM\_Enter\_L1 DLLP的后续传输。其他DLLP和SKP有序集的传输在PM\_Enter\_L1传输之间的任何时候都被允许，并且不对该空闲时间限制做出贡献。

下行流组件继续如上所述地发送PM\_Enter\_L1 DLLP，直到它从上行流组件81接收到响应（PM\_Request\_Ack）。

下游组件必须继续接受来自上游组件的TLP和DLLP

根据需要，继续使用DLLP（包括FC更新DLLP和Ack/Nak DLLP）进行响应。 任何被阻止传输的TLP（包括对接收到的TLP的响应）必须被存储以供稍后传输，并且必须使下游组件在L1进入之后尽可能快地发起L1退出。

上游组件链路状态传输过程：

6. 在接收到PM\_Enter\_L1DLLP时，上游组件阻止所有TLP传输的调度。

7. 然后，上游组件必须等待，直到它接收到它先前发送的最后一个TLP的链路层确认。如果需要，上游组件必须从其链路层重试缓冲区重新传输TLP， 按照链路层规则执行。

8. 一旦上游组件的所有TLP都已被确认，上游组件就必须向下游发送PM\_Request\_AckDLLP，而不管任何未完成的请求。上游组件

重复发送此DLLP，不超过8（使用8b/10 b编码时）或32（使用128 b/10 b编码时）。 130b编码）PM\_Request\_AckDLLP的后续传输之间空闲的符号时间。的 因此，在PM\_Request\_Ack传输之间的任何时间允许SKP有序Sets的传输，并且不对该空闲时间限制有贡献。

上行流组件继续如上所述地发送PM\_Reque\_st\_AckDLLP，

观察其接收通道进入电气空闲状态。有关物理层行为的更多详细信息，请参阅第4章。

完成L1链路状态转换：

9. 一旦下游组件在其接收通道上捕获了PM\_Request\_AckDLLP（发信号通知上游组件确认了到L1请求的转换），则其随后禁用DLLP传输， 使上行定向物理链路进入电气空闲状态。

10. 当上游组件上的接收通道进入电气空闲状态时，上游组件停止发送PM\_Request\_Ack DLLP，禁用DLLP传输，并使其传输通道进入电气空闲，完成链路到L1的转换。



81.如果此时下游组件需要在链路上发起传输，则它必须首先完成到L1的转换。一旦进入L1，则允许发起退出L1以处理转移。

页452

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

当两个组件的互连链路由于下游组件被

编程为非D0状态时，两个组件均暂停其流量控制更新和更新FCP定时器（如果实施）计数器机制的操作（参见第www.example.com节2.6.1.2）。有关物理层行为的详细信息，请参阅第4章。

如果到L1的计算中断，请参阅第5.2节。

L1中链路两端的组件可以选择禁用其内部PLL，以节省更多能量。 但是，请注意，平台提供的主电源和参考时钟必须继续提供给

L1的[L1.0](#bookmark147)子状态中L1链路的两端

参见[第5.5f节](#bookmark148)或L1PM子状态中的条目。

<5.3.2.2>从L1状态退出

L1退出可以由链路两端的组件发起。

从L1退出时，建议下游组件在L1退出的1 μs内开始为所有启用的VC和FC类型发送流控制更新DLLP。

将链路从L1转换到L0的物理机制将在第4章中详细描述。

如果某个组件需要在链路上传输TLP，则该组件必须发起L1上游

组件必须在下游端口上发起L1退出，即使它没有所需的流量控制信用，

传输它需要传输的TLP。在L1退出之后，Upstream组件必须等待从Downs流组件接收所需的信用。[图5-3](#bookmark149)概述了一个将触发上行流的示例序列

在一个实施例中，控制器100可以包括用于启动链路到L0状态的转换的组件。

上游

组件

状态

链路状态

下游

组件

状态

|  |
| --- |
| D0 |



1

L1

|  |
| --- |
| D1 |

待机状态



2

L1

|  |  |  |
| --- | --- | --- |
| ! D0 | | |
|  |  |  |
| D1 | | |

PM配置请求触发L1到L0转换



3

|  |  |
| --- | --- |
| ! D0 | |
|  | L0 |
| D1 | |

L1到L0转换完成





4

|  |  |
| --- | --- |
| D0 | |
|  | L0 |
| D0 | |

PM配置请求

交付

OM13821

图5-3上游组件启动退出L1L墨水状态

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

事件顺序

1. 电源管理软件启动以PM配置寄存器（PM配置寄存器）为目标的配置周期

该示例中的PMCSR的PowerState字段）位于Downstr组件中的Function内（例如，以使功能块返回到[D0](#bookmark137)状态）。

2. 上游组件检测到配置循环意图用于当前处于低功率状态的链路，并且因此发起该链路到LO状态的转变。

3. 如果链路处于L1的[L1.1](#bookmark150)或[L1.2](#bookmark151)子状态，则上游组件发起链路到L1的[L1.0](#bookmark152)子状态的转换。

4. 根据第4章的定义，链路的两个方向都进入链路训练，导致链路过渡到L0状态。第四章详细讨论了L\_1 →L\_0跃迁。

5. 一旦链路的两个方向都回到活动L0状态，上游端口就向下游发送配置分组。

<5.3.2.3>进入[L2/L3就绪](#bookmark104)状态

转换到[L2/L3就绪](#bookmark104)状态遵循与L1进入过程类似的过程。两者之间有一些细微的区别，如下所述。

·[L2/L3就绪](#bookmark104)进入传输协议不会立即导致L2或L3链路状态。过渡到

[L2/L3就绪](#bookmark104)是一种有效的握手，用于建立下游组件的断电就绪状态。 当平台移除组件的电源和参考时钟时，最终实现L2或L3。

·[L2/L3就绪](#bookmark104)条目转换的时间由PME\_Turn\_Off/PME\_TO\_Ack的完成指示 握手序列。 在启动转换到L2/L3就绪之前，必须完成下游组件为断电做好准备所需的任何操作。一旦完成所有断电和时钟丢失的准备，下游组件通过发送PM\_Enter\_L2 3 DLLP Upstream启动L2/L3就绪条目。

·[L2/L3就绪](#bookmark104)进入转换协议使用PM\_Enter\_L2 3 DLLP。

注意，PM\_Enter\_L2 3 DLLP被连续地发送，直到接收到确认或电力被移除。

·如果到[L2/L3就绪](#bookmark104)的协商中断，请参考[第5.2](#bookmark85)

5.3.3电源管理事件机制

<5.3.3.1>动机

PCI Express PME机制是与PCI总线电源协议定义的PME机制软件兼容的。

管理接口规范。电源管理事件由功能生成，作为请求PM状态更改的一种方式。电源管理事件通常用于从低功耗状态恢复系统或单个功能。

功率管理软件可以将层级转换到低功率状态，并且将层级的上行链路转换到低功率状态。 这些设备进入非通信L2状态。因此，PCI Express PME生成机制分为两个部分：



82. L2状态被定义为“非通信”，因为在该状态下，组件参考时钟和主电源被移除。

第454

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·唤醒非通信层次（唤醒）。只有当发起PME的设备的上行链路处于非通信L2状态时，才需要该步骤，因为在该状态下，设备不能向上行发送PM\_PME消息。

·向层级的根发送PM\_PME消息

源自PCI Express端点或PCI Express传统端点的PME指示以TLP消息的形式传播到根联合体。PM\_PME消息标识层次结构中的请求代理（通过 PME消息报头的转发器ID）。PM\_PME消息中的显式标识旨在促进 更快的PME服务例程响应，因此更短的恢复时间。

如果RCiEP与根复合体事件收集器相关联，则源自该RCiEP的任何PME指示必须由该根复合体事件收集器报告。

源自根端口本身的PME指示通过同一根端口报告

<5.3.3.2>链接唤醒

链路唤醒机制提供了一种向平台发送信号的方式，以向其域内的组件重新建立电源和参考时钟。 有两种已定义的唤醒机制：Beacon和WAKE#。Bea骗局

该机制使用带内信令来实现唤醒功能。对于支持唤醒的组件

在唤醒机制的功能中，实现所针对的形状因子规范确定了对唤醒机制的支持要求。针对在交换机的某些端口上使用Beacon的应用程序的交换机组件

和WAKE#用于其他端口，必须适当地传输唤醒机制（请参见实施说明 第5.3.3.2节中的标题为[“WAKE#到信标转换的示例“）](5.3.3.2)。在WAKE#是唯一使用的唤醒机制的应用中，根复合体不需要支持信标的接收。

WAKE#机制使用sideb和信令来实现唤醒功能。WAKE#是

由请求唤醒的组件断言并由相关联的功率控制器观察。WAKE#仅针对某些外形规格定义，WAKE#的详细规格包含在相关外形规格中。

特定的形状因子规范可能需要使用Beacon或WAKE#作为唤醒机制。

当WAKE#用作唤醒机制时，一旦WAKE#被断言，断言功能必须继续驱动信号允许，直到主电源恢复到组件，如基本复位所示。

不活跃。

系统不需要以这样的方式路由或缓冲WAKE#，即端点被保证能够检测到信号已经被另一功能断言。

在使用任何唤醒机制之前，必须由软件通过设置功能的

PMCSR中的PME\_EnPME\_Status位具有粘性，函数必须保持PME\_Status位的值

如果辅助电源可用，则通过复位，并且它们针对唤醒事件启用（此要求也适用于PMCSR中的PME\_En位和器件控制寄存器中的辅助电源PM启用位）。

允许从[D3冷](#bookmark111)态生成PME的系统必须提供辅助电源，以在以下情况下支持链路唤醒：

主系统电源线断开。如果软件允许组件消耗辅助电源， 见[第5.6节](#bookmark154)。需要软件来启用参与链路唤醒的所有组件中的辅助功耗，包括必须传送信标信号的所有组件。在存在遗留系统的情况下

软件，这是系统固件的责任。

无论使用何种唤醒机制，一旦链路被重新激活和训练，请求代理就将PM\_PME消息上行传播到根联合体。从电源管理的角度来看，

唤醒机制提供相同的功能，并且在本章的其他地方没有区别。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



**执行说明**

WAKE#到Beac的翻译

以包含“Beacon domains”和“WAKE# domains”的应用程序为目标的交换机组件必须适当地转换唤醒机制。[图5-4](#bookmark155)显示了两个示例系统，每个系统都包括使用 WAKE#唤醒机制在情况1中，WAKE#被直接输入到电源管理控制器，并且没有

需要翻译。在情况2中，WAKE#是到交换机的输入，并且响应于WAKE#被断言，交换机必须生成被传播到根复合体/功率管理控制器的信标。

|  |  |  |
| --- | --- | --- |
| 根  复杂 | | 下午  控制器 |
|  |  |



信标

唤醒编号

唤醒编号

|  |
| --- |
| 槽 |

案例2：WAKE#路由到交换机;交换机反过来生成Beacon

A-0334

|  |  |
| --- | --- |
| 根  复杂 | 下午  控制器 |

情况1：WAKE#直接路由到系统电源管理控制器



|  |
| --- |
| 槽 |

|  |
| --- |
| 槽 |

|  |
| --- |
| 槽 |

|  |
| --- |
| 槽 |

|  |
| --- |
| 槽 |

开关

开关

图5-4WAKE#路由的两个示例概念图

PME同步

PCI PCI PCI-PM引入了栅栏机制，用于启动断电序列，同时还

协调平台的电源管理控制器的行为和PCI Express代理的PME处理。PME\_Turn\_Off广播消息

在主组件电源和参考时钟关闭之前，根联合体或交换机下游端口必须发出广播消息，指示层次结构内该点下游的所有代理停止启动任何后续PM\_PME消息，在收到PM\_PME\_Turn\_Off消息后立即生效。

每个PCI Express代理都需要响应一个TLP“ac knowledgement”消息PME\_TO\_Ack，该消息始终在上游路由。在所有情况下，PME\_TO\_Ack消息必须在PME\_Turn\_Off消息的点终止 起源83



83. PME\_Turn\_Off消息的起源点可以是给定根复合体的所有根端口（全平台睡眠状态转换）、单个根端口或交换机下游端口。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

交换机必须仅在收到来自其每个下游端口的PME\_TO\_Ack消息后报告“聚合”确认。一旦PME\_TO\_Ack消息到达每个下行端口，交换机必须在其上行端口发送PME\_TO\_Ack数据包。如果发生以下任何一种情况，则必须重置聚集

机制：从上游端口发送PME\_TO\_Ack消息、在上游端口接收任何TLP、将主电源移到交换机或基本复位。

具有上游端口的所有组件必须接受并确认PME\_Turn\_Off消息，而不管多功能设备的关联设备或其任何功能的D状态如何。一旦组件发送了

PME\_TO\_Ack消息，然后必须通过启动到L2/L3就绪状态的转换来准备移除其电源和参考时钟。

交换机的所有下游端口进入L2/L3就绪状态后，交换机必须将其上游链路转换为[L2/L3就绪](#bookmark104)状态。

连接到PME\_Turn\_Off消息发起者的链路是最后一个呈现[L2/L3就绪](#bookmark104)状态的链路。这

状态转换用作对功率输送管理器84的指示，即层级的该部分内的所有链路已经成功地将所有飞行中的PME消息引退到PME\_Turn\_Off消息起源点，并且已经执行了以下操作：

任何必要的本地条件，以准备断电。

为了避免在一个或多个设备没有用PME\_TO\_Ack消息进行响应并且然后将它们的链路置于[L2/L3就绪](#bookmark104)状态的情况下的死锁，功率管理器必须在等待某个时间之后实现超时。

一段时间，在此之后，它就像收到消息一样继续，所有链路都进入[L2/L3就绪](#bookmark104)状态。此计时器的建议限值为1 ms到10ms。

在移除组件的参考时钟和主电源之前，电源输送管理器必须在为与PME\_Turn\_Off消息的起始点对应的所有链路提供服务之后等待至少100 ns，进入[L2/L3](#bookmark104)就绪状态。此要求不适用于上述定时器触发的情况。

执行说明

PME\_TO\_Ack消息代理（按交换机）

PME\_Turn\_Off/PME\_TO\_Ack握手的关键作用之一是确保所有正在传输的PME消息都被发送到PME\_TO\_Ack。

在休眠状态电源移除之前从PCI Express结构中清除。这是肯定会发生的，因为PME消息和PME\_TO\_Ack消息都使用VC 0中的已提交请求队列，因此所有先前的消息都是

在根接收到PME\_TO\_Ack之前，注入的PME消息将对系统可见

复杂.一旦根复合体的所有下行端口接收到PME\_TO\_Ack消息，根复合体就可以向电源管理器发信号通知移除电源是安全的，而不会丢失任何PME消息。

交换机创建分层扩展点，因此必须等待其所有连接的下游端口接收到PME\_TO\_Ack消息，然后才能代表其已创建的下游子分层向上游发送PME\_TO\_Ack消息。这可以很简单地使用普通分数来

登机技术。例如，一旦PME\_Turn\_Off广播消息已经在交换机的下游被广播，交换机就简单地检查已经接收到PME\_TO\_Ack的每个下游端口。一旦最后一个活动下游端口收到PME\_TO\_Ack，交换机将发送单个PME\_TO\_Ack消息

上游作为代理代表整个子层次结构下游就可以了。请注意，一旦下游端口接收到PME\_TO\_Ack消息，并且交换机已对其到达进行评分，则该端口可以自由丢弃数据包 从其内部队列中释放相应的已过帐请求队列FC信用。





84. 在该上下文中的功率输送控制涉及对整个链路层级的控制，或者对范围向下到单个链路的链路的子集以及用于支持独立管理的功率和时钟分配的子层级的相关联的端点的控制。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<5.3.3.3>PM\_PME消息

PM\_PME消息是发布的事务层分组（TLP），其通知功率管理软件层次结构内的哪个代理请求PM状态改变。PM\_PME消息与所有其他电源管理系统消息一样，必须使用通用业务类TC 0。

PM\_PME消息总是在根复合体的方向上路由。 要在其上行链路上发送PM\_PME消息，设备必须将链路转换到L0状态（如果链路尚未处于该状态）。除非另有说明，否则设备将在PM\_PME消息传输后将链路保持在L0状态。

5.3.3.3.1PM\_PME

根复合体通常利用本地缓冲来实现，以暂时地存储可能潜在地同时传播通过层级的有限数量的PM\_PME消息。给定有限数量的PM\_PME

对于可以存储在根复合体内的消息，在超过该临时PM\_PME消息缓冲区的容量的情况下，可以向上游定向的发布队列施加背压。

根据以下示例场景，可能会发生死锁

1. 传入的PM\_PME消息将根联合体的临时存储填满其容量，而层次结构中仍有额外的PM\_PME消息在上行。

2. 根复合体代表系统软件发出以PME请求者的PMCSR之一（例如，读取其PME\_Status位）。

3. 根据生产者/消费者排序规则，需要相应的分割完成分组来将所有先前发布的PM\_PME消息推到它之前，在这种情况下，这些PM\_PME消息是没有地方可去的PM\_PME消息。

4. PME服务例程无法进行; PM\_PME消息存储情况没有改善。

5. 出现死锁。

防止潜在的僵局需要Root Complex始终在这些条件

情节这必须通过接受已发布队列流控制信用允许的任何PM\_PME消息，并丢弃造成溢出条件的任何PM\_PME消息来完成。这种必需的行为可确保

在这些情况下会发生死锁;但是，PM\_PME消息将被丢弃，从而在进程中丢失。

为确保不会永久丢失PM\_PME消息，所有能够生成PM\_PME的座席必须

实现PME服务调度机制，以确保在合理的时间内为其PME请求提供服务。

如果在100 ms（+50%/-5%）之后，请求代理的PME\_Status比特尚未被清除，则PME服务恢复机制到期，触发PME请求代理重新发送暂时丢失的PM\_PME消息。如果此时链路处于非通信状态，则在重新发送PM\_PME消息之前，代理必须按照第www.example.com节中的定义[5.3.3.2重新激活链路。](#bookmark153)

<5.3.3.4>www.example.com

·所有设备功能必须根据PCI-PM规范实现PCI-PM电源管理功能（PMC）寄存器和PMCSR。这些寄存器驻留在PCI-PM兼容PCI 能力列表格式。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

◦ 具有PME功能的功能必须在其PMCSR中实现PME\_Status位和底层功能行为。

◦ 当功能启动链路唤醒或发出PM\_PME消息时，它必须设置其PME\_Status位。

·交换机必须将在任何下游端口上接收到的PM\_PME路由到其上游端口

·在接收到PME\_Turn\_Off消息时，设备必须阻止PM\_PME消息的传输

上行传输PME\_TO\_Ack消息。 在链路通过LDn返回到L0状态[之后，允许组件发送PM\_PME消息。](#bookmark114)

· 在链路或层次结构的一部分被转移到非通信状态（即， 它不能从其发出PM\_PME消息的状态），PME\_Turn\_Off消息必须被广播到自己的流。

<5.3.3.5>PM\_PME交付状态机

下图从概念上概述了PM\_PME交付控制状态机。 该状态机通过立即发出PM\_PME还是要求链路唤醒来确定链路为PME事件提供服务的能力。

冷复位 接收的PME圈数

发送PME\_TO\_Ack

\_

\_



通信 非通信

冷/热复位从非活动状态转换为活动状态

PME\_ Status设置：

清除处理程序

PME\_ Status设置：发送PM\_PME

PME\_状态（按软件）

启动唤醒信令（带内或带外）

接收到PME\_ Turn\_ Off：

发送PME\_TO\_Ack，

启动唤醒信令

PME发送 链接重新激活

重新发送PM\_PME消息 冷/热复位转换

：

从不活跃到活跃：

清除唤醒信令，发送PM\_PME消息

OM13822A

图5-5概念PME控制状态机

通信状态：

在初始上电和相关复位时，上行链路进入通信状态

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 如果断言了PME\_Status（假设启用了PME传递），则将在上游发出PM\_PME消息，终止于层次结构的根。下一个状态是PME已发送状态

· 如果接收到PME\_Turn\_Off消息，则链路在其对消息的确认以及随后进入[L2/L3就绪](#bookmark104)状态之后进入非通信状态。

不联系国：

· 在电源和时钟恢复以及相关联的复位之后，下一个状态是通信状态。

·如果PME\_Status被断言，则链路将转换到链路重新激活状态，并且激活唤醒机制。

PME发送状态

· 如果清除PME\_Status，则功能再次变为PME Capable。下一个状态是通信状态。

· 如果PME服务超时到期时PME\_Status位未清除，则向上游重新发送PM\_PME消息。参见[第5.3.3.3.1 f节](#bookmark156)或超时机制的解释。

· 如果PME消息已经发出，但是当链路将要转换到消息传送不能够状态（接收到PME\_Turn\_Off消息）时PME\_Status还没有被软件清除，则链路在发送PME\_TO\_Ack消息之后转换到链路重新激活状态。该设备还激活唤醒

机制

链路重新激活状态

· 在电源和时钟恢复以及相关复位之后，链路恢复到能够进行事务处理的状态。 设备清除唤醒信令（如有必要），并发出PM\_PME上行流并转换到PME发送状态。

5.4原生PCI Express电源管理机制

以下各节定义需要新软件的电源管理功能。 虽然这些功能在新的PCI Express设计中的存在不会破坏传统软件的兼容性，但要充分利用它们需要新的代码来管理它们。

这些功能使用PCI Express本机配置机制进行枚举和配置，如

本规范第7章。有关与这些PCI寄存器-PM特性相关的具体寄存器位置、位分配和访问机制，请参阅第7章。

5.4.1活动状态电源管理（ASPM）

要求与内部根复合体链路或系统出口端口不相关联的所有端口支持在此为活动状态链路PM定义的最低要求。此功能必须视为与PCI-PM

从最低要求的角度来看，软件兼容功能。例如，根复合体是豁免的

从PCI-PM软件兼容功能的要求;但是，它必须执行ASPM的最低要求。

处于[D0](#bookmark83)状态的组件（即，完全活动状态）通常将其上行链路保持在活动L0状态，如第5.3.2节所定义。 ASPM为处于D0状态的组件定义了一种协议，通过将其链路置于低功率状态并指示链路的另一端也这样做来降低链路功率。这种能力允许硬件自主，

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

动态链路功率降低超过仅通过软控制可实现的功率降低（即，PCI-PM软件驱动）电源管理。

为ASPM定义了两种低功耗“待机”链路状态。 L0s低功耗Lnk状态针对短进入和退出延迟进行了优化，同时提供了显著的功耗节省。如果在设备中启用了L0s状态，建议 当链路未使用时，设备将其传输链路置于L0s状态（参见[第5.4.1.1.1节f](#bookmark157)或详细信息 与L0 s调用策略相关）。从[D0](#bookmark124)设备状态中对L0s链路状态的组件支持

可选，除非适用的外形规格或Link明确要求。

L1链路状态经过优化，可实现最大的节能，但代价是进入和退出延迟时间较长。L1减少链接

对于需要非常低的功率并且可以接受更长的过渡时间的情况，功率超过L0s状态。L1链路状态的ASPM支持是可选的，除非特定外形规格特别要求。

定义了可选的L1 PM子状态[L1.1](#bookmark158)和[L1.2](#bookmark159)。 对于需要非常低的空闲功率的情况，这些子状态可以进一步降低链路功率，并且可以接受更长的转换时间。

每个组件必须在ASPM Sup port字段中报告其对ASPM的支持级别。如适用，每个组件

还应报告其L0s和L1退出延迟（从L0s或L1状态转换到L0状态所需的时间）。端点功能还必须报告它们在冒风险之前可以承受的最差情况延迟，例如，由于从L0或L1到L0状态的转换延迟而导致的内部FIFO溢出。电源管理软件可以使用

提供信息，然后启用适当级别的ASPM。

如果从提供给定L墨水相对侧的参考时钟，则L0退出延迟可能会显着不同 相同的来源，或从不同的来源将红色传递到每个组件。PCI PCI-PM软件通过其能力结构的链路控制寄存器中的公共时钟配置位通知每个设备其时钟配置。此位

用作设备报告的L0 s退出延迟值的决定因素。ASPM可以默认启用或禁用，具体取决于具体实现的标准和/或相关外形规格的要求

质量标准。 软件可以使用第5.4.1.3.1节中描述的过程启用或禁用ASPM[。](#bookmark160)

电源管理软件通过对ASPM控制字段进行编程来启用或禁用组件每个端口中的ASPM。请注意，当使用旧版BIOS运行时，新的BIOS代码可以有效地启用或禁用ASPM功能。

操作系统，但PCI BIOS感知操作系统可能会选择覆盖BIOS配置的ASPM设置。

执行说明

等流量和ASPM

等容通信需要有限的服务延迟。ASPM可能会增加等待时间到isoconut事务超出预期的限制。一个可能的解决方案是为配置了Isocom虚拟通道的设备禁用ASPM。



对于ARI设备，ASPM控制仅由功能0中的设置确定，而不考虑功能0的D状态。组件将忽略其他功能中的ASPM控制设置。

非ARI多功能设备的上游端口可以在其各自的ASPM中使用不同的值

每个函数的控制字段。根据以下规则，此类组件的策略将由所有D0职能部门中最活跃的公分母

· 在确定ASPM策略时，将忽略非D0状态（[D1](#bookmark122)

· 如果处于[D0](#bookmark124)状态的任何功能的ASPM被禁用（ASPM控制字段= 00b），或者如果处于[D0](#bookmark124)状态的至少一个功能仅针对L0被启用（ASPM控制字段=01b），并且处于D0状态的至少一个其他功能仅针对L1被启用（ASPM控制字段= 10b），则整个组件的ASPM被禁用

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 否则，如果D0状态中的至少一个功能仅对L0s启用（ASPM控制字段=01b），则ASPM仅对L0 s启用

· 否则，如果处于D0状态的功能中的至少一个仅针对L1被启用（ASPM控制字段=10b），则仅针对L1启用ASPM

·否则，ASPM对L0和L1状态都启用

请注意，组件必须能够在运行时更改其行为，因为设备功能进入和退出低功耗设备状态。例如，如果多功能设备中的一个功能被编程为禁用ASPM，

则当该功能处于[D0](#bookmark83)状态时，必须对该设备禁用ASPM。一旦该功能转换到非D0状态，如果所有其他功能都为ASPM启用，则可以启用ASPM。

<5.4.1.1>L0sASPM状态

设备对L0s低功耗链路状态的支持是可选的，除非链路的适用外形规格明确要求。



**执行说明**

不支持L0时遗留软件的潜在问题

在本规范的早期版本中，设备对L0的支持是强制性的

假设所有设备都支持LO。不支持LO的较新的硬件组件可能遇到这种“遗留软件“的问题。这种软件甚至可能不检查链路能力寄存器中的ASPM支持字段，可能不识别ASPM支持字段的随后定义的值（00和10b），或者可能不遵循仅在链路两侧的组件均支持LO的情况下才启用LO的策略。

遇到先前保留值00b（否）的旧版软件（操作系统或

ASPM支持），将很可能避免启用L1，这是预期的行为。遗留软件还将

最有可能避免为该组件的发射机启用L0（也是在倾向行为中），但不清楚此类软件是否也将避免为链路另一侧的组件启用L0。如果软件

在一侧启用L0，而另一侧的组件不表示支持L0，则结果为undefined。如果结果行为不可接受，则可能需要通过更新

遗留软件，诉诸“黑名单”或类似机制，指示遗留软件不启用L0，或者简单地不支持有问题的系统配置。

在某些平台上，固件控制ASPM，操作系统可以保留或覆盖固件建立的ASPM设置。这将受到操作系统是否支持控制 ASPM，并且在某些情况下取决于固件是否允许操作系统控制ASPM。好吧，

使用热插拔操作的ASPM控制可能会受到是否使用本机PCI Express热插拔与ACPI热插拔的影响。解决L0的任何遗留软件问题可能需要更新固件，

操作系统或两者。

当组件不通告其支持L0时，如由其ASPM支持字段值为00b或10b所指示的，建议组件的L0退出等待时间字段返回值111b，指示

最大延迟范围。明确这一最大延迟范围可能有助于阻止遗留软件

启用LO（如果它本来会这样做的话），并且因此可以帮助避免由遗留软件错误地启用该组件上的LO或链路的另一侧上的组件所引起的问题。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

事务层和链路层定时器不受到L0s状态的转换的影响（即，他们必须遵守各自章节中规定的规则）。

执行说明

最小化L0退出延迟

L0s退出延迟主要取决于接收器快速获取位和符号同步的能力。对于高频时钟解决方案，存在不同的方法，这些方法在它们的L0出口方面可能显著不同 延迟，并因此在ASPM的效率。为了利用ASPM实现最大的节能效率 退出等待时间应该通过正确选择时钟解决方案来保持较低。



5.4.1.1.1进入L0s状态

对于链路的每个方向，单独管理进入L0s状态。每台设备都有责任在 链路的任一端以在其传输通道上发起进入L0s状态。软件不能在给定链路上的任一方向上启用L0，除非链路两端的组件均支持L0;否则，结果未定义。

对于L0s状态禁用的端口不得将其传输通道转换为L0s状态。如果港口 如果端口支持L0，则端口必须能够容忍其接收器端口通道进入L0（由于另一端的设备将其传输通道带入L0状态），然后稍后返回L0状态。

L0调用策略

如果在一段时间内满足定义的空闲条件（下面），则启用L0 s条目的端口通常应将其传输通道转换为L0 s状态，建议不要超过7 μs。在此期间，政策 端口用于确定何时输入L0的方法取决于具体实现。对于发送器，输入L 0不是强制性的。

Idle的定义

“空闲”上游端口的定义因设备功能类别而异。只有当多功能设备的所有功能都空闲时，多功能设备的上行端口才被视为空闲。

如果满足以下条件，则非交换机端口被确定为

·没有TLP待通过链路传输，或者没有FC信用可用于传输任何TLP

· 没有DLLP等待传输

如果满足以下条件，则交换机上游端口功能被确定

· 交换机的下游端口接收通道均未处于L0、恢复或配置状态

· 没有待传输的TLP，或者没有FC信用可用于传输任何内容

· 没有DLLP等待传输

如果满足以下条件，则交换机的下游端口被确定

·交换机的上游端口的接收通道未处于L0、恢复或配置状态

· 此链路上没有待传输的TLP，或者没有可用的FC信用

· 没有DLLP等待传输

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

有关物理层L0条目的详细信息，请参阅第4.2节。

5.4.1.1.2退出L0s状态

在L0中具有其发射器的组件必须在其具有TLP或DLLP以跨链路传输它时发起L0退出。请注意，从L0链路状态的转换不取决于FC信用的状态（或可用性）。链接必须是

能够达到L0状态，并通过链路交换FC信用。例如，如果某种类型的所有信用都是

如果在链路进入L0 s时消耗了一个或多个信用，则当需要跨链路发送新信用时，链路任一侧上的任何组件必须仍然能够将链路转换到L0状态。请注意，组件可以预期空闲状态的结束并发起LO发送退出;例如，当接收到NP请求时。

下游启动退出

允许组件的上游端口在其传输链路上发起从L0s低功率状态的退出， （在下游交换机的情况下为上游端口传输通道），如果需要通过链路进行通信。 该组件在第4.2节所述的上游方向的通道上启动到L0状态的转换。

如果上游组件是交换机（即，它不是根联合体），则它必须在它的上游端口传输通道上发起转换（如果上游端口的传输通道处于低功率状态），只要它检测到从 在其任何下游端口上的L0。

上游启动的Exit

如果下游端口需要通过链路进行通信，则允许下游端口在其任何传输链路上发起从L0低功率状态退出。组件在下游通道上启动到L0状态的转换

方向如第4章所述。

如果下游组件包含交换机，则它必须在其所有下游端口传输上启动转换

在上游港口检测到L0出口后，立即检查当时L0中的车道。已经处于L0状态的链路不受此转换的影响。下行链路组件处于低功率状态的链路（即，[D1-](#bookmark122)[D3热](#bookmark123) 状态）也不受退出转换的影响。

例如，假设交换机的上游端口处于L0状态，下游设备处于[D1](#bookmark122)状态。的配置

请求数据包向下游传输到交换机，最终将下游设备从[D1重新编程](#bookmark122)为[D0。](#bookmark124)交换机的上游端口链路必须转换到L0状态，以允许数据包到达交换机。的

在D1状态下连接到设备的下游链路将不会转换到L0状态;它将保持在L1状态。检查捕获的数据包并将其路由到与D1中的下游设备[共享链路的下游端口](#bookmark122)。如第4.2节所述，交换机现在将下行链路转换为L0状态。请注意，

到L0状态的转换是由被路由到该特定下游L1链路的分组触发的，而不是由上游端口的链路到L0状态的转换触发的。如果数据包的目的地是针对不同的下游

链路，则该特定下游链路将保持在L1状态。

<5.4.1.2>L1ASPM状态

组件可以可选地支持ASPM L1状态;该状态以较长的退出延迟为代价提供更大的功率节省。L1退出延迟对软件可见，并通过L1退出延迟字段报告。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

仅支持L1时遗留软件的潜在问题

在此规范的早期版本中，L0的设备支持是强制性的，并且没有架构ASPM支持字段值来指示L1支持而没有L0支持。更新的硬件组件仅支持 L1可能会遇到“遗留软件”的问题，即，不识别随后定义的 ASPM支持字段的值。

遇到先前保留的值10b（L1支持）的遗留软件可以避免启用这两者 L0和L1，这就避免了将L1与仅支持L1的新组件一起使用。 虽然这可能会导致额外的功率消耗，但它不应导致任何功能异常。然而，同样的问题 关于遗留软件，如实施说明中所述，在10b的情况下存在L0 “[5.4.1.1Potential Issues With Legacy Software When L0s is Not Supported”（当L0s不受支持时遗留软件的潜在问题），请参见www.example.com部分。](#bookmark161)



如果支持，L1条目在ASPM控制字段中默认禁用软件必须在

仅当链路上的两个组件都支持下游组件时。软件必须对ASPM L1的启用和禁用进行排序，以便上游组件在下游组件之前启用并禁用

在下游组件之后。

5.4.1.2.1 ASPM进入L1状态

为L1 ASPM进入启用的组件上的上游端口可以发起进入L1链路状态。 参见[第5.5.1 f节](#bookmark163)或有关过渡到[L1.1](#bookmark164)或[L1.2](#bookmark165)子状态的详细信息。

执行说明

启动L1

本规范并未规定具有上游端口的组件何时必须启动到L1状态的转换。本规范中定义了转入和转出L1的互操作机制 然而，管理何时转换到L1的特定ASPM策略留给实施者。

一种可能的方法是，一旦下游设备的接收器和发送器都处于L0s状态（RxL0s和TxL0s）达设定的时间量，下游设备就发起到L1状态的转换。另一

一种方法是，一旦链路在L0中空闲了设定的时间量，下游设备就发起到L1状态的转换。这在L0s条目未启用时特别有用。另一种方法是如果下游设备已经完成其分配的任务，则下游设备发起到L1状态的转换。注意，组件的L1调用策略不受这些示例的限制。



三条电源管理消息为ASPM L1状态提供支持

·PM\_Active\_State\_Request\_L1（DLLP）

·PM\_Request\_Ack（DLLP）

·PM\_Active\_State\_Nak（TLP）

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

为ASPM L1条目启用的下游组件与链路上的上游组件协商L1条目。如果满足以下所有条件，则下游端口必须接受进入L1的请求

·端口支持ASPM L1入口，并且启用ASPM L1入口85

·NoTLP被调度用于传输

· 没有安排Ack或Nak DLLP进行传输

交换机上游端口可以在其链路上请求L1条目，前提是满足以下所有条件

·上游端口支持ASPM L1条目，并且已启用

·交换机的所有下游端口链路都处于L1状态（或更深）

· 没有待传输的TLP

· 没有待传输

·上游端口的接收器在特定于实现的设定时间量

请注意，交换机可以在其任何下游端口上启用ASPM L1链路状态，也可以在其上游端口上禁用或甚至不支持ASPM L1。在这种情况下，下游端口可以进入L1链路状态，但交换机将永远不会在其上游端口上发起ASPM L1条目转换。

ASPM L1协商规则（见[图5-6](#bookmark166)和[图5-7](#bookmark167)）：

·下游组件必须不发起ASPM L1条目，直到它累积了至少发送所有启用的VC的任何FC类型的最大可能分组所需的最小信用数量。

·在决定进入低功率链路状态时，下游组件必须阻止所有TLP从事务层到数据链路层的移动以进行传输（包括完成分组）。

如果在L1协商过程中，事务层的任何TLP变得可用于 必须首先完成到L1的转换，然后下游组件必须启动到L0的返回。 如果到L1的协商中断，请参考第5.2节。

·下游组件必须等待，直到其接收到针对其具有的最后一个 先前发送的（即，重试缓冲器为空）。如果数据链路层规则要求，则组件必须从其数据链路层缓存缓冲区中返回一个TLP。

·下游组件然后通过将PM\_Active\_State\_Request\_L1DLLP结束到其发送链路上来发起ASPM协商。下游组件重复发送此DLLP，

(when使用8b/10 b编码）或32（当使用128 b/130 b编码时）之间的空闲符号时间

PM\_Active\_State\_Request\_L1 DLLP的后续传输。其他DLLP和SKP有序集的传输必须根据需要在PM\_Active\_State\_Request\_L1 t传输之间的任何时间发生，并且不影响此空闲时间限制。L1进入期间SKP有序集的传输遵循时钟

第4节公差补偿规则。2.7

·下行流组件继续如上所述地发送PM\_Active\_State\_Request\_L1DLLP，直到其接收到来自上行流设备的响应（参见下文）。下游组件保持在此循环中，等待上游组件的响应。

在此等待期间，下游组件不得启动任何事务层传输。它仍然必须接受来自上游组件的TLP和DLLP，存储任何TLP以供以后传输

需要的答案。根据链路层协议的需要，它继续使用DLLP（包括FC更新DLLP）进行响应。



85. 软件必须为下游组件启用ASPM L1，但前提是上游组件也启用ASPM L1。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

如果下游组件出于任何原因需要在链路上传输TLP，则它必须首先完成到低功率链路状态的转换。一旦处于低功率链路状态，下游组件必须

则发起低功率链路状态的退出以处理该传输。如果到L1的协商中断，请参阅第5.2节。

上游组件必须立即（同时遵守本规范中的所有其他规则）响应请求，接受或拒绝请求。

如果Upstream组件不能接受请求，它必须立即（同时遵守本规范中的所有其他规则）拒绝请求。

·如果与L1的协商中断，请参阅第5.2节。拒绝时的规则

· 在拒绝的情况下，上游组件必须通过向下游组件发送PM\_Active\_State\_Nak消息来尽快安排拒绝。一旦发送PM\_ACTIVE\_STATE\_Nak消息，就允许上游组件发起任何TLP或DLLP传输。

· 如果请求被拒绝，通常建议下游组件立即

将其传输通道转换为L0s状态，前提是L0s已启用且满足L0s进入的条件。

·在发送与后续ASPM L1协商相关联的PM\_Active\_State\_Request\_L1 序列时，下游组件必须在其发送器上进入和退出L0，或者必须在与先前ASPML1协商相关的PM\_Active\_State\_Request\_L1 DLLP的最后一次传输后等待至少10 μs。此10 μs定时器必须仅计算LTSSM L0和L0s状态下的时间。计时器必须

保持在LTSSM恢复状态。如果链路断开并恢复，则忽略定时器，并且允许组件在链路恢复后发出新的ASPM L1请求。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



**执行说明**

上游组件的ASPM L1接受/拒绝指示

当上游组件已经用PM\_Request\_AckDLLP响应Downstream组件的ASPM L1请求以接受L1进入请求时，ASPM L1协商协议清楚地并且

明确地以链路进入L1结束。但是，如果上游组件响应

PM\_Active\_State\_Nak消息，拒绝L1进入请求，ASPM L1协商协议终止

不太清楚。因此，这两个组件都需要设计为明确地终止协议

交易所如果不这样做，则存在两个组件将彼此不同步的风险，并且结果可能是未定义的。例如，考虑以下情况：

·下游组件通过传输PM\_Active\_State\_Request\_L1 DLLP序列来请求ASPM L1条目。

·由于临时条件，上游组件用PM\_Active\_State\_Nak消息响应以拒绝L1请求。

·下游组件在能够响应PM\_Active\_State\_Nak消息之前继续传输PM\_Active\_State\_Request\_L1 DLLP一段时间。

·同时，先前导致上游组件拒绝L1请求的临时条件被解决，并且上游组件错误地看到持续的L1请求。

PM\_Active\_State\_Request\_L1DLLP作为进入L1的新请求，并通过向下游发送PM\_Request\_AckDLLP来进行响应。

此时，结果是未定义的，因为下游组件将L1请求视为被拒绝和结束，但上游组件将该情况视为第二个L1请求被接受。

为了避免这种情况，下游组件需要提供一种机制来区分 ASPM L1请求和另一个。下游组件通过输入L0或从与第一个ASPM L1关联的最后一个PM\_Active\_State\_Request\_L1DLLP的传输开始至少等待10 μs来执行

在开始与第二请求相关联的PM\_Active\_State\_Request\_L1 DLLP的传输之前，第二DLLP可以发送第二请求（如上所述）。

如果Upstream组件能够表现出上述行为，则需要

上游组件通过检测其上到L0的转换来识别L1请求序列的结束。

接收器或PM\_Active\_State\_Request\_L1DLLP的接收中断为9.5 μs，在L0/L0或更长时间内测量，作为Dow nstream组件的ASPM L1请求之间的间隔。

如果存在歧义的可能性，则Upstram组件应该拒绝L1请求，以避免潜在地创建上面概述的歧义情况。

接受时的规则

· 如果上游组件准备好接受请求，则它必须阻止来自事务层的任何TLP的调度。

·上游组件然后必须等待，直到其接收到针对其先前发送的最后一个TLP的数据链路层确认。如果数据链路层需要，上游组件必须重传

规则

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·一旦确认了所有TLP，上游组件发送PM\_Request\_AckDLLP

下游上游组件重复发送此DLLP，后续组件之间的空闲符号时间不超过8（使用8b/10 b编码时）或32（使用128 b/130 b编码时）

PM\_Request\_AckDLLP的传输。SKP有序集的传输必须根据需要在PM\_R请求\_Ack传输之间的任何时间发生，并且不影响该空闲时间限制。在L1进入期间传输SKP有序集遵循第4节中的时钟容差补偿规则。2.7

·上游组件继续如上所述发送PM\_Request\_AckDLLP，直到其观察到其接收通道进入电空闲状态。有关物理层行为的详细信息，请参阅第4章。

· 如果上游组件出于任何原因需要在链路上传输TL P，

PM\_Request\_AckDLLP，它必须首先完成到低功率状态的转换，然后发起从低功率状态的退出，以在链路回到L0时处理传输。如果出现以下情况，请参阅[第5.2节](#bookmark9)

对L1的协商被中断。

◦ 在这种情况下，即使上游组件不具有传输TLP所需的流控制信用，它也必须发起从L1的退出。

·当下游组件在其接收通道上检测到PM\_Request\_Ack DLLP时（发信号通知该PM\_Request\_Ack DLLP已被接收），

上游设备确认转换到L1请求），则下游组件停止发送PM\_Active\_State\_Request\_L1DLLP，禁用DLLP、TLP传输，并使其传输通道进入电气空闲状态。

·当上游组件在其接收通道上检测到电空闲时（发信号通知下游组件已经进入L1状态），其然后停止发送PM\_Request\_AckDLLP、disables DLLP、TLP

传输并使链路的下游方向进入电气空闲状态。

备注：

1. 事务层完成机制不受到L1状态的转换的影响（即，它必须继续计数）。

2. 当链路处于L1状态时，流控制更新定时器被冻结，以防止将不必要地将链路转换回L0状态的定时器到期。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

上游组件

组件

下游

T D P D T

下游组件

处于活动状态的上游组件

希望进入L1状态

下游组件

累积最低学分

并阻止接收到的新TLP的下行分量的调度 最后TLP确认

PM\_ Active\_ State\_ Request\_L1DLLP重复

组件等待对PM\_ Active\_ State\_ Request\_L1 DLLP

PM\_ Active\_ State\_ Nakreject消息

进入L0 s状态

时间



图例：

|  |  |
| --- | --- |
| T -事务D -数据链路  P -物理 | 活性  非活动 |

OM13823B

图5-6以拒绝结束的L1转换序列（启用L0

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

上游组件 下游组件

TDPDT

下游组件希望进入L1状态

处于活动状态的上游组件图层

下游组件累积最小信用并阻止新TLP的

下游组件接收最后TLP的确认

PM\_ Active\_ State\_ Request\_L1DLLP重复

上游组件阻止新TLPs的调度

上游组件接收最后一个TLP的确认

组件等待对PM\_ Active\_ State\_ Request\_L1 DLLP

上游组件重复发送PM\_ Request\_ Ack DLLP

下游组件向上游过渡

电气怠速

上游部件向下游转换至电气怠速

时间

|  |  |
| --- | --- |
| 图例：  T -事务D-数据链路  P -物理 | 活性  非活动 |

OM13824B

图5-7 L1成功转换顺序

5.4.1.2.2退出L1状态

链路两端的组件可以发起从L1链路状态的退出。 参见[第5.5.1 f节](#bookmark169)或有关转换到[L1.1](#bookmark170)或[L1.2](#bookmark171)子状态的详细信息。

从L1退出时，建议下游组件在L1退出的1 μs内开始为所有启用的VC和FC类型发送流控制更新DLLP。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

下游组件启动退出

如果上游端口需要通过链路进行通信，则必须在其传输通道上初始化从L1的出口。组件启动到L0状态的转换，如第4章所述。 上游组件必须通过启动其传输通道的类似转换来响应。

如果上游组件是交换机D的下游端口（即，它不是根复合体根端口），交换机必须

一旦在其任何下游端口链路上检测到L1退出活动，就在其上游端口的传输通道上发起L1退出转换（如果上游流端口的链路处于L1状态）。由于L1出口延时相对较长， 在其上游端口上启动L1退出转换之前，不得等待其下游端口链路完全退出 链接端口。等待下行链路完成L0转换将导致消息通过

多个交换机，以在其遍历每个交换机时经历累积的延迟。

要求交换机在其任何下行流端口链路上的L1退出转换开始后不超过1 μs，在其上行端口链路上发起L1退出转换。有关L1退出期间物理层信令的详细信息，请参阅第4.2节.

考虑[图5-8中的例子。](#bookmark172) 附在每个端口上的数字表示相应端口报告的传输通道L1退出延迟，单位为微秒。

链路1、2和3都处于L1状态，并且端点t C在时间T发起到L0状态的转换。 由于交换机B在其端口上退出L1需要32 μs，因此链路3将在T+32时转换到L0状态（考虑端点C的T+8和交换机B的T+32时的最长时间）。

交换机B需要在不超过1 μs的时间内在其上行端口链路（链路2）上启动从L1状态的转换 从链路3上的L1状态转换开始。因此，到L0状态的转换将在T+1在链路2上开始。类似地，链路1将在时间T+2处开始其到L0状态的转变。

如上所述，链路2将在时间T+33完成到L0状态的转换（因为交换机B需要更长的时间来转换，并且它在时间T+1开始）。链路1将在时间T+34处完成其到L0状态的转变（因为根链路1将在时间T+34处完成其到L0状态的转变）。

复合物需要32 μs的时间来转换，并且它在时间T+2开始）。

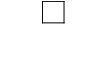
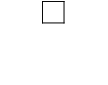
因此，在链路1、2和3中，最后完成到L0状态的转换的链路是具有34 μs延迟的链路1。这是在端点C中发起转换的分组th所经历的延迟。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

根复合体

|  |
| --- |
|  |

32



此端口的L1退出延迟为8μs

交换机A

交换机B

8

链路1

8

8

链路2

32

32

链路3

端点C

OM13825A

图5-8 L1退出延迟计算示例

交换机不需要在其任何其他下游端口链路上发起L1退出转换。上游组件启动退出

根联合体或交换机必须在其任何根端口或下游端口链路上发起从L1的退出，如果它需要通过该链路进行通信。交换机或根联合体必须能够启动L1退出，即使它不能

具有传输给定TLP所需的流控制信用。 该组件启动到L0状态的转换，如第4章所述。 下游组件必须通过在其传输通道上启动类似的转换来响应。

如果下游组件包含交换机，则它必须在其所有下游链路上发起传输

下游链路处于ASPML1状态）。由于L1

出口延迟相对较长，交换机必须等到其上游端口链路完全退出到L0，

在其下游端口链路上发起L1退出转换。如果是这种情况，则通过多个交换机传输的消息将在其遍历每个交换机时经历累积延迟。

交换机需要在以下情况下在当前处于L1的所有下游端口链路上启动从L1状态的转换： 从上游端口的L1状态开始转换后不超过1 μs。有关L1退出期间物理层信令的详细信息，请参阅第4.2节。已经处于L0状态的下游端口链路不参与 退出过渡。下游组件处于低[功率D状态（D1-D3热）](#bookmark122)的下游端口链路也 不受L1出口转变的影响（即，这样的链路不能转换到L0状态）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<5.4.1.3>ASPM配置

所有功能必须实现以下配置位以支持ASPM。有关配置寄存器分配和访问机制，请参阅第7章。

每个组件在下面的ASPM支持字段中报告其对ASPM的支持级别。

表5-3ASPM支持字段的编码

|  |  |
| --- | --- |
| 领域 | 描述 |
| ASPM支持 | **00b**不支持ASPM01b**支持**L0s  **10b**L1支持  **11b**支持L0和L1 |

软件不得在给定链路上的任一方向上启用L0，除非链路两侧的组件均支持L0;否则，结果是未定义的。

每个组件在位于其能力结构的链路状态寄存器中的时隙时钟配置位中报告其参考时钟的来源。

表5-4时隙时钟缓冲位说明

|  |  |
| --- | --- |
| 位 | 描述 |
| 时隙时钟  配置 | 此位设置时，表示组件使用平台在连接器上提供的相同物理引用c锁。  该位清除时，表示无论连接器上是否存在基准电压源，该元件都使用独立时钟。  对于根端口和交换机下游端口，此位置1时，表示下游端口使用与下行流组件或插槽相同的参考时钟。  对于交换机和网桥上游端口，此位设置时表示上游端口使用平台提供的相同参考时钟。  否则它是明确的。 |

每个组件必须支持其能力结构的链路控制寄存器中的公共时钟配置位。 软件写入此寄存器位，以指示器件是否与链路另一端的器件共享相同的时钟源。

表5-5公共时钟配置位说明

|  |  |
| --- | --- |
| 位 | 描述 |
| 通用时钟配置 | 此位置1时，表示此器件和链路另一端的器件使用同一时钟源工作。  此位清除时，表示此元件和链路另一端的元件使用独立的参考时钟源工作。  该位的默认值为0b。 |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |
| --- | --- |
| 位 | 描述 |
|  | 组件利用此公共时钟配置信息来报告正确的L0和L1出口延迟。 |

每个端口分别在L0退出延迟和L1退出延迟配置字段中报告L0和L1退出延迟（将接收通道从L0或L1状态转换为L0状态所需的时间）。如果端口不支持L0或ASPM L1，则相应退出延迟字段的值未定义。

表5-6L0 s退出延迟字段的编码

|  |  |
| --- | --- |
| 领域 | 描述 |
| L0s退出延迟 | **000b**小于64 ns **001b**64 ns至小于  128 ns  **010b**128 ns至小于  256纳秒  **011b**256 ns至小于  512纳秒  **100b**512 ns至小于1 μs  **101b**1 μs至小于2 μs**110 b**2 μs至4 μs  **111b**大于4 μs |

表5-7L1退出延迟字段的编码

|  |  |
| --- | --- |
| 领域 | 描述 |
| L1退出延迟 | 小于1 μs  **001b**1 μs至小于2 μs**010b**2 μs至小于4 μs**011b**4 μs至小于8 μs**100b**8 μs至小于  16 μs  **101b**16 μs至小于32 μs  **110b**32 μs至64 μs  **111b**大于64 μs |

端点还报告由于从L0s状态或L1状态转换到

L0状态。这分别在端点L0可接受延迟和端点L1可接受延迟字段中报告。

电源管理软件使用层次结构中的所有组件报告的延迟信息，可以通过将从根到端点的每个给定路径的退出延迟与可访问表进行比较来启用适当级别的

每个相应端点可以承受的延迟

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表5-8端点L0 s可接受延迟字段的编码

|  |  |  |
| --- | --- | --- |
| 领域 | 描述 | |
|  | 000b | 最多  64 ns |
|  | 001b | 最多  128纳秒 |
|  | 010B | 最多  256纳秒 |
| 终点L0 | 011B | 最多  512纳秒 |
| 可接受等待时间 | 100b | 最多 |
|  |  | 1 μs |
|  | 101b | 最大2 μs |
|  | 110b | 最多 |
|  |  | 4 μs |
|  | 111b | 没有限制 |

表5-9端点L1可接受延迟字段的编码

|  |  |  |
| --- | --- | --- |
| 领域 | 描述 | |
|  | 000b | 最多 |
|  |  | 1 μs |
|  | 001b | 最大2 μs |
|  | 010B | 最多 |
|  |  | 4 μs |
| 终点L1 | 011B | 最大8 μs |
| 可接受等待时间 | 100b | 最大16 μs |
|  | 101b | 最大32 μs |
|  | 110b | 最大64 μs |
|  | 111b | 没有限制 |

电源管理软件通过对ASPM控制字段进行编程，启用或禁用每个组件中的ASPM。

表5-10ASPM控制字段的编码

|  |  |  |
| --- | --- | --- |
| 领域 | 描述 | |
| ASPM控制 | 00b01b10b | 残疾  L0条目启用L1条目启用 |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |  |
| --- | --- | --- |
| 领域 | 描述 | |
|  | 11b | L0和L1 Entry已启用 |

ASPM控制=00b

端口的发送器不得输入L0。

连接到链路下游端的端口不得在其上游链路上发出PM\_Active\_State\_Request\_L1 DLLP。

连接到接收L1请求的链路上游端的端口必须以否定确认进行响应。

ASPM控制=01b

如果满足所有条件，端口必须使链路进入L0s状态。

连接到链路下游端的端口不得在其上游链路上发出PM\_Active\_State\_Request\_L1 DLLP。

连接到接收L1请求的链路上游端的端口必须以否定确认进行响应。

ASPM控制= 10 b

端口的发送器不得输入L0。

连接到链路下游端的端口可以发出PM\_Active\_State\_Request\_L1DLLP。

如果[第5.4.1.2.1](#bookmark162)中的根复合体根端口或交换机下游端口的条件满足，则连接到链路上游端的端口必须对L1请求做出肯定应答，并转换到L1 得到满足。

ASPM控制= 11b

如果满足所有条件，端口必须将链路带入L0s状态。

连接到链路下游端的端口可以发出PM\_Active\_State\_Request\_L1DLLP。

如果[第5.4.1.2.1](#bookmark162)中的根复合体根端口或交换机下游端口的条件满足，则连接到链路上游端的端口必须对L1请求做出肯定应答，并转换到L1 得到满足。

启用或禁用SPM的

以下是一个软件算法示例，重点介绍了如何在组件中启用或禁用ASPM。

· PCI Express组件在其插槽时钟配置位中具有适当的值时上电。 初始化此位的方法是特定于设备的。

· PCI Express系统软件扫描每个端口两端组件中的

链接以确定两者是否使用相同的参考时钟源或来自不同源的参考时钟。 如果两个器件中的时隙时钟配置位均已设置，则它们使用相同的参考时钟源，否则不使用。

· PCI Express软件更新每个端口两端组件中的通用时钟配置位。 链路，以指示这些设备是否共享相同的参考时钟，并通过向上游组件的链路控制寄存器中的重新训练链路位写入1b来触发链路重新训练。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

·设备必须根据公共时钟配置位的设置，在其L0 s/L1退出延迟字段中反映适当的L0 s/L1退出延迟。

· PCI Express系统软件然后根据每个端口报告的延迟读取并计算每个端点的L0 s/L1退出延迟。参见[第5.4.1.2.2 f](#bookmark168)节或示例。

· 对于具有一个或多个端点功能的每个组件，PCI Express系统软件检查

端点L0 s/L1可接受延迟，由每个端点功能在其链路能力寄存器中报告，并相应地启用或禁用L0 s/L1条目（通过链路控制寄存器中的ASPM控制

该层次结构上的一些或所有中间设备端口

5.5 L1 PM子状态

L1 PM子状态建立链路功率管理机制，从而创建L1链路状态的较低功率子状态（见[图5-9](#bookmark173)），以及使用这些子状态的相关机制。L1 PM子状态为：

·**L1.0**子状态

◦ [L1.0](#bookmark87)子状态对应于常规的L1 Link状态。无论何时， 链路进入L1。L1PM子状态机制定义了从该子状态到L1.1和L1.2子状态以及从[L1.1](#bookmark174)和[L1.2](#bookmark175)子状态的转换。

◦ 必须启用上游和下游端口，以按照第4.2.6.7.2节的要求检测电气怠速退出。

·**L1.1**子状态

◦ 保持链路共模电压。

◦ 使用双向开漏时钟请求（CL KREQ#）信号进入和退出此状态。

◦ 不需要启用上游和下游端口来检测电气怠速退出。

·**L1.2**子状态

◦ 不需要保持链路共模

◦ 使用双向开漏时钟请求（CL KREQ#）信号进入和退出此状态。

◦ 不需要启用上游和下游端口来检测电气怠速退出。

支持L1 PM子状态的端口在L1.0以外的L1 PM子状态[时不得要求参考时钟。](#bookmark87)

需要支持L1 PM子状态并支持SRIS模式的端口才能支持L1 PM子状态，

以SRIS模式运行。在这样的情况下，CLKCLK #信号由L1 PMSubstates协议使用，如在本说明书中定义的。

部分，但与链路上任一端口使用的任何本地时钟没有定义的关系，并且此类本地时钟的管理是特定于实现的。

支持ASPM L1的[L1.2](#bookmark175)子状态的端口必须支持延迟容差报告（LTR）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

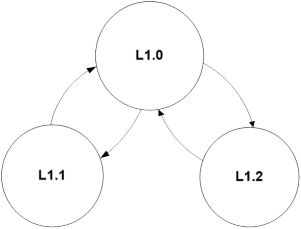


图5-9 L1 PM子状态图

·当被启用时，L1 PM子状态机制应用程序对CLK#信号有以下附加要求 链接的下游端口。每个端口必须有一个唯一的信号实例，上游和

必须连接下游端口CLK #

· 当链路处于PCI-PM L1或ASPM L1状态时，或者当链路处于L2/L3就绪伪状态时，允许上游端口取消断言CLKCLK #;当 链路处于任何其它状态。

·与CLK #信号相关的所有其他规范，如果没有被L1 PM Substates明确定义或修改，则继续应用。

如果在特定系统中无法满足这些要求，则不得启用L1 PM

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



执行说明

CLK #连接拓扑

对于上游组件，用于CLKCLK #信号的连接拓扑可以变化。的几个例子

下面介绍了CLKCLK #连接拓扑。对于下游组件，这些情况基本相同，但从上游组件的角度来看，存在一些关键差异，

如下所述

示例1：单个下游端口，单个PLL连接到单个上游端口（见[图5-10）](#bookmark176)。

在该平台配置中，上游组件（A）仅具有单个CLK #信号。上游和 下游端口的CLK #（A和B）信号相互连接。在这种情况下，只要上游组件（A）需要参考时钟，它就必须断言CLKCLK #信号。

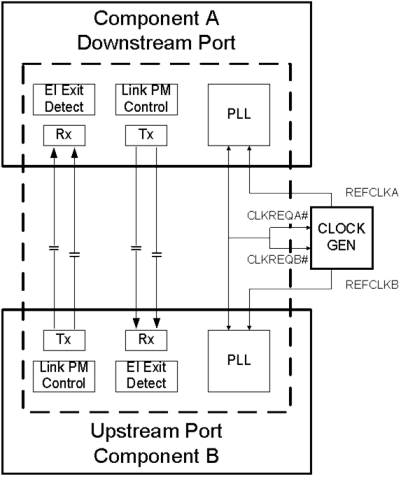


图5-10具有单个PLL的下游

示例2：具有多个下游端口的上游组件，具有公共共享PLL，连接到单独的下游组件（参见[图5-11）](#bookmark177)。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



在该示例配置中，存在用于上游组件（A）的三个CLK\_CLK #信号实例，每个下游端口一个，以及用于上游组件（A）的公共共享CLK\_CLK #信号。在此拓扑中 下行端口CLKREQB#、CLKREQC#的信号用于连接到下行组件（频带C）的上行端口的CLKREQB#信号。公共共享的CLKREQA #信号， 上游组件用于请求共享PLL的参考时钟。PLL控制逻辑在

只有当两个下游端口都处于[L1.1](#bookmark158)或[L1.2](#bookmark159)子状态，且PLL的所有内部（A）消费者不需要时钟时，才能关闭上游组件（A）并置位CLKREQA#。

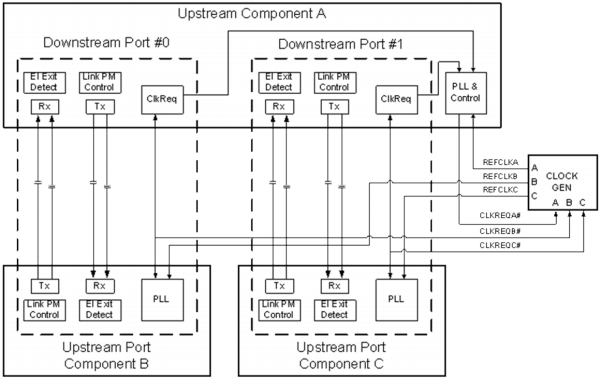


图5-11共享PLL的多个下游

电路板实施者有必要考虑组件将支持哪些CLK #拓扑，以便进行适当的电路板级连接，以支持L1 PM子状态和参考时钟

一代

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

避免L1 PM子状态和LTSSM

通常情况下，节省功率的实现技术也将增加返回正常操作的延迟。在实现L1 PM子状态时，重要的是实现者要确保任何增加的延迟不会与平台的其他元素产生负面影响。显得尤为重要

确保不会意外触发LTSSM超时条件。 尽管典型的实现不会接近会导致这种交互的延迟，但实现者有责任确保实现正确的总体操作。



5.5.1 L1 PM子状态的进入条件和[L1.0](#bookmark93)要求

当L1 PM子状态为[L1.0](#bookmark93)且LTSSM通过PCI-PM进入L1时，链路被认为 兼容的电源管理。 当L1 PM子状态处于[L1.0](#bookmark93)且LTSSM通过ASPM进入L1时，链路被视为处于ASPM L1.0。

以下规则定义如何输入[L1.1](#bookmark94)和[L1.2](#bookmark90)子状态

· 上游端口和下游端口都必须监视CLKCLK #信号的逻辑状态。

·当在PCI-PM L1.0中且PCI-PM L1.2使能位被置位时，当CLKCLK #被解除断言时，必须进入L1.2子状态。

·当在PCI-PM L1.0中且PCI-PM L1.1使能位被置位时，当CLKCLK #被解除断言且PCI-PM L1.2使能位被清除时，必须进入L1.1子状态。

·当处于ASPM L1.0且ASPM L1.2使能位置位时，当CLK #无效且以下所有条件均为真时，必须进入[L1.2](#bookmark90)子状态

◦ 此端口最后发送或接收的所报告的侦听LTR值大于或等于由LTR\_L1.2\_THRESHOLD值和比例字段设置的值，或者没有侦听服务延迟

要求。

◦ 此端口上次发送或接收的报告的非侦听LTR值大于或等于LTR\_L1.2\_THRESHOLD值和比例字段设置的值，或者没有非侦听服务

延迟要求。

·当处于ASPM L1.0且ASPM L1.1使能位置位时，当CLKCLK #无效且不满足进入[L1.2子状态的条件时，必须进入L1.1](#bookmark90)子状态。

当满足[L1.2](#bookmark90)的进入条件时，以下规则适用：

· 上游端口和下游端口都必须监视CLK #输入信号的逻辑状态。

·在链路进入L1.0之前，上游端口不得删除CLK #[。](#bookmark93)

· 允许任一端口断言CLKCLK #以防止链路进入[L1.2。](#bookmark90)

·在链路进入L1之前，意图阻止进入[L1.2的下游端口必须](#bookmark90)通过rt CLK #。

·当CLK\_Entry #被解除断言时，端口进入L1.2的[L1.2.Entry](#bookmark178)子状态[。](#bookmark90)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

如果下游端口处于PCI-PM L1.0状态，并且设置了PCI-PM L1.1启用和/或PCI-PM L1.2启用，或者如果下游

端口处于ASPM L1.0且ASPM L1.1启用和/或ASPM L1.2启用被设置，并且下游端口在没有进入L1.1或L1.2的情况下发起退出到恢复[，](#bookmark99)下游端口必须断言CLK #，直到链路退出恢复。

[L1.1](#bookmark94)要求

上游和下游端口都被允许去激活用于电气空闲（EI）退出检测和Refresh活动检测的机制（如果实现的话），但是两个端口都必须保持共模。

<5.5.2.1>退出L1.1

如果上游端口或下游端口需要启动从[L1.1退出，](#bookmark94)则必须断言CLK #，直到链路退出

复苏上游端口必须在进入恢复时断言CLKREQ#，并且必须继续断言CLKREQ#，直到下一次进入L1或允许CLKREQ#解除断言的其他状态。

· 如果断言了CLKCLK #，则下一状态为L1.0。

◦ Refresh最终将按照PCI Express Mini CEM规范中的定义打开，这可能会根据上游端口通告的LTR而延迟。

[图5-12](#bookmark179)显示了由上游端口驱动的[L1.1](#bookmark94)的入口和出口

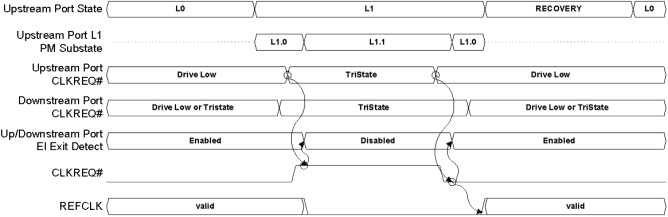


图5-12示例：说明上游端口启动退出[的L1.1](#bookmark94)波形

[图5-13](#bookmark180)说明了[L1.1](#bookmark94)的入口和出口由下游端口驱动。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

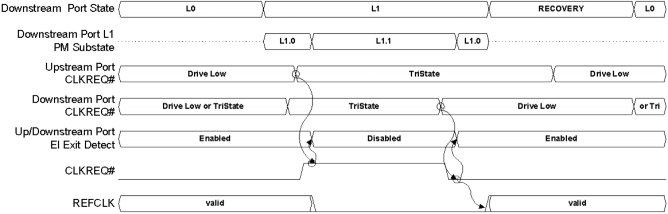


图5-13示例：[L1.1](#bookmark94)波形说明下游端口启动的出口

5.5.3 L1.2要求

所有链路和PHY状态必须在L1.2期间保持[，](#bookmark99)或者必须在退出时使用特定于实现的

意味着，从L1.2退出时的LTSSM和相应的端口状态必须与[L1.0](#bookmark98)LTSSM和端口状态不可区分。

L1.2有不适用于[L1.1](#bookmark94)的附加要求，这些要求在本节中记录。 [L1.2](#bookmark99)有三个子状态，定义如下（见[图5-14）](#bookmark181)。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

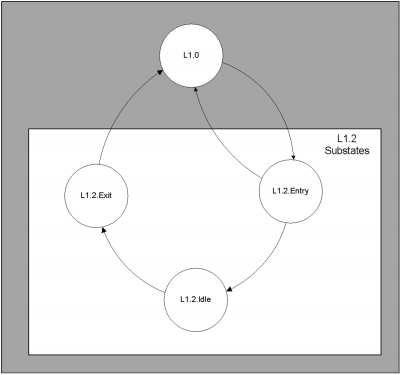


图5-14 L1.2子状态

<5.5.3.1>L1.2.Entry

[L1.2.Entry](#bookmark178)是进入L1.2时的过渡状态，以便为Refclk提供关闭时间并确保两个端口都观察到CLKREQ# deasserted。以下规则适用于[L1.2.Entry：](#bookmark178)

· 上游和下游端口都继续保持共同模式。

· 上行和下行端口都可以关闭它们的电空闲（EI）退出检测电路。

·在此状态下，上游端口和下游端口不得断言CLKCLK #。

·必须在[TL1O\_REFCLK\_OFF内关闭参考。](#bookmark182)

· 如果断言了CLK\_OFF #，则下一个状态是L1.0，否则在等待[TPOWER\_OFF之后下一个状态是L1.2.Idle。](#bookmark184)

请注意，当一个端口在另一个端口解除断言CLK\_REQ #后不久断言CLK\_REQ #时，但在第一个端口观察到CLK\_REQ #解除断言之前，可能会出现边界条件。这是一个无法回避的界限

实现必须正确处理的条件这种情况的一个例子如[图5-15所示。](#bookmark185)

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

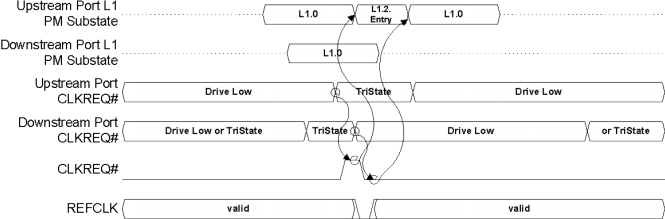


图5-15示例：由于CLK采样不同而导致的边界条件图示

<5.5.3.2>L1.2.Idle

当满足进入[L1.2.空闲](#bookmark186)状态的要求（见[第5.5.1节）](#bookmark95)时，端口进入[L1.2.空闲](#bookmark186)子状态。以下规则适用于[L1.2.Idle：](#bookmark186)

· 上游端口和下游端口都可能使任何活动逻辑掉电，包括维持共模所需的电路。

·上游端口和下游端口的PHY可以使它们的功率被移除。 当使用基于CLK #的机制时，以下规则适用于[L1.2.Idle](#bookmark186)状态

· 如果上游端口或下游端口需要退出[L1.2](#bookmark90)，则必须在确保满足T L1.2之后断言CLK #。

· 如果下游端口正在启动从L1退出，则它必须置位CLK #，直到链路退出恢复。的

上游端口必须在进入恢复时断言CLKINN #，并且必须继续断言CLKINN #，直到下一个

进入L1，或允许CLK #解除断言的其它状态。

· 如果上游端口正在启动从L1的退出，则它必须继续断言CLK #，直到下一次进入L1，或其他允许CLK #解除断言的状态。

· 上游端口和下游端口都必须监视CLK #输入信号的逻辑状态。

· 如果断言了CLKCLK #，则下一状态为[L1.2.退出](#bookmark187)

<5.5.3.3>L1.2.Exit

这是从L1.2退出时的过渡状态，允许两个设备都有时间通电。在[L1.2.退出中](#bookmark187)，以下规则适用：

·上游和下游端口的PHY必须被供电。

· 不能认为共模已被维持。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.5.3.3.1从L1.2退出

·以下规则适用于[L1.2.Exit](#bookmark187)，使用基于CLK #的机制：

· 上游端口和下游端口都必须为L1.0所需的任何电路通电，包括维持公共模式所需的电路。

·在此状态下，上游端口和下游端口不得改变它们的CLK #驱动状态

·引用必须在不早于[TL10\_REFCLK\_ON](#bookmark189)最小时间的情况下被开启，并且在变得有效之前可以占用根据由端点通告的LTR所允许的时间量。

·在等待[TPOWER\_ON之后，下一状态是L1.0。](#bookmark190)

◦ 允许在L1.0期间被动建立[共模](#bookmark93)，在恢复期间主动建立共模。为了确保已建立共模，下游端口必须保持定时器， 并且下游端口必须继续发送TS1训练序列，直到至少

自下游端口开始传输TS1训练序列并在配置链路的任何通道上检测到电气空闲退出以来，T COMMONMODE已过去。

[图5-16](#bookmark192)说明了与L1.2入口和上游端口发起的出口相关的信号关系和定时约束。

[图5-17](#bookmark193)说明了与L1.2进入和下游端口启动退出有关的信号关系和定时约束。

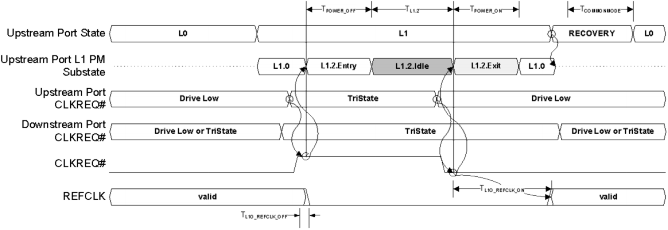


图5-16示例：说明上游端口启动退出的L1.2波形

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

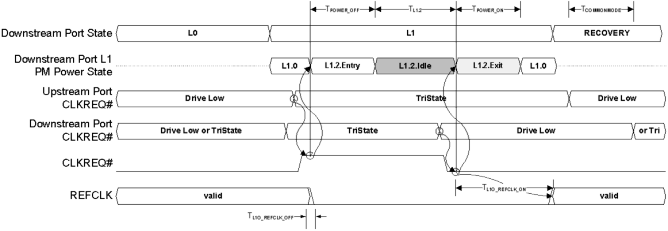


图5-17示例：说明下游端口启动退出的L1.2波形

5.5.4 L1 PM子状态配置

当与端口相关的ASPM L1.1使能、ASPM L1.2使能、PCI-PM L1.1使能和PCI-PM L1.2使能位的任何组合被置位时，L1 PM子状态被认为在端口上被使能。

L1 PM子状态使能位只能在以下情况下在链路上的上行和下行端口中设置：

相应的支持能力位由该链路上的上游和下游端口设置，否则行为未定义。

在允许在上游端口设置相应位之前，必须在下游端口设置任何使能位。如果任何L1 PMSubstates启用位在稍后时间被清除，则启用位必须

在允许在下游端口中清除对应的使能位之前，在上游端口中清除这些使能位。

如果为ASPM L1 PM子状态设置一个或两个使能位，则必须按照本节所述配置两个端口，同时禁用ASPM L1。

如果设置PCI-PM L1 PM Substate的一个或两个使能位，则在D 0中时，必须按照本节所述配置两个端口[。](#bookmark88)

在设置L1.2的一个或两个使能位[之前](#bookmark90)，[TPOWER\_ON、](#bookmark194)Common\_Mode\_Restore\_Time的值以及LTR\_L1.2\_THRESHOLD（值和比例字段）（如果要设置ASPM L1.2使能位）的值必须编程为MED。

[TPOWER\_ON](#bookmark195)和Common\_Mode\_Restore\_Time字段必须根据 元件和用于连接两个元件的AC耦合电容器。这些值的确定取决于设计实现。

当ASPM L1.2使能和PCI-PM L1.2使能位均被清除时，不需要对[TPOWER\_ON、](#bookmark196)Common\_Mode\_Restore\_Time和LTR\_L1.2\_THRESHOLDValue和Scale字段进行编程，硬件不得依赖这些字段来获得任何特定值。

当编程LTR\_L1.2\_THRESHOLDValue和Scale字段时，必须在两个端口中编程相同的值。

5.5.5 L1 PM子站定时参数

[表5-11](#bookmark197)定义了与[L1.2](#bookmark90)子状态机制相关的定时参数。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

表5-11 L1.2定时参数

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 参数 | 描述 | Min | Max | 单位 |
| TPOWER\_OFF | CLK #解除断言以进入[L1.2.Idle](#bookmark186)子状态 |  | 2 | 微秒 |
| T共模 | 恢复参考值以恢复共同模式 通过TS1训练序列的主动传输（见第[5.5.3.3.1节）](#bookmark188) | 可编程范围从0到255 | | 微秒 |
| TL1O\_REFCLK\_OFF | CLK #解除断言，以在进入L1.2时参考达到空闲电状态 | 0 | 100 | NS |
| TL10\_REFCLK\_ON | 退出L1.2时，对引用的CLK #断言有效 | [TPOWER\_ON](#bookmark198) | 由  端点 | 微秒 |
| TPOWER\_ON | 在[L1.2](#bookmark187)中，每个组件必须在采样后退出的最短时间，在主动驱动接口之前断言CLK #，以确保没有设备主动驱动到 无动力组件。 | 在L1 PM中设置  子状态控制2  寄存器（范围  从0到3100） |  | 微秒 |
| TL1.2 | 当CLKCLK #必须保持非活动状态时，端口必须保持在[L1.2](#bookmark90) | 4 |  | 微秒 |

5.5.6链路激活

[链路激活](#bookmark199)是暂时禁用L1子状态的可选机制。[链路激活](#bookmark199)用于使链路脱离[L1.1/L1.2，](#bookmark94)避免潜在的停顿。一个此类暂停的示例是与配置写入相关联的暂停， 执行[D3 Hot](#bookmark134)到[D0](#bookmark88)的转换。[链路激活还](#bookmark199)可以用于间接地向设备指示它应该避免 在延迟敏感或时间关键的操作期间提供长延迟内部电源管理。

以下规则适用于[链接激活：](#bookmark199)

·下游端口被允许支持[链路激活，](#bookmark199)如L1 PM子状态能力寄存器中的链路激活支持位被设置所指示的。

·链路激活控制位必须对端口行为没有影响，除非以下一个或多个位被设置：

启用PCI-PM L1.2

启用PCI-PM L1.1

·当链路激活控制位被置位时，即将进入L1的端口必须断言，并且在L1中保持断言的CLK #信号。

·如果链路激活控制位为清除，则[链路激活](#bookmark199)机制不对CLK\_CLK #信号的状态强加任何附加要求。

· 如果使用MSI或MSI-X使能端口的边沿触发中断信号，则每次以下条件的逻辑AND从“0”转换为“真”时，都必须发送中断消息：

◦ 未屏蔽关联矢量（如果MSI不支持PVM，则不适用）

◦ 设置链路激活启用位

◦ 设置链路激活控制位

◦ 链路激活状态位被设置。请注意，[链路激活](#bookmark199)中断始终使用PCI Express功能寄存器中的“MSI消息编号”字段指示的MSI或MSI-X向量。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

· 如果使用INTx消息使能端口的电平触发中断信令，则只要满足以下条件，就必须断言虚拟INTx线：

◦ 命令寄存器中的禁用位为清除。

◦ 设置链路激活启用位

◦ 设置链路激活控制位

◦ 设置链路激活状态位

·每当以下条件的逻辑与从“0”转换为“真”时，链路激活状态位必须置位

◦ PCI-PM L1.2使能位或PCI-PM L1.1使能位（或两者）被置位

◦ 设置链路激活控制位

◦ 链路不处于L1子状态

5.6辅助电源支持

与辅助电源相关的特定定义和要求是特定于形状因数的，并且术语“辅助电源”和“Vaux”应参考使用中的特定形状因数来理解。具体

在本说明书中没有定义用于提供辅助电力的机构。 以下文本定义了适用于所有外形规格的要求。

PCI Express PM在设备控制寄存器中提供了一个辅助电源PM使能位，该位提供了使能一个功能的方法，以便独立于其对PME生成的支持水平来汲取辅助电流的最大容限。

功能通过在PMC寄存器的Aux\_Current字段中指定非零值来请求辅助功率分配。有关辅助电源PM使能寄存器位分配和访问机制，请参阅第7章。

使用Aux Power PM Enable的辅助电源分配确定如下：

辅助电源PM启用= 1b：

辅助电源根据PMC寄存器Aux\_Current字段的请求进行分配，与PMSCR中的PME\_En位无关。PME\_En位仍然控制主控PME的能力。

辅助电源PM启用=0b：

辅助功率分配由PME\_En位控制，如在www.example.com上的Secti中定义7.5.2.2的。

辅助电源PM使能位是粘性的（参见第7.4节），因此其状态保留在[D3冷](#bookmark134)态，不受从[D3冷](#bookmark134)态到[D0未初始化](#bookmark88)状态转换的影响。

5.7电源管理系统消息和DLLP

[表5-12](#bookmark109)定义了PCI Express堆栈中每个PM数据包的位置。

表5-12电源管理系统消息和DLLP

|  |  |
| --- | --- |
| 分组 | 类型 |
| PM\_Enter\_L1 | DLLP |
| PM\_Enter\_L23 | DLLP |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

|  |  |
| --- | --- |
| 分组 | 类型 |
| PM\_Active\_State\_Request\_L1 | DLLP |
|  |
| PM\_请求\_确认 | DLLP |
| PM\_Active\_State\_Nak | 事务层消息 |
| PM\_PME | 事务层消息 |
| PME\_关闭 | 事务层消息 |
| PME\_TO\_Ack | 事务层消息 |

有关电源管理DLLP结构的信息，请参阅第3.5节。

电源管理消息遵循所有消息的一般规则。电源管理消息字段遵循以下规则：

· 长度字段为保留字段。

·属性字段必须设置为默认值（全为0）。

·地址字段被保留。

· 验证者ID-参见www.example.com章节表2-202.2.8.2。

·流量类别字段必须使用默认类别（TC 0）。

5.8 PCI功能电源状态转换

所有PCI-PM电源管理状态更改均由软件明确控制，但基本复位除外，基本复位会将所有功能置于[D 0未初始化](#bookmark124)状态。[图5-18](#bookmark200)显示了所有支持的状态转换。未标记的弧

表示软件启动的状态转换（设置功率状态操作）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0



通电 D0未初始化

复位

初始化

配置空间

软复位和No\_ Soft\_ Reset=0b



D2



D0活性



D3冷

基本复位



D1



D3热

V

CC

移除

软复位和No\_ Soft\_ Reset=1b

A-0321A

图5-18功能电源管理状态转换

5.9状态转换恢复时间R要求

[表5-13](#bookmark201)显示了系统软件必须允许的最小恢复时间，

被编程为改变状态和下一次访问功能的时间（包括配置空间），除非

准备就绪指示符（参见第6.23节）用于指示系统软件的修改值。对于桥接器功能，此延迟也构成桥接器的状态改变时与其所发起的逻辑总线上的任何功能可被访问时之间的最小延迟。

表5-13 PCI功能状态转换延迟

|  |  |  |
| --- | --- | --- |
| 初始状态 | 下一状态 | 最小系统软件保证速度延迟 |
| [D0](#bookmark88) | [D1](#bookmark141) | 0 |
| [D0](#bookmark88)或[D1](#bookmark141) | [D2](#bookmark142) | 200 Ms |
| [D0、](#bookmark88)[D1](#bookmark141)或[D2](#bookmark142) | [D3热](#bookmark134) | 10 ms |
| [D1](#bookmark141) | [D0](#bookmark88) | 0 |
| [D2](#bookmark142) | [D0](#bookmark88) | 200 Ms |
| [D3热](#bookmark134) | [D0](#bookmark88) | 10 ms |

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.10 PCI桥接器和电源管理

在操作系统的指导下进行电源管理，每一类功能都必须有一个明确的

定义了特征可用性的标准以及当在每个功率管理状态下操作时必须保留什么功能上下文。作为ACPI的一部分，已经提出了一些示例设备级

规格的各种功能，从音频到网络的插件。在定义特定于设备类时， 大多数功能的行为策略不在本规范的范围内，定义PCI桥功能所需的行为在本规范的范围内。这里的定义适用于所有三种类型的PCIe网桥：

· 主桥、PCI Express到扩展总线桥或其他ACPI枚举桥

·开关

· PCI Express到PCI桥

· PCI到CardBus桥接器

用于控制这些功能的状态的机制根据存在哪种类型的发起设备而有所不同。以下各节将介绍这些机制如何在这三种类型的网桥中工作。

本节详细介绍PCI Express桥接功能的电源管理策略。PCIExpress桥接功能可以被表征为具有在其下游的次级总线的始发设备。本节介绍了

桥接功能的电源管理状态与其次级总线的电源管理状态的关系。

[图5-19中的阴影区域](#bookmark202)说明了本节讨论的内容。

|  |
| --- |
| 范围 |

PCI总线段

|  |
| --- |
| 配置寄存器 |
| 功能 |

|  |
| --- |
| 配置寄存器 |
| 功能 |

辅助PCI总线段

|  |
| --- |
| PCI 桥 |

|  |
| --- |
| PCI到PCI桥  范围 |

|  |
| --- |
| 配置寄存器 |
| 功能 |

粤ICP备16032333号-1

图5-19 PCI Express桥电源管理图

从[图5-19中可以看出，从操作系统的角度来看，](#bookmark202)本章中描述的PCI Express桥行为对于主机桥、交换机和PCI Express到PCI桥是常见的。

系统软件负责确保只有总线和下游功能电源管理状态的有效、可行组合才用于给定总线和驻留在该总线上的所有功能。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

5.10.1交换机和PCI Express到PCI网桥

交换机或PCI Express到PCI桥的辅助总线的电源管理策略与为任何桥功能定义的电源管理策略相同。

桥接功能的PMCSR\_BSE寄存器中的BPCC\_En和B2\_B3#总线电源/时钟控制字段支持与任何其他桥接器相同的功能。

5.11电源管理事件

有两种类型的电源管理事件：

·唤醒事件

· PME生成

唤醒事件用于请求打开电源。

PME生成事件用于向系统识别请求打开电源的功能。

在常规PCI中，两个事件都与PME#信号相关联。PME#信号由函数断言，

请求改变其电源管理状态。 当PME\_En位被置位且事件发生时，该功能将置位PME\_Status位并置位PME#信号。它使PME#信号保持有效，直到PME\_En位或

PME\_Status已清除（通常由软件清除）。

在PCI Express中，唤醒事件与WAKE#信号相关联。如果支持，WAKE#信号在相关的外形规格中定义，并由功能用于请求更改其PCI-PM电源管理 当功能处于[D3冷态](#bookmark123)且PME\_En被设置时的状态。

在PCI Express中，在主电源恢复并且链路经过训练之后，启动唤醒的功能

（例如， 断言WAKE#）向根联合体发送PM\_PME消息。PM\_PME消息提供根 与请求功能的标识一起复杂，而不需要软件来轮询PME\_Status位被置位。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

**系统架构**

本章讨论了平台环境中PCI Express互连体系结构的各个方面。

第六章

6.1 PME和PME支持

PCI Express中断模型支持两种机制：

· INTx仿真

· 消息信令交换机（MSI/MSI-X）

为了与传统系统兼容，PCI Express提供了PCI INTx仿真机制来向系统发送中断信号

中断控制器（通常是根复合体的一部分）。该机制与现有的PCI软件兼容 提供与相应的PCI中断信令机制相同的服务级别和类型，并且独立于系统中断控制器的细节。这种传统兼容性机制允许引导设备支持，

需要复杂的BIOS级中断配置/控制服务堆栈。它通过使用带内信令机制虚拟化PCI物理中断信号。

如果实现支持中断，则此规范要求支持MSI或MSI-X或两者。PCI兼容INTx中断仿真是可选的。交换机需要支持转发INTx中断

仿真消息（参见www.example.com部分2.2.8.1）。PCIEexpress MSI和MSI-X机制与[PCI]中最初定义的机制兼容。

6.1.1PCI Express PCI接口模型的基本原理

PCI Express在中断支持方面采用了PCI的进化方法。

根据PCI/PCI-X中断机制的要求，每个设备功能都需要区分INTx和MSI/MSI-X操作模式。支持这两种方案所需的设备复杂性与PCI/

PCI-X设备。该方法的优点

·与现有PCI软件型号兼容

· 直接支持引导设备

· INTx遗留机制的生命周期终止（EOL）。

现有的软件模型用于不同的iate INTx与MSI/MSI-X操作模式;因此，PCI Express不需要特殊的软件支持。

6.1.2 PCI兼容INTx仿真

PCI Express仿真PCI中断机制，包括PCI的PCI Pin和PCI Line寄存

PCI设备功能的配置空间。PCI Express非交换机设备可以选择支持这些寄存器，以实现向后兼容性。需要交换设备来支持它们。实际中断信号使用带内消息，而不是使用物理引脚发出信号。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

定义了两种类型的消息，Assert\_INTx和Deassert\_INTx，用于PCI INTx信令的仿真，其中x是各个PCI中断信号的A、B、C和D。 这些消息用于提供“虚拟线路”，用于通过链路发送中断信号。 交换机收集这些虚拟线，并在交换机的上游端口呈现组合集。最后，虚拟线被路由到根联合体，根联合体将虚拟线映射到系统中断资源。设备

必须成对使用断言/解除断言消息来模拟PCI中断级别触发的信令。 PCIExpress INTx仿真到系统中断的实际映射是特定于实现的，就像传统PCI中物理中断信号的映射一样。

在本规范的未来版本中，可能会弃用传统的INTx仿真机制。

6.1.3 INTx仿真软件模型

传统INTx仿真的软件模型与PCI的软件模型相匹配。芯片组/平台的系统BIOS报告

中断映射和每个设备功能的中断与PCI中断线的关联以与传统PCI系统完全相同的方式处理。旧版软件从每个设备读取功能的PIN

寄存器以确定函数是否为中断驱动。01和04 h之间的值表示函数使用仿真中断引脚来生成中断。

请注意，与物理中断信号类似，INTx仿真机制可能会导致必须由系统软件处理的虚假中断。

6.1.4 MSI和MSI-X操作

消息信号中断（MSI）是一个可选的功能，它使设备功能能够通过编写 将系统指定的数据值发送到系统指定的地址（使用DWORD内存写入事务）。 系统软件在设备配置期间对消息地址和消息数据（从这里开始称为“向量”）进行加密，将一个或多个向量分配给每个具有MSI能力的功能。

中断延迟（从中断信号到中断服务的时间）取决于系统。与当前中断体系结构一致，消息信号中断不提供中断延迟时间保证。

MSI-X为基本MSI功能定义了一个单独的可选扩展。与MSI相比，MSI-X支持更大的

每个函数的最大向量数，当分配的向量少于请求时软件控制混叠的能力，以及每个向量使用独立地址和数据值的能力，由驻留在内存空间中的表指定。然而，MSI-X的大部分其他特性与MSI相同。

为了软件的向后兼容性，MSI和MSI-X使用独立的Capability结构。 在同时支持MSI和MSI-X的功能上，仅支持MSI的系统软件仍然可以启用和使用MSI而无需任何修改。MSI功能通过MSI能力结构专门管理，而MSI-X功能通过MSI-X能力结构专门管理。

允许一个功能同时实现MSI和MSI-X，但禁止系统软件同时启用这两个功能。如果系统软件同时启用两者，则行为未定义。

所有能够产生中断的PCI Express设备功能必须支持MSI或MSI-X或两者。 MSI和MSI-X机制通过执行存储器写入事务来传递中断。MSI和MSI-X是边沿触发中断机制;[PCI]和本规范都不支持电平触发MSI/MSI-X中断。某些PCI

设备及其驱动程序依赖于INTx类型的电平触发中断行为（由PCI Express传统INTx仿真机制解决）。 为了利用MSI或MSI-X功能和边沿触发中断语义，这些设备及其驱动程序可能必须重新设计。

MSI和MSI-X都支持Per-Vector Masking（PVM）。PVM是MSI的可选86扩展，也是MSI-X的标准功能。支持MSI的PVM扩展的函数与不知道的系统软件

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

的扩展。MSI-X还支持一个函数掩码位，当设置该位时，掩码与函数相关联的所有向量。

需要实现MSI的旧版终结点来支持MSI功能结构的32位或64位消息地址版本。实现MSI的PCI EXpress端点需要支持MSI功能结构的64位消息地址版本。

MSI/MSI-X事务的执行者必须设置事务的“无监听”和“宽松排序”属性 描述符为0b。如果启用了IDO属性，则允许MSI/MSI-X事务的管理员设置ID-Based Ordering（IDO）属性。

请注意，与INTx仿真消息不同，MSI/MSI-X事务不限于TC 0流量类。

执行说明

数据传输和消息信令中断

允许MSI/MSI-X交易商使用最适合器械编程模型的TC。这通常与用于传输数据的TC相同;对于传统I/O，应使用TC 0。

如果设备使用多个TC，则必须明确确保在不使用相同TC的数据流量和中断消息之间保持适当的同步。确保这种同步的方法有

具体实施。一个选项是设备发出零长度读取（如第2.2.5节所述） 在发出MSI/MSI-X事务之前使用用于数据业务的每个附加TC。其他方法也是可能的。然而，请注意，平台软件（例如，设备驱动程序）通常只能发出

使用TC 0的交易。



在一个设备中，允许不同的功能实现不同的MSI/MSI-X/INTx中断机制，系统软件独立管理每个功能的中断机制。

<6.1.4.1>MSI配置

在本节中，所有寄存器和字段引用都在MSI能力结构的上下文中。 系统软件读取消息控制寄存器以确定功能的MSI能力。

系统软件读取多消息功能字段（消息控制寄存器的位3-1），以确定

请求的向量数。MSI支持每个函数最多32个向量。系统软件写入

多消息使能字段（位于消息控制寄存器的6-4），用于分配所请求向量的全部或子集。例如，一个函数可以请求四个向量，并被分配四个、两个或一个向量。请求和分配的向量数量与2的幂对齐（即，需要三个向量的函数必须请求四个）。

如果每矢量屏蔽功能位（消息控制寄存器的位8）被设置，并且系统软件支持每矢量屏蔽，则系统软件可以通过写入屏蔽位寄存器来屏蔽一个或多个矢量。

如果64位地址能力位（消息控制寄存器的第7位）被设置，则系统软件初始化MSI

能力结构 具有系统指定的消息地址的上地址寄存器（指定消息地址的高32位）。系统软件可以将消息上地址寄存器编程为零，以便该功能使用32位地址进行



86.例外：在SR-IOV设备中，任何实现MSI的PF或VF都

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

MSI交易。如果该位为清除，则系统软件将MSI能力结构的消息地址寄存器（指定32位消息地址）与系统指定的消息地址进行比较。

系统软件将MSI能力结构 指定的数据值。 当扩展消息数据能力位为清除时，必须注意仅初始化消息数据寄存器（即，一个2字节的值），而不修改该DWORD位置的上两个字节。

如果扩展消息数据能力位被置位并且系统软件支持3个2位向量值，则系统软件可以用系统指定数据值的高16位来初始化MSI能力结构的扩展消息数据寄存器，然后置位扩展消息数据启用位。

<6.1.4.2>MSI-X配置

在本节中，所有寄存器和字段引用都在MSI-X功能、MSI-X表和MSI-X PBA结构的上下文中。

系统软件为函数的标准基址寄存器组分配地址空间，并相应地设置寄存器。函数的基址寄存器之一包括用于MSI-X表的地址空间，尽管分配地址空间的系统软件不需要知道这是哪个基址寄存器，或者 地址空间用于MSI-X表。同一个或另一个基址寄存器包括用于

MSI-X PBA，并且关于系统软件的相同点适用。

取决于系统软件策略、系统软件、设备驱动程序软件，或在不同时间或

环境可以用合适的向量配置功能的MSI-X能力和表结构。例如是

引导环境可能只需要一个向量，而用于运行应用程序的正常操作系统环境可以受益于多个向量，如果函数支持具有多个条目的MSI-X表的话。为

在本节的其余部分中

软件从消息控制寄存器读取表大小字段，以确定MSI-X表大小。田野 将表条目数编码为N-1，因此软件必须将从字段读取的值加1以计算表条目数N。MSI-X支持的最大表大小为2048个条目。

软件通过从表偏移/表BIR读取32位值来计算MSI-X表的基址 寄存器，屏蔽掉表BIR的低3位，并将剩余的QWORD对齐的32位表偏移量添加到 地址取自表BIR所示的基址寄存器。 软件使用与PBA偏移/PBA BIR寄存器相同的过程计算MSI-X PBA的基址。

对于将要使用的每个MSI-X表条目，软件填写消息地址字段、消息上地址字段， 消息数据字段和矢量控制字段。矢量控制字段可以包含可选的转向标签字段。 软件不得在未屏蔽时修改条目的地址、数据或引导标签字段。请参阅www.example.com[部分6.1.4.5](#bookmark203)， 续费

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

执行说明

QWORD访问的特殊考虑

允许软件用DWORD字单独填写MSI-X表条目DWORD字段，或

在某些情况下，允许用单个QWORD写入来填充适当的DWORD对。特别是，软件总是允许用一个QWORD写来填写消息地址和消息上地址字段。如果给定条目当前被屏蔽（通过其屏蔽位或功能屏蔽位），则允许软件填写

消息数据和矢量控制字段使用单个QWORD写入，利用消息数据字段保证在不晚于矢量控制字段的情况下对硬件可见的事实。如果软件

要屏蔽当前未屏蔽的条目（不设置功能屏蔽位），软件必须使用对矢量控制字段的DWORD写入来设置条目

和向量控制字段可能导致在向量控制字段中的掩码位变为置位之前修改消息数据字段。



为便于将来规范使用，矢量控制字段中的保留位必须由软件保留其默认值。如果软件不保留它们的值，则结果是未定义的。

对于软件选择不配置用于生成消息的每个MSI-X表条目，软件可以简单地使条目处于其被屏蔽的默认状态。

允许软件用相同的向量配置多个MSI-X表条目，并且当分配的向量少于请求的向量时，这可能确实是必要的。

执行说明

处理MSI-X矢量短路

对于分配给函数的向量少于所需向量的情况，软件控制的别名为

由MSI-X实现的是解决这种情况的一种方法。例如，如果函数支持五个队列， 每一个都具有相关联的MSI-X表条目，但是仅分配了三个向量，则该功能可以被设计用于软件仍然配置所有五个表条目，将一个或多个向量分配给多个表条目。

软件可以将三个向量{A，B，C}分配给五个条目作为ABCCC，ABBCC，ABCBA或其他类似的组合。

可替代地，功能可以被设计用于软件以将其配置（使用设备特定机制）为仅使用三个队列和三个MSI-X表条目。软件可以将三个向量{A，B，C}分配给五个 条目为ABC-、A-B-C、A-CB或其他类似组合。



<6.1.4.3>启用操作

为了保持向后兼容性，MSI的消息控制寄存器中的MSI E启用位和MSI-X启用位

在MSI-X的消息控制寄存器中，默认情况下都是清除的（MSI和MSI-X都被禁用）。系统

配置软件设置这些位之一来使能MSI或MSI-X，但决不能同时使能两者。贝哈维托尔群岛 如果MSI和MSI-X同时启用，则未定义。禁止设备驱动程序写入此位以屏蔽函数的服务请求。 当为MSI或MSI-X操作启用时，功能被禁止使用INTx中断（如果实现）来请求服务（MSI、MSI-X和INTx互斥）。

5.0-1.0-PUB - PCI Express®基本规范修订版5.0版本1.0

<6.1.4.4>发送消息

一旦MSI或MSI-X被使能（其中一个消息控制寄存器中的相应位被置位），并且一个或多个向量被解除屏蔽，则允许该功能发送消息。要发送消息，函数执行DWORD内存写入 以适当的消息数据发送到适当的消息地址。

对于MSI，当扩展消息数据使能位为清除时，写入的DWORD由

MSI消息数据寄存器在较低的两个字节和零在较高的两个字节。对于MSI，当扩展消息数据使能位被置位时，写入的DWORD由低位中的MSI消息数据寄存器中的值组成。

两个字节，MSI扩展消息数据寄存器中的值位于上两个字节。

对于MSI，如果多消息使能字段（MSI的消息控制寄存器的位6-4）为非零，则允许功能修改消息数据的低位以生成多个向量。例如，多个

消息使能编码为010b表示允许函数修改消息数据位1和0，以生成最多四个唯一向量。如果Multiple Message Enable字段为000b，则不允许该功能修改消息数据。

对于MSI-X，MSI-X表包含至少一个用于每个分配向量的条目，并且来自所选表条目的32位消息数据字段值用于消息中，而不通过函数对低阶位进行任何修改。

函数如何使用多个向量（分配时）取决于设备。一个Fun引擎必须处理被分配的向量少于请求的向量。

<6.1.4.5>每向量掩码和函数掩码

每矢量屏蔽（PVM）是MSI的可选功能，也是MSI-X的标准功能。

函数掩码是M SI-X中的标准功能。当MSI-X函数掩码位被置位时，所有函数

必须表现为被屏蔽，而不管每个条目的屏蔽位值如何。MSI中不支持FUNCTION MASSING，但软件可以通过使用单个DWORD写入设置所有MSI Mask位来轻松实现类似的效果。

MSI-X中的PVM由每个MSI-X表条目中的掩码位控制。虽然更准确地称为

掩蔽MSI-X表条目仍然被称为“向量掩蔽”，因此类似的描述可用于MSI和MSI-X。然而，由于允许软件将相同的向量（唯一的地址/数据对）编程到多个MSI-X表条目中，因此必须屏蔽所有这些条目，以确保功能不会使用该条目发送消息。

地址/数据对。

对于MSI和MSI-X，当向量被屏蔽时，函数被禁止发送关联消息，并且

函数必须设置相关的挂起位，否则函数将发送消息。 当软件对相关挂起位被置位的向量进行解掩码时，功能必须安排发送相关消息，并在消息发送后立即清除挂起位。请注意，清除MSI-X功能掩码位可能会导致需要发送许多消息。

如果掩码向量的挂起位被置位，并且相关联的底层中断事件以某种方式被满足（通常通过软件，尽管确切的方式是函数特定的），则函数必须清除P结束位，以避免发送 当软件揭开矢量时，稍后会出现虚假中断消息。但是，如果发生后续中断事件，

当向量仍然被屏蔽时，函数必须再次设置挂起位。

允许软件无限期地屏蔽一个或多个向量，并严格根据轮询其挂起位来为其相关的中断事件提供服务。一个函数必须根据需要设置和清除其挂起位，以支持这种“纯轮询”操作模式。



87.例外：在SR-IOV设备中，任何实现MSI的PF或VF都