

**Cadence CXL/AXI Verilog交付测试平台**

## 用户指南

### 2020年8月31日

CADENCE机密

© 2020 Cadence Design Systems，Inc.All rights reserved.

凯登斯设计系统有限公司地址：2655 Seely Ave.San Jose，CA 95134，USA.

**商标**：Cadence Design Systems，Inc.的商标和服务商标本文件中包含的所有信息均由Cadence提供，并附有适当的符号。有关Cadence商标的查询，请按上述地址联系公司法律部门或致电800.862.4522。所有其他商标均为其各自所有者的财产

**限制许可：**本文档受版权法和国际条约保护，包含Cadence所有的商业机密和专有信息。未经授权复制或分发本文档或其任何部分可能会导致民事和刑事处罚。除非本许可声明中另有规定，否则未经Cadence事先书面许可，不得以任何方式复制、复制、修改、发布、上传、发布、传输或分发本文件包含益华或其许可方的专有和机密信息，并根据益华与其客户之间的书面协议提供，且仅可根据该协议使用。

除非益华另行书面同意，否则本声明授予益华客户打印本文件一（1）份硬拷贝的许可，但须符合以下条件：

1. 本文件不得以任何方式修改
2. 本文档或其部分的任何授权副本必须包括所有原始版权、商标和其他专有声明以及本许可声明。
3. 本文档中包含的信息不得用于开发类似产品或软件，无论是内部使用还是外部使用，也不得用于任何其他方的利益，无论是否考虑。

**免责声明：**本文件中的信息如有变更，恕不另行通知，且不代表CADENCE方面的承诺。除非在CADENCE与其客户之间的书面协议中明确规定，否则CADENCE不对本文件所含信息的完整性、准确性或有用性做出任何陈述或保证，并明确表示不承担任何责任。CADENCE不否认使用此类信息不会侵犯任何第三方权利，CADENCE不承担任何暗示保证，包括适销性和特定用途的适用性。对于因使用此类信息而可能导致的任何类型的损害或费用，CADENCE不承担任何责任。CADENCE客户对客户产品的开发、制造、销售和使用的所有方面拥有全面控制权和最终决策权，包括但不限于与CADENCE产品的设计、生产、测试、装配、验证、认证、集成、使用说明、标签和分销有关的所有决策，CADENCE明确表示对与客户产品有关的任何此类决策不承担任何责任

**受限权利：**政府使用、复制或披露本网站内容时，须遵守FAR52.227- 14和DFAR252.227-7013及以下条款中规定的限制或其继任者。

| 内容|**III**

内容

[第1章：Verilog交付测试平台概述。 5](#_bookmark0)

[导言. 6](#_bookmark1)

[模拟器和LRM兼容性。 6](#_bookmark2)

[第2章：Verilog交付测试台架构。 7](#_bookmark3)

[架构概述8](#_bookmark4)

[测试台配置。 9](#_bookmark6)

[客户端接口10](#_bookmark7)

[寄存器接口10](#_bookmark8)

[第三章：开始 11](#_bookmark9)

[安装测试台12](#_bookmark10)

[目录结构。 12](#_bookmark11)

[测试流程13](#_bookmark13)

[第4章：应用层接口BFM。 15](#_bookmark14)

[CLSBFM 16](#_bookmark15)

[AXIBFM 16](#_bookmark16)

[第5章：寄存器接口BFM。 19](#_bookmark17)

[APBBFM 20](#_bookmark18)

[第六章：随机存取存储器21](#_bookmark19)

[PCIeSRAM 22](#_bookmark20)

[AXI. 22](#_bookmark21)

[CXLSRAM 22](#_bookmark22)

[CLS 22](#_bookmark23)

[第7章：健全性测试实施。 23](#_bookmark24)

[任务24](#_bookmark25)

[健康测试24](#_bookmark26)

[AXI 24的健全性测试实现](#_bookmark27)

[CXL 24的健全性测试实现](#_bookmark28)

[自我检查24](#_bookmark29)

[第8章：在独立软件包上进行仿真。 27](#_bookmark30)

[运行Testbench。 28](#_bookmark31)

[测试完成状态通过/未通过。 28](#_bookmark32)

[限制28](#_bookmark33)

[第9章：你是谁？ 31](#_bookmark34)

[发布版本之间的差异 32](#_bookmark35)

章

# 1

## Verilog交付测试平台概述

##### 主题：

* [介绍](#_bookmark1)

###### [模拟器和LRM兼容性](#_bookmark2)

**介绍**

Cadence® PCIe® Verilog Delivery Testbench提供了一个简单的基于Verilog的测试环境，使您能够在子系统模式下运行时生成并观察通过PCIe控制器和PHY的入站和出站流量。

它是一个独立的环境，不需要任何VIP（*验证IP*）。

 **注意事项：**

* + 与使用PCIe和ARM® AMBA**®** VIP的环境相比，此测试平台生成的流量和场景有限
  + Verilog交付测试台不用于验证控制器、PHY的功能或控制器与PHY的集成。

本文档定义了verilog交付测试平台，使您能够运行简单的测试用例，演示Cadence® PCIe基于IP的功能。

### 模拟器和LRM兼容性

测试平台在以下模拟器版本上进行测试：**模拟器：**Cadence® Xcelium® 19.03（19.03.003）**Verilog LRM版本：**Verilog-2005

章

# 2

## Verilog交付测试平台架构

##### 主题：

* [体系结构概述](#_bookmark4)
* [测试台配置](#_bookmark6)
* [客户端接口](#_bookmark7)

###### [寄存器接口](#_bookmark8)

| Verilog交付测试平台架构|**8**

**体系结构概述**

本节描述Verilog交付测试台通用架构，该架构可在Cadence PCIe IP的变体之间共享[图1：](#_bookmark5)第9页上的混合子系统测试台框图显示了框图

PCIe混合子系统的Testbench架构

verilog交付测试平台被架构为镜像verilog交付测试平台解决方案，其中PCIe IP被实例化为DUT，并被镜像为PCIe PIPE或串行接口另一端的测试平台参考BFM根据被选作PCIe端点或PCIe根端口的DUT配置，参考BFM被选作另一个。本节介绍PCIe Verilog交付测试平台支持的各种DUT、客户端接口和寄存器接口。

Verilog交付测试平台演示了：

* + DUT集成到测试台。
  + 枚举和枚举。
  + PCIe连接。
  + 加速运行。
  + 基本的交通场景。

| Verilog交付测试平台架构|**9**

AXI Master BFM

PCIe控制器

PCIe控制器

PCIe控制器

PCIe控制器



APB/AXI-

Lite Master BFM

AXI/HLS/CLS/HAL

主BFM

公羊

APB/AXI-

Lite Master BFM

AXI/HLS/CLS/HAL

主BFM

公羊

地址解码

PCIe PHY

DUT IOS

参考IOS

PCIe PHY

地址解码

PCIe控制器[n]

PCIe控制器[n]

IOS配置寄存器

IOS配置寄存器

图1：混合子系统测试台框图

 **注：**该图仅用于代表性目的，块根据所选配置适用。

### 测试台配置

测试台提供以下配置和操作模式：

* + 串行模式

在这种模式下，测试台实例化两个PCIe子系统，每个子系统具有在串行链路处连接的集成控制器和

### 客户端接口

Verilog BFM（*总线功能模型*）连接到DUT和Testbench参考BFM的应用级接口。HLS和CLS BFM连接到PCIe控制器的UART和UART客户端接口。HLS和AXI BFM连接到PCIe

Controller. 当DT配置需要时，测试台会实例化DUT SRAM模型，并将其连接到PCIe控制器的相关外部SRAM接口。

### 寄存器接口

测试台支持PCIe控制器的以下寄存器配置模式

* + 全境通告

APB BFM连接到PCIe子系统内PCIe控制器、PHY和配置寄存器的寄存器配置端口

章

# 3

## 入门

##### 主题：

* [安装测试台](#_bookmark10)
* [目录结构](#_bookmark11)

###### [测试流程](#_bookmark13)

| 入门|**12**

**安装测试台**

本节介绍如何安装和使用测试台。

测试台作为完整IP版本的一部分或TAR/GZIP格式的独立单个文件提供

* + 如果作为完整IP版本提供，请确保您遵循该版本提供的安装说明
  + 如果作为独立版本提供，请确保按照以下步骤将其安装到系统。
  + 如果您已要求使用其他介质进行装运，请确保按照介质标签上的说明进行要安装测试台，请执行以下步骤：
  1. cp CDNS\_PCIe\_B2B\_TB.tar.gz。

将CDNS\_PCIe\_B2B\_TB交付包文件复制到本地目录。

* 1. tar -zvxf CDNS\_PCIe\_B2B\_TB.tar.gz

打开存档。执行此命令后，您将拥有包含所有可交付件的Testbench目录

 **注：**测试平台需要在您的系统上安装Verilog模拟器，并且仅使用模拟器的子集进行了测试。

### 目录结构

[图2：Verilog交付testbench目录结构](#_bookmark12)第13页显示了testbench的目录结构

| 入门|**13**

CDNS\_PCIe\_B2B\_TB/

文件/

func\_ver/

理智/

vb2b/

vb2b\_customer\_release\_type>/Makefile

rtl.f

tb.f

vb2b\_task\_lib.hvb2b\_task\_lib\_reg.h vb2b\_tb.v

简体中文

测试/

probes.tclrun.tcl

test\_pcie\_sanity.v

HDL/

bfm/

apb轴cls

phy\_dpramram ram

xls

readme.txt

图2：Verilog交付测试平台目录结构

### 测试流程

测试是顶层模块，是测试平台的

该测试通过分层信号名称分配将静态配置输入配置到PCIe IP。寄存器编程和各种客户端接口传输通过抽象的测试平台任务调用执行

典型的测试流程是：

1. 设置静态配置值（速度、车道数）。
2. 通过寄存器接口BFM配置PHY。
3. 取消断言PIPE重置。
4. 等待PCIe链路进行训练。

PCIe测试流程

AXI

1. 通过AXI-Lite配置AXI边带区域并解决转换问题
2. 通过AXI向参考或DUT内核进行写或读操作来启动流量

测试台通过后续读取操作自检Memory、IO或Config写入操作的成功

CXL测试流程

CLS

1. 配置备用协议协商端口。
2. 配置CXL模式以在链路训练期间启用CXL模式
3. 一旦链路被训练到L0且至少为8 GT/s，HLS BFM发送CXL.io事务以枚举CXL设备并配置CXL操作
4. 然后激活CLS入站和出站接口，并且CLSBFM发送CXL.cache和CXL.xml消息。

章

# 4

## 应用层接口BFM

##### 主题：

* [CLS BFM](#_bookmark15)
* [AXI BFM](#_bookmark16)

| 应用层接口BFM|**16**

**CLS BFM**

CLS BFM在Tx侧生成并发送CXL消息，并从Rx侧接收CXL消息BFM的Tx侧执行以下功能以生成所有不同的CXL消息：

* + F\_GET\_CXL\_CACHE\_D2H\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA\_CHA
  + F\_GET\_CXL\_CACHE\_D2H\_RESP
  + F\_GET\_CXL\_CACHE\_D2H\_DATA
  + F\_GET\_CXL\_CACHE\_H2D\_CHA2
  + F\_GET\_CXL\_CACHE\_H2D\_RESP
  + F\_GET\_CXL\_CACHE\_H2D\_DATA
  + F\_GET\_CXL\_CACHE\_M2S\_STUDIO
  + F\_GET\_CXL\_CACHE\_M2S\_RWD
  + F\_GET\_CXL\_CACHE\_S2M\_NDR
  + F\_GET\_CXL\_CACHE\_S2M\_DRS

这些函数用于测试用例中，以生成可通过CLS接口发送至DUT的各种CXL消息生成消息后，Tx BFM执行以下任务来发送消息：

* + 设置\_包
  + 激活\_链接
  + 发送\_流量

Rx BFM执行任务以设置信用信息，使得其可以从DUT接收消息

POP\_MONITOR\_QUEUE任务存在于Tx和Rx BFM中，以分别获取发送和接收的数据，并检查两个数据是否匹配，因此，它用于检查测试用例的有效性

### AXI BFM

AXI事务是通过调用BFM中的一个任务来启动的，该任务具有所有必需的AXI参数。针对DUT和REF BFM以及读取和写入执行单独的任务：

* + RP\_REG\_WRITE
  + RP\_REG\_READ
  + EP\_REG\_WRITE
  + EP\_REG\_READT

testbench提供的示例测试使用了这些任务。传递给写入任务的参数为：

* + 阿维德
  + AWADDR
  + AWLEN
  + AWSIZE
  + WDATA-对于突发中的所有搏动
  + datasize -整数，表示WSTRB的字节数。写入任务返回的唯一参数是BUSER。

传递给读取任务的参数为：

* + 干旱
  + ARADDR
  + Arlen
  + ARSIZE

| 应用层接口BFM|**17**

读取任务返回的参数为：

* + RDATA-针对猝发中的所有搏动
  + RRESP -针对猝发

在BFM返回访问响应之前，该任务将消耗时间，因此会延迟测试序列的进度要发出多个访问，任务调用应该位于一个fork中。连接语句，以便第二个任务独立于第一个任务完成。

 **注：**AXI BFM直接连接到PCIe子系统。在测试平台中没有实现AXI地址解码。

章

# 5

## 寄存器接口BFM

##### 主题：

* [APB BFM](#_bookmark18)

**APB BFM**

APB事务是通过使用所有必需的APB参数调用BFM中的任务来启动的为写入传递的参数为：

* + PADDR
  + PWDATA-32位

写操作返回的参数为：

* + APB\_RESP\_OK

为读取传递的参数为：

* + PADDR

读取返回的参数为：

* + PRDATA-32位
  + APB\_RESP\_OK

PCIe子系统未返回PSLVERR。

针对DUT和REF BFM以及读取和写入执行单独的任务

* + REF\_APB\_WRITE
  + REF\_ APB\_READ
  + DUT\_ APB\_WRITE
  + DUT\_ APB\_WRITE

testbench提供的示例测试使用了这些任务。

APB没有单独的请求和响应事务，并且具有用于读取和写入的公共地址总线因此，在一个fork中为同一个APB BFM放置多个APB任务调用没有任何好处。join语句。

章

# 6

## SRAMs

##### 主题：

* [PCIe SRAM](#_bookmark20)
* [CXL静态存储器](#_bookmark22)

**PCIe SRAM**

#### AXI

AXI SRAM作为AXI从机连接到PCIe子系统的AXI主端口内部存储器是双端口的，因此可以同时执行读取和写入操作。

### CXL静态存储器

#### CLS

CXL SRAM用于DUT入站CXL. Cache和CXL.Cache事务层缓冲区。或者在可能需要重新发送事务的任何链路级错误的情况下用于使用的SRAM是双端口RAM。SRAM在CXL模式下用于以下缓冲器：

* 缓存请求缓冲区。
* 缓存响应缓冲区。
* 缓存数据-数据标头缓冲区。
* 内存请求响应缓冲区。
* 内存数据-数据头缓冲区。
* 缓存内存字节启用缓冲区。
* CXL缓冲液。

章

# 7

## 健全性测试实施

##### 主题：

* + [任务](#_bookmark25)
  + [健全测试](#_bookmark26)
  + [AXI的健全性测试实现](#_bookmark27)
  + [CXL的健全性测试实现](#_bookmark28)

###### [自检](#_bookmark29)

| 健全性测试实施|**24**

**任务**

testbench实现了示例测试使用的以下检查器任务：

* + - check\_brespond\_value
      * 接受单比特BRESP信号。
      * 如果不为零，则显示错误消息并设置失败标志。
    - 检查响应值
      * 接受多位RRESP信号。
      * 显示错误消息，如果任何位不为零，则设置失败标志

### 健全测试

健全性测试随Cadence PCIe Verilog交付测试台提供

目的：

验证PCIe控制器生成内存事务的能力

测试描述：

健全性测试表明：

1. 枚举和枚举。
2. PCIe连接。
3. 加速运行。
4. 基本交通场景。

### AXI的健全性测试实现

1. 通过设置ref\_mode\_select=1，将DUT捆绑为EP，将REF捆绑为RP列车连接Gen5。
2. 为配置和内存访问配置RP AXI区域
3. 为内存访问配置EP AXI区域。
4. 执行从RP到EP的配置写入和读取
5. 从RP向EP和EP向RP发送一些基本内存事务

### CXL的健全性测试实现

1. 将DUT捆扎为EP，将REF捆扎为RP。
2. 通过使用修改的TS 1和修改的TS 2驱动APN相关信号以使能CXL模式
3. 将CLS链接训练到Gen5
4. 激活Rx CLS链接并使用CLS Rx BFM中的任务设置可用CLS信用
5. 访问CLS Tx BFM中的功能以生成CXL消息，并使用CLS Tx BFM中的任务激活链路并发送CXL消息。
6. 将一些D2H和S2M事务从EP发送到RP。
7. 将一些H2D和M2S事务从RP发送到EP。

### 自检

1. 读写响应检查。

| 健全性测试实施|**25**

1. 在同一地址上，读事务跟随在写事务之后，并比较读数据

章

# 8

## 在独立软件包上进行仿真

##### 主题：

* + [运行测试台](#_bookmark31)
  + [测试完成状态通过/未通过](#_bookmark32)

###### [限制](#_bookmark33)

| 在独立软件包上进行仿真|**28**

**运行测试台**

本节介绍如何使用灵活的Makefile运行Cadence PCIe Verilog Delivery Testbench。对于独立的包交付，建议遵循此方法有关完整的IP包，请参阅*发行说明*。

 **注意：**假设Cadence Xcelium已经安装并设置了所有相关的环境变量，这些工具在您当前的shell中配置。

作为最低要求，“which xrun“命令必须返回所需Cadence® Xcelium™工具安装版本的有效路径。参考第6页的[模拟器和LRM兼容](#_bookmark2)性工具详细信息。

### 测试完成状态通过/未通过

Cadence PCIe Verilog Delivery Testbench使用自检机制来报告测试通过或失败。测试台在测试结束时以文本横幅的形式报告通过/失败状态这些横幅将作为一条显示消息打印，如下所示。

测试通过消息：

CADENCE PCIE VERLIVERY TESTBENCH：通过

测试失败消息：

CADENCE PCIE VERLIVERY TESTBENCH：失败

 **注：**其他错误类型（如断言错误或工具特定错误）不会报告为错误或致命类型。在这种情况下，建议使用此类错误的日志文件的grep在这种情况下，测试完成状态横幅可能不正确。

### 限制

Verilog Delivery Testbench架构的局限性是：

* + - AXI SRAM
      * SRAM用作入站内存和IO访问的目标设备这将完成所有访问：
        + 最小等待状态。
        + 没有重新排序。
        + 没有错误。

因此，PCIe核心将永远不会执行完成器中止或存储器或IO访问的无序完成

* + - * 不支持奇偶校验驱动逻辑。
    - AXI
      * 通过在链接伙伴处的出站AXI读取来发起AXI读取请求AXI没有用于读访问的字节选通，只提供传输中第一个字节的地址因此，在多节拍中，

| 在独立软件包上进行仿真|**29**

传送第二和后续节拍读取完整的数据条带。因此，在启动BFM时占用超过1个AXI条带的只读请求将始终为最终DWord断言所有字节选择

* + - * PCIe核心将入站读取请求拆分为多个AXI读取请求，并且当读取请求超过最大AXI突发大小时将数据作为拆分完成但是，内核将出站读取请求限制为满足PCIe最大读取请求大小的请求，并映射每个AXI读取

一个PCIe读请求。因此，所有PCIe读取请求都与单个AXI启动器读取请求兼容只有当启动器AXI宽度大于完成器AXI宽度时，才能进行拆分完成。

* + - * 因此，从PCIe控制器到测试台的AXI事务输出将接收低等待状态响应，并且将永远不会接收SLVERR或DECERR HRESP/BRESP状态。

章

# 9

## 更改日志

##### 主题：

* + [发布版本之间的差异](#_bookmark35)

**发布版本之间的差异**

下表显示了Cadence PCIe Verilog Delivery Testbench用户指南发布版本之间的差异

|  |  |  |
| --- | --- | --- |
| 版本 | 发布日期 | 评论 |
| 0.7 | 2020年8月31日 | 初始版本 |