# AER功能介绍

## 背景介绍

AER机制为PCIe系统提供了一种统一的和可扩展的错误管理机制，可以及时检测、报告和处理PCIe设备中发生的错误，提高系统的可靠性和可维护性。

### PCIe错误报告

PCIe总线Spec定义了两个错误报告等级。第一个为基本的（Baseline Capability），是所有PCIe设备都需要支持的功能。第二个是可选的，为高级错误报告（Advanced Error Reporting Capability）。

Baseline Error Reporting包括对传统错误报告的支持以及对报告PCIe错误的基本支持。所有设备都需要两套配置寄存器以支持Baseline Error Reporting，分别为：

* 兼容PCI总线的寄存器（PCI-Compatible Registers）：

这些寄存器与PCI使用的寄存器相同，为现有PCI兼容软件提供向后兼容性。为了实现这一点，PCIe错误被映射到PCI兼容错误，使其对传统软件可见。

* PCIe总线中新增的寄存器（PCI Express Capability Registers）

这些寄存器仅对了解PCIe的较新软件有用，但它们提供了更多专门针对PCIe软件的错误信息。

Advanced Error Reporting添加了一组新的配置寄存器，并跟踪发生了哪些错误、错误的严重程度等更多细节，在某些情况下，甚至可以记录导致错误的数据包的信息。这种可选的错误报告机制包括一组新的专用配置寄存器，这些寄存器为错误处理软件在诊断和恢复问题时提供了更多信息。AER寄存器被映射到扩展的配置空间中，并提供更多关于任何错误性质的信息。

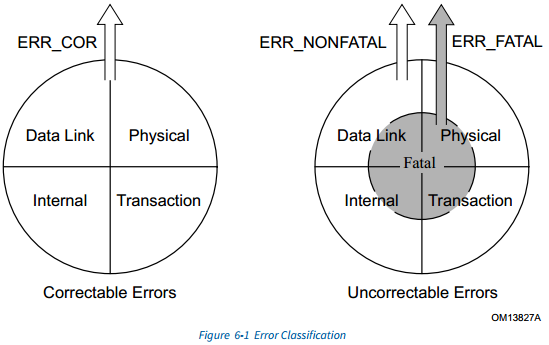
### 错误分类

PCIe的错误可以分成两类：不可修复错误（Uncorrectable errors）和可修复错误（Correctable errors），其中不可修复错误又可以细分为致命（Fatal）和非致命（Non-Fatal）两种。

可修复错误由硬件修复不需要软件参与，并且修复行为不会导致任何信息的丢失。软件可以记录错误发生的频率。

不可修复致命错误是链路或者硬件不可靠导致的，对于不可修复致命错误需要复位链路上的组件。不可修复致命错误，没有统一的修复方法，每家都有自己的处理方法。平台设计者需要根据硬件设计不同，PCIe器件承担的作用不同，业务流程不同进行不同的处理，原则上都需要复位链路上的组件。

不可修复非致命错误通常是事务层不可靠但是链路满足要求导致的。



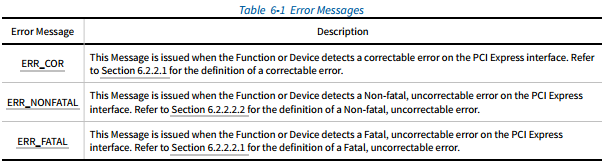
### 错误上报

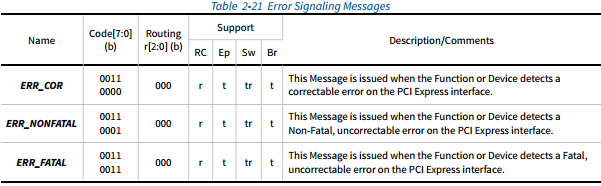
PCIe协议规定了3种错误上报机制从而向系统或其他设备发出错误发生的警报。第一种机制是通过完成状态（Completion Status），第二种是使用带内错误消息（in-band Error Messages），第三种是使用错误转发（Error Forwarding）（也称为数据中毒）。

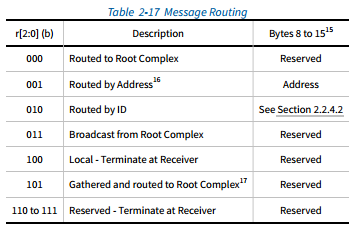
这里主要说明与AER相关的Error Messages。Error message起源于Root Port或者Root Port下面的设备，最终路由到对应的Root Port。

当设备出错时，设备会根据错误类型和severity来产生对应的error message，error message会路由到RC。如果Root Port支持AER（有AER响应的capability），RC从error message中提取Requester ID字段，并记录到Root Port的Error Source Identification寄存器中，这个BDF号就是出错的设备。不过很多时候这个BDF是捕获不到的，或者出现多个错误，RC只能提取第一错误的Requester ID。因此，需要driver遍历Root Port下的所有设备，检查哪些设备出现了错误。

下图为Error Messages对应的错误类型，其中ERR\_COR为可修复的错误，ERR\_NONFATAL为非致命错误，ERR\_FATAL为致命错误。







从表2-21对应可以看到，不同的错误类型对应不同的消息报文下的Message Code，并且结合表2-17可知，Error Message最终会路由到RC。表2-21中的Support一栏，RC代表Root Complex，Ep代表Endpoint，Sw代表Switch，Br代表PCI Express (primary) to PCI/PCI-X (secondary) 桥，r表示支持作为接收者（Receiver），t表示支持作为发送者（Transmitter）。

## AER机制及功能特性

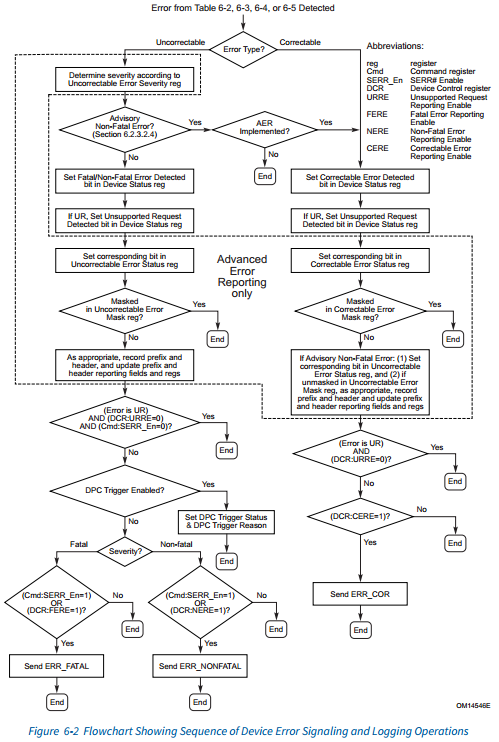
PCIe的AER（Advanced Error Reporting）机制是一种用于检测、报告和处理PCIe设备中发生的错误的高级错误报告机制。它提供了一种标准化的方法来报告和管理PCIe链路和设备的错误，以提高系统的可靠性和可维护性。下面是AER机制的主要特点和功能：

* 错误检测：AER机制通过监测PCIe链路和设备上的错误条件来进行错误检测。它可以检测到包括数据传输错误、CRC错误、重传超时、链路层错误等各种类型的错误。
* 错误报告：一旦检测到错误，AER机制会生成错误报告，其中包含了错误的详细信息，如错误类型、错误位置、错误状态等。错误报告通常以特定的格式被写入AER寄存器，供系统软件读取和处理。
* 错误通知：AER机制可以通过中断或其他机制向系统软件通知错误的发生。这使得系统能够及时获知错误并采取相应的处理措施。
* 错误处理：AER机制允许系统软件对错误进行处理和响应。根据错误的性质和严重程度，处理措施可以包括重传数据、重新配置设备、发起复位操作等。

AER机制的主要特性如下：

* 层次结构支持：AER机制可以在PCIe设备和系统的层次结构中进行错误报告和处理。错误可以从下层设备向上报告，直到达到RC。
* 可选性：AER机制是可选的，根据具体的实现和需求可以选择是否支持。如果支持AER，相关的设备和软件需要满足AER规范的要求。

下图是一个AER机制的流程图。



# AER Extended Capability

The PCI Express Advanced Error Reporting Capability is an optional Extended Capability that may be implemented by PCI Express device Functions supporting advanced error control and reporting. The Advanced Error Reporting Capability structure definition has additional interpretation for Root Ports and Root Complex Event Collectors; software must interpret the Device/Port Type field in the PCI Express Capabilities register to determine the availability of additional registers for Root Ports and Root Complex Event Collectors.

PCIe的 Advanced Error Reporting（AER）Capability是一种可选的扩展功能，可以通过支持高级错误控制和报告的PCIe设备功能来实现。Advanced Error Reporting能力结构定义对Root Ports和RC Event Collectors有额外的解释；软件必须解释PCIe Capabilities寄存器中的设备/端口类型字段，以确定Root Ports和RC Event Collectors的附加寄存器的可用性。

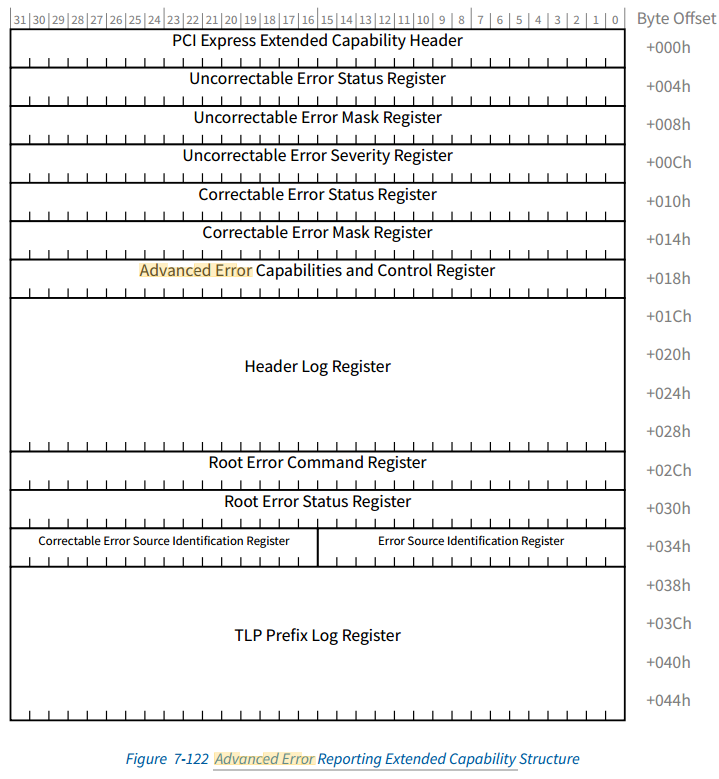
Note that if an error reporting bit field is marked as optional in the error registers, the bits must be implemented or not implemented as a group across the Status, Mask and Severity registers. In other words, a Function is required to implement the same error bit fields in corresponding Status, Mask and Severity registers. Bits corresponding to bit fields that are not implemented must be hardwired to 0, unless otherwise specified.

需要注意的是，如果错误报告位字段在错误寄存器中被标记为可选，则这些位必须在Status、Mask和Severity寄存器中作为一组可配置或不可配置。换句话说，一个Function需要在相应的Status、Mask和Severity寄存器中配置相同的错误位字段。除非另有说明，否则未实现的位字段对应的位必须硬连接为0。

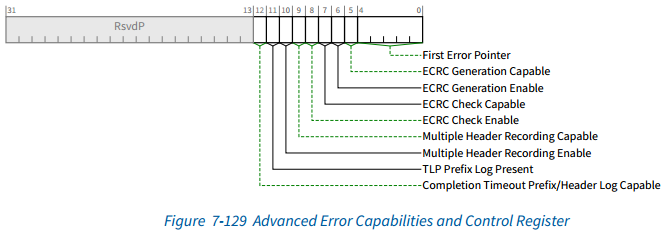
Except for Root Ports and Root Complex Event Collectors, if the End-End TLP Prefix Supported bit is Set, the Root Error Command and Error Source Identification Registers must be RsvdP and the Root Error Status Register must be RsvdZ.

除了Root Ports and RC Event Collectors，如果支持End-End TLP前缀位被置一，则Root Error Command和Error Source Identification寄存器必须为RsvdP，Root Error Status寄存器必须为RsvdZ。

下图为Advanced Error Reporting（AER）扩展能力结构图



## Advanced Error Capabilities and Control Register (Offset 018h)



Advanced Error Capabilities and Control Register中的ECRC Generation Capable、ECRC Check Capable、以及Multiple Header Recording Capable这些字段在switch\_core\_shell模块内通过switch\_core\_register\_top\_wrapper模块的k\_ecrc \_impl\_s和k\_aer\_multi\_header\_log\_s进行配置的，k\_ecrc \_impl\_s信号会循环赋值32次给k\_pexconf信号，而k\_aer\_multi\_header\_log\_s会将每bit对应赋值给k\_pexconf信号，k\_pexconf的位宽为32\*384 bit，k\_pexconf信号在hsio\_top\_pipe模块中按照32个port的顺序分别对应赋值给各自port下的k\_pexconf信号，每个port下的k\_pexconf位宽为384bit。Completion Timeout Prefix/Header Log Capable在225中没有被使用到。

其中k\_ecrc\_impl\_s是2bit信号，第0 bit为ECRC Generation Capable，表示是否支持ECRC生成；第1 bit为ECRC Check Capable，表示是否支持ECRC检查；k\_ecrc\_impl\_s是switch\_core\_register\_top\_wrapper模块的sw\_global\_cfg\_reg\_ rw\_ecrc\_o信号赋值过来的。k\_ecrc\_impl\_s信号在各个port的k\_pexconf信号的第193、194bit。

k\_aer\_multi\_header\_log\_s是一个32bit信号，并且同样这个信号来自于寄存器switch\_core\_register\_top\_wrapper模块的sw\_portx\_cfg\_reg\_rw\_aer\_o。这个信号会在k\_pexconf循环赋值时候将每bit的k\_aer\_multi\_header\_log\_s[i]对应赋值给k\_pexconf。k\_aer\_multi\_header\_log\_s信号在各个port的k\_pexconf信号的第171 bit。

另外switch\_core\_register\_top\_wrapper模块配置了一个k\_aer\_impl\_s信号，这个信号表示AER使能信号，在k\_pexconf的第191bit。这个信号会在pcie5\_errmgt模块中会赋值给k\_aer信号，k\_aer信号作为AER的使能信号，用来指示AER功能是否开启。

### ECRC Generation Capable（已实现）

If Set, this bit indicates that the Function is capable of generating ECRC。

如果该字段被设置，则表明该Function能够产生ECRC。

225已实现，前面配置的ECRC Generation Capable信号会拼接到k\_pexconf信号中，并传递到对应每个port下的pcie5\_trans模块中，再将信号k\_pexconf分别传递到pcie5\_mfconfctrl模块和pcie5\_txtl模块中，pcie5\_mfconfctrl模块中和ECRC Generation Capable相关的k\_pexconf信号会再传递给pcie5\_errmgt模块。

在pcie5\_errmgt模块中的1275行中，与ECRC Generation Capable对应的 k\_pexconf[`KPEXCONF\_AER\_ECRCGEN]信号会与其他信号进行拼接作为aer18的信号的一部分，aer18信号对应协议的Advanced Error Capabilities and Control Register，aer18信号和其他域段的AER寄存器信号进行拼接赋值给aer\_cap信号。k\_pexconf[`KPEXCONF\_AER\_ECRCGEN]信号只在pcie5\_errmgt模块和pcie5\_txtl模块中使用，该信号在pcie5\_errmgt模块与其他字段信号拼接赋值给aer\_cap信号输出出去后，没有再被其他模块使用。

k\_pexconf[`KPEXCONF\_AER\_ECRCGEN]信号在pcie5\_errmgt模块的1193行作为判断条件来决定ecrcgen\_en的赋值情况。当k\_pexconf[`KPEXCONF\_AER\_ ECRCGEN]=1’b0时，表示不支持ECRC生成，那么ecrcgen\_en信号也就会清零；否则当配置地址cfg\_addr=12’h218时，ecrcgen\_en由cfg\_wdata[6]赋值决定，这个cfg\_wdata是APB的配置信号过来的。ecrcgne\_en信号会同样拼接赋值到aer18信号中，ecrcgen\_en信号对应协议的ECRC Generation Enable字段，表示启用ECRC生成。

k\_pexconf[`KPEXCONF\_AER\_ECRCGEN]信号在pcie5\_txtl模块中也有使用到。在575行中，该信号取反后作为条件判断pcie5\_ecrc模块的同步复位信号ecrc\_srst拉高还是拉低，该同步复位信号是高有效。当k\_pexconf [`KPEXCONF\_AER\_ ECRCGEN]=1’b1时，ecrc\_srst拉低，表示与ECRC生成相关的信号不会清零。在711和712行中，该信号用作条件判断ECRC在TLP中的位置，由此决定信号tx\_ecrc\_pos拉高还是拉低，当k\_pexconf[`KPEXCONF\_AER\_ ECRCGEN]=1’b1时，并且ECRC在TLP对应位置的valid信号为低时候，tx\_ecrc\_pos拉高；否则tx\_ecrc\_pos拉低。在714行中，当k\_pexconf[`KPEXCONF\_AER\_ ECRCGEN]=1’b1并且tx\_ecrc\_pos的对应bit拉高，那么就会将新生成的ECRC插入到TLP中。

### ECRC Generation Enable（已实现）

When Set, ECRC generation is enabled.

Functions that do not implement the associated mechanism are permitted to hardwire this bit to 0b.Default value of this bit is 0b.

当该字段被设置，表示启用ECRC生成。

允许不实现相关机制的Function将此字段硬连接为0，该bit默认值为0b。

225已实现，该字段的配置实现过程在前面ECRC Generation Capable部分中已介绍，这里不在赘述。该字段对应pcie5\_errmgt模块中的ecrcgen\_en信号，位宽为1bit，并且ecrcgen\_en信号会和其他字段拼接赋值给aer18信号，然后aer18信号会和其他aer信号拼接后赋值给aer\_cap信号并输出到pcie5\_conf模块。

在pcie5\_conf模块中，aer\_cap信号会和其他capability信号拼接赋值给tl\_cfg\_regs信号并发送出去，在pcie5\_mfconfctrl模块的第387行会将ecrcgen\_en提取出来，并作为输出信号输出出去，输出的ecrcgen\_en信号会发送给pcie5\_txtl模块。在pcie5\_txtl模块中使用ecrcgen\_en信号作为断言条件，如果断言成功便会打印警告信息：“Application Transmitting TLP with TD=1 but ECRC generation is not enabled in any PF”（在任意PF中应用传输的TLP中带有TD=1，但是ECRC生成并没有使能）。

另外在pcie5\_conf模块中，会从aer\_cap信号提取出ecrcgen\_en赋值给信号tl\_pex\_enable[`PEXEN\_ECRCGEN\_EN]，tl\_pex\_enable信号的位宽为33bit。该信号会输入pcie5\_cfgrw模块，其ECRC Generation Enable相关的对应bit在第897、905-909、1172-1175行中被使用。在第897行中，tl\_pex\_enable[`PEXEN\_ ECRCGEN\_EN]信号用作判断条件，决定c2r\_valid信号的赋值情况；在第905-909行中，tl\_pex\_enable[`PEXEN\_ ECRCGEN\_EN]信号用作c2r\_pktd\_n的TLP报文的拼接和组装，该信号对应TLP的TD字段。在第1172-1175行中，tl\_pex\_enable [`PEXEN\_ ECRCGEN\_EN]信号拼接到c2t\_valid信号的第0 bit，用来表示是否要求txtl模块增加ECRC部分。

每个port下的pcie5\_errmgt模块输出aer\_cap信号后会赋值给tl\_cfg\_regs信号并继续向上传递，在hsio\_top\_pipe模块中会从每个port的tl\_cfg\_regs信号中提取出信号ecrc\_gen\_en[i]，该ecrc\_gen\_en信号为32bit，其中i对应于port口的顺序。提取出的ecrc\_gen\_en信号会用于decoder模块中使用。

ECRC Generation Enable字段只在上面描述的模块中使用，其他模块中没有使用到该字段信号。

### ECRC Check Capable（已实现）

If Set, this bit indicates that the Function is capable of checking ECRC.

如果该字段被设置，则表明该Function能够检查ECRC。

225已实现，ECRC Check Capable字段的信号和ECRC Generation Capable字段的信号一样，通过k\_pexconf信号从switch\_core\_shell模块传递到trans模块，然后再传递到pcie5\_ errmgt模块和rxtl下的pcie5\_rxvc模块。

在pcie5\_errmgt模块中第696行，k\_pexconf[`KPEXCONF\_AER\_ECRCCHK]信号用作Uncorrectable Error Status寄存器的ECRC Error Status字段的判断条件，当该信号k\_pexconf[`KPEXCONF\_AER\_ECRCCHK]=1’b0时，ecrc\_errunc信号拉低，否则在其他条件支持下ecrc\_errunc信号拉高。该部分逻辑表示如果不支持ECRC检查能力时候，Uncorrectable Error Status寄存器中的ECRC Error Status字段也不会被指示。

在pcie5\_errmgt模块，AER扩展能力下的Uncorrectable Error Mask寄存器的ECRC Error Mask字段（第895行）和Uncorrectable Error Severity寄存器的ECRC Error Severity字段（第982行），这些与ECRC检查能力相关的字段都需要ECRC Check Capable支持，即只有k\_pexconf[`KPEXCONF\_AER\_ECRCCHK]拉高，这些字段才会有效，否则就无效。

在pcie5\_errmgt模块的1198行中，k\_pexconf[`KPEXCONF\_AER\_ECRCCHK] =1’b0时，ecrcchk\_en信号拉低，否则cfg\_addr=12’h218时，将cfg\_wdata赋值给ecrcchk\_en。该部分逻辑表示在支持ECRC检查能力时候，才能决定是否启用ECRC检查；否则如果不支持ECRC检查能力，那么就不能启用ECRC检查。

k\_pexconf[`KPEXCONF\_AER\_ECRCCHK]信号会和其他字段信号拼接赋值给aer18信号，这个信号然后再和其他域段的AER寄存器信号拼接赋值给aer\_cap信号。aer\_cap信号在pcie5\_errmgt模块输出出去之后，ECRC Check Capable字段的部分没有再被其他模块所使用。

在pcie5\_rxvc模块中第1000行，k\_pexconf[`KPEXCONF\_AER\_ECRCCHK]用作同步复位信号，k\_pexconf[`KPEXCONF\_AER\_ECRCCHK]取反之后赋值给ecrc\_srst信号，然后ecrc\_srst信号会输入到pcie5\_ecrc模块，如果该信号拉高，则计算ECRC的相关信号都会清零。

在pcie5\_rxvc模块中第1075行，k\_pexconf[`KPEXCONF\_AER\_ECRCCHK]和TLP的TD字段、ECRC Check Enable用作条件，判断ecrc\_en\_p拉高还是拉低。当前面三个条件都有效时，ecrc\_en\_p拉高，否则拉低。因此ecrc\_en\_p信号拉高表示当前支持ECRC检查能力，并且TLP中有ECRC以及启用ECRC检查。ecrc\_en\_p信号在pcie5\_rxvc模块中用于判断ECRC检查结果的条件。

### ECRC Check Enable（已实现）

When Set, ECRC checking is enabled .

Functions that do not implement the associated mechanism are permitted to hardwire this bit to 0b.Default value of this bit is 0b.

如果该字段被设置，那么就会启用ECRC检查。

允许不实现相关机制的Function将此字段硬连接为0，该bit默认值为0b。

225已实现，该字段的配置实现过程在ECRC Check Capable中进行了介绍，该字段对应于pcie5\_errmgt模块的ecrcchk\_en信号，位宽为1bit，并且ecrcgen\_en信号会和其他字段拼接赋值给aer18信号，然后aer18信号会和其他aer信号拼接后赋值给aer\_cap信号并输出到pcie5\_conf模块。

在pcie5\_conf模块中，aer\_cap信号会赋值给tl\_cfg\_regs信号并输出到pcie5\_ mfconfctrl模块。在pcie5\_mfconfctrl模块提取出ecrc\_chk\_en信号并输出出去，ecrc\_chk\_en信号的位宽由参数G\_NUM\_FUNC决定，而当前参数设置为1，因此ecrc\_chk\_en位宽为1 bit。ecrc\_chk\_en信号会传递到rxtl模块下的pcie5\_rxvc模块中。该ecrc\_chk\_en信号在pcie5\_rxvc模块经过按位或操作之后，作为ecrc\_chk\_en\_r的判断条件。只要ecrc\_chk\_en中有一个bit为1，则ecrc\_chk\_en\_r就会拉高。ecrc\_chk\_en\_r在该模块中第1003行会用作ECRC计算使能的条件，第1075行用作ecrc\_en\_p的判断条件以及第1421行ecrc\_chk\_f的判断条件。

另外在pcie5\_conf模块中，aer\_cap信号将ECRC Check Enable字段赋值给tl\_pex\_enable[`PEXEN\_ECRCCHK\_EN]，该信号会输入给pcie5\_cfgrw模块和pcie5\_errmgt模块。在pcie5\_cfgrw模块第259行中，该信号用作req\_msg信号的判断条件，req\_msg是message报文的请求信号。在pcie5\_errmgt模块第2011行，tl\_pex\_enable[`PEXEN\_ECRCCHK\_EN]作为一个判断条件决定errc\_select、errc\_app、errc\_rx\_tlp的赋值情况。errc\_select用于决定发生错误的优先级；errc\_app是用来表示错误是否来自application；errc\_rx\_tlp用来指示该错误来自接收到的TLP。在pcie5\_errmgt模块第2088、2091以及2094行，tl\_pex\_enable [`PEXEN\_ECRCCHK\_EN]用作错误消息标志信号rx\_msgerr[ERRM\_FAT]、rx\_msgerr[ERRM\_NFT]、rx\_msgerr[ERRM\_COR]的判断条件，当tlp\_chk[` TLPCHK\_ERR\_ECRC]=0或者tl\_pex\_enable [`PEXEN\_ECRCCHK\_EN]=0，即接收到的TLP报文没有ECRC错误或不支持ECRC检查时，如果接收到的消息报文中message code对应于相应的错误类型，rx\_msgerr对应的错误类型指示位拉高。

### Multiple Header Recording Capable（已实现）

If Set, this bit indicates that the Function is capable of recording more than one error header.

如果该字段被设置，则表明该Function能够记录更多的错误头。

225已实现，Multiple Header Recording Capable字段表示是否支持记录多个错误头，该字段对应k\_pexconf [`KPEXCONF\_AER\_MULTHDR]信号，并且该信号对应switch\_core\_shell模块下的k\_aer\_multi\_header\_log\_s[i]，其中i对应每个port口。

在pcie5\_errmgt模块1140行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]用作hdrlogovf\_mskcor信号的判断条件，该信号为AER扩展能力结构下Correctable Error Mask寄存器的Header Log Overflow Mask。当k\_pexconf[`KPEXCONF\_AER \_MULTHDR]=1’b0，则hdrlogovf\_mskcor=1’b0，表示如果不支持Multiple Header Recording Capable，那么Header Log Overflow Mask是始终不支持配置的。否则当cfg\_addr=12’h214，那么就将cfg\_wdata[15]赋值给hdrlogovf\_mskcor。

在pcie5\_errmgt模块1203行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]用作multhdr\_en信号的判断条件，multhdr\_en信号为Advanced Error Capabilities and Control寄存器的Multiple Header Recording Enable，表示启用记录多个错误头。当k\_pexconf[`KPEXCONF\_AER\_MULTHDR]=1’b0，则multhdr\_en=1’b0，表示如果不支持Multiple Header Recording Capable，那么就无法启用Multiple Header Recording，也就是Multiple Header Recording Enable始终置0。否则当cfg\_addr= 12’h218，那么就将cfg\_wdata[10]赋值给multhdr\_en。

在pcie5\_errmgt模块1263行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]和multhdr\_en信号进行与操作之后赋值给multhdr\_ok信号，表示当前是否支持并启用了记录多个错误头功能。该multhdr\_ok信号在Uncorrectable Error Status寄存器中每个定义的bit中用作判断条件，当multhdr\_ok置1时，其对应的不可修复错误的状态位才能拉高。

在pcie5\_errmgt模块1272行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]和其他字段的信号拼接后赋值给aer18信号，aer18信号和其他aer寄存器拼接后赋值给aer\_cap信号并输出出去。该字段Multiple Timeout Prefix/Header Log Capable没有在其他模块中被使用。

### Multiple Header Recording Enable（已实现）

When Set, this bit enables the Function to record more than one error header.

Functions that do not implement the associated mechanism are permitted to hardwire this bit to 0b. Default value of this bit is 0b.

当该字段被设置时，表明其允许Function记录多个错误头。

允许不实现相关机制的Function将此字段硬连接为0，该bit默认值为0b。

225已实现，Multiple Header Recording Enable字段对应multhdr\_en信号，该信号的实现在前面Multiple Header Recording Capable部分进行介绍描述，这里不再赘述。

在pcie5\_errmgt模块1263行，k\_pexconf[`KPEXCONF\_AER\_MULTHDR]和multhdr\_en信号进行与操作之后赋值给multhdr\_ok信号，表示当前是否支持并启用了记录多个错误头功能。该multhdr\_ok信号在Uncorrectable Error Status寄存器中每个定义的bit中用作判断条件，当multhdr\_ok置1并且第一错误指针（First Error Pointer）指向该状态位时，其对应的不可修复错误的状态位才能拉高。

在pcie5\_errmgt模块1273行，multhdr\_en信号和其他字段信号拼接后赋值给aer18信号，aer18信号在和其他寄存器拼接后赋值给aer\_cap信号并输出出去。该字段在其他模块中没有被使用。

### Completion Timeout Prefix/Header Log Capable（未使用）

If Set, this bit indicates that the Function records the prefix/header of Request TLPs that experience a Completion Timeout error.

如果该字段被设置，表示该功能记录发生完成超时错误的请求TLPs的前缀/报头

225已实现未使用，该字段在pcie5\_errmgt模块中对应k\_pexconf [`KPEXCONF\_COMP\_LOG]信号，该信号为k\_pexconf信号的第192bit，并且k\_pexconf信号是从switch\_core\_shell模块中传递下来，而在switch\_core\_shell模块中k\_pexconf的第192bit是通过k\_pexconf\_wiz[192]赋值，但是该bit信号是始终tie 0的，也就表明Completion Timeout Prefix/Header Log Capable并没有配置。

在pcie5\_errmgt模块中第1301行，k\_pexconf[`KPEXCONF\_COMP\_LOG]信号会赋值给log\_capable信号，表示是否支持记录Completion Timeout的TLP报头/前缀，只有当log\_capable置1，才能将TLP的包头记录更新到报头记录寄存器（Header Log Register）以及TLP前缀记录寄存器（TLP Prefix Log Register）。

在pcie5\_errmgt模块中第1272行，k\_pexconf[`KPEXCONF\_COMP\_LOG]信号于其他字段信号拼接赋值给aer18信号，aer18信号然后和其他AER寄存器拼接后赋值给aer\_cap信号并输出出去。该字段在输出出去之后没有被其他模块所使用。