

基于 ZYNQ 的千兆以太网接口读出模块 ZYNQBee 的研制及应用

薛涛^{1,2} 朱劲夫^{1,2} 龚光华^{1,2} 韦亮军³ 罗洋^{1,2} 李荐民^{1,2}

1 (粒子技术与辐射成像教育部重点实验室(清华大学) 北京 100084)

2 (清华大学 工程物理系 北京 100084)

3 (同方威视技术股份有限公司 北京 100083)

摘要 ZYNQ 是集成了现场可编程阵列(Field-Programmable Gate Array, FPGA)和高性能双核 ARM Cortex-A9 处理器的全新架构的 SoC (System On Chip)。核电子学领域的读出方式,从传统的“处理器+FPGA”的双芯片解决方案到目前的 ZYNQ 单芯片解决方案,不仅有效地减小读出电子学硬件的尺寸和功耗,而且极大地提高 FPGA 和处理器之间的有效带宽,为整个读出电子学带来了新的发展。介绍了基于 ZYNQ XC7Z010 单芯片读出模块的研制细节,包括新架构和传统架构的对比,新架构硬件设计细节、难点及性能,其中涉及 DDR3 (Double Data Rate 3) SDRAM (Synchronous Dynamic Random Access Memory)布线的关键问题、千兆以太网接口以及嵌入式 Linux 的移植等。最后,介绍 ZYNQBee 在中国暗物质实验(China Dark matter EXperiment, CDEX)高纯锗探测器数据采集板卡上的应用,测试表明:以太网口的数据读出平均带宽超过了 $700 \text{ Mb} \cdot \text{s}^{-1}$ 。

关键词 ZYNQ XC7Z010, 千兆以太网, 嵌入式 Linux, ZYNQBee, 中国暗物质实验

中图分类号 TL82

DOI: 10.11889/j.0253-3219.2018.hjs.41.050403

Design and application of readout module ZYNQBee with Gigabit Ethernet interface based on ZYNQ

XUE Tao^{1,2} ZHU Jinfu^{1,2} GONG Guanghua^{1,2} WEI Liangjun³ LUO Yang^{1,2} LI Jianmin^{1,2}

1(Key Laboratory of Particle & Radiation Imaging (Tsinghua University), Ministry of Education, Beijing 100084, China)

2(Department of Engineering Physics, Tsinghua University, Beijing 100084, China)

3(Nuctech Company Limited, Beijing 100083, China)

Abstract [Background] Traditional nuclear electronics readout system, like “FPGA+ARM” combination, can not meet requirements of physical experiments in light of the physical size and power consumption. ZYNQ is a new all programmable SoC (System On Chip) architecture of field-programmable gate array (FPGA) with dual-core high performance ARM Cortex-A9 processors from Xilinx. [Purpose] This study aims to develop a ZYNQ based readout module called ZYNQBee, which has lower profile, lower power and higher bandwidth performance between ARM and FPGA. [Methods] The ZYNQ XC7Z010 is employed as the kernel chip to build the ZYNQBee system by overcoming difficulties of hardware and software design including DDR3 (Double Data Rate 3) SDRAM (Synchronous Dynamic Random Access Memory) layout, interface of Gigabit Ethernet, transplant of Embedded Linux and so on. [Results] ZYNQBee has been used as nuclear electronics readout module of the high pure

第一作者: 薛涛, 男, 1978 年出生, 2008 年于清华大学获博士学位, 研究领域为核电子学

通信作者: 朱劲夫, E-mail: zhujf16@mails.tsinghua.edu.cn

收稿日期: 2017-04-13, 修回日期: 2017-07-25

First author: XUE Tao, male, born in 1978, graduated from Tsinghua University with a doctoral degree in 2008, focusing on nuclear electronics

Corresponding author: ZHU Jinfu, E-mail: zhujf16@mails.tsinghua.edu.cn

Received date: 2017-04-13, revised date: 2017-07-25

Germanium (HPGe) detector system in CDEX (China Dark matter EXperiment), and it is tested to have more than $700 \text{ Mb}\cdot\text{s}^{-1}$ Ethernet throughput on average. [Conclusion] ZYNQBee performs better than traditional designs, provides more powerful design flexibilities and functionalities.

Key words ZYNQ XC7Z010, Gigabit Ethernet, Embedded Linux, ZYNQBee, CDEX

核电子学是不同于通讯、工业自动化和消费等普通电子学的一个特殊领域。核电子学主要面向的前端是探测器和前置放大器, 主要处理的信号大多数是普通领域不会涉及的信号, 比如极弱小的电流信号 (fA 量级)、极快的光电倍增管输出脉冲信号 (ns 量级) 等。核电子学的通道数会随着探测器的规模快速增加, 成百上千甚至上万通道的数据采集系统十分常见。例如, 目前在建的中国锦屏地下实验室二期(China Jinping Underground Laboratory-II, CJPL-II)工程, 将实现中国暗物质实验(China Dark matter EXperiment, CDEX-1T)的实验目标^[1], 即采用吨量级高纯锗探测器阵列对暗物质进行直接探测, 每个探测器 (约 1 kg 质量, 共约 1000 个探测器单元) 输出有 4 个慢信号和一个快信号。大型强子对撞机夸克实验 (Large Hadron Collider beauty, LHCb), 拥有 4500 t 的探测器、上万通道的前端电子学和两级触发系统, 其前端电子学的数据带宽高达 $40 \text{ TB}\cdot\text{s}^{-1}$ ^[2]。因此, 数据读出作为核电子学领域的一个基本环节, 对读出性能和带宽有较高的要求。

数据读出的接口有很多, 比如常见的 USB (Universal Serial Bus)接口、RS232 接口、光纤接口、以太网接口等。近年来以太网接口越来越受到核电子学领域科研工作者的青睐, 特别是在大型分布式网络中。主要的原因在于以太网接口对于各种 PC (Personal Computer)端的操作系统, 有成熟的接口驱动和编程, 并且有商用的交换机网络和非屏蔽双绞线以及光纤等多种物理链路, 能较好地满足分布式网络数据获取系统的需求。在传统数据读出模块的基础上, 基于 Xilinx 公司的新型架构的 Zynq-7000 All Programmable SoC, 我们研制了新型读出模块 ZYNQBee。

1 ZYNQBee 硬件设计

1.1 ZYNQ 与传统 FPGA+处理器的对比

ZYNQ 系列是近几年 Xilinx 推出的集成 7 系列现场可编程阵列(Field-Programmable Gate Array, FPGA)和双核处理器的混合架构的芯片, 其内部实现了高性能、高带宽的 PS (Processor System)与 PL (Programmable Logic)的互联, 包括两路 32 位 AXI (Advanced eXtensible Interface)从设备接口, 两路 32

位 AXI 主设备接口 (称为通用用途接口, General Purpose Ports), 4 路 64 位可配置带 1 KB 缓存的高速 AXI 从设备接口 (称为高性能用途接口, High Performance Purpose Ports), 以及 1 路 64 位 AXI ACP 接口 (称为加速器一致性接口, Accelerator Coherency Port) 等^[3]。此外, ZYNQ 具有丰富的外围接口, 例如双千兆网络接口、USB、SD 存储卡等, 可以运行嵌入式 Linux 以及 uCOS 等 RTOS, 并且 Xilinx 提供了一体化的开发应用环境 Vivado 以及 wiki 网络开放资源来支持开源开发。

最小封装和逻辑容量的 ZYNQ 系列芯片为 XC7Z010 CLG-225, 其 FPGA 部分采用 Artix-7 架构的 7 系列 FPGA, 内部包含了至少约 28 K 的可配置逻辑模块(Configurable Logic Block, CLB), 其处理器部分为双核的 ARM Cortex-A9 32 位处理器, 最少可以运行在 667 MHz, 最高可以达到 1 GHz。作为对比, 目前常使用 Xilinx 公司的 Spartan-6 系列中的 XC6SLX25 这款 FPGA, 其内部资源有 24 K 逻辑单元。常用的比如 Freescale 公司的 MPC5200B, 是单核的 PowerPC 32 位处理器, 它运行在 400 MHz。而最小的 ZYNQ 处理器是 CLG225 封装, 芯片的大小是 $13 \text{ mm}\times 13 \text{ mm}$, 相比其他芯片要小很多。表 1 比较了上述三种芯片的性能和尺寸。

表 1 ZYNQ 与传统 FPGA 及处理器芯片的比较
Table 1 Comparison of ZYNQ with traditional FPGA and the processor

| 芯片 Chip | ZYNQ XC7Z010 CLG-225 | Spartan-6 XC6SLX25 FT(G)-256 | PowerPC MPC5200B TEPBGA-272 |
|----------------------------|-------------------------------------|-------------------------------------|-------------------------------------|
| 可配置逻辑 模块 Logic (CLB) | 28 K | 24 K | — |
| 尺寸 Size | $13 \text{ mm}\times 13 \text{ mm}$ | $17 \text{ mm}\times 17 \text{ mm}$ | $27 \text{ mm}\times 27 \text{ mm}$ |
| 速度 Processor Speed | 667 MHz | — | 400 MHz |
| 处理器 Processor | Dual ARM Cortex-A9 | — | PowerPC |

1.2 ZYNQBee 模块设计及挑战

ZYNQBee 是基于 ZYNQ 的具有千兆以太网接口的读出模块, 其包含了 XC7Z010-CLG225 的 ZYNQ 芯片、16 位数据总线宽度、256 M 容量的

DDR3 (Double Data Rate 3) SDRAM (Synchronous Dynamic Random Access Memory)、千兆以太网的 PHY 以及 QSPI 接口的 NOR Flash 芯片。图 1 是 ZYNQBee 读出模块的实物照片, 整个 ZYNQBee 模块的大小是 $56\text{ mm} \times 42\text{ mm}$, 约是名片大小的一半。图 2 是 ZYNQBee 读出模块的结构框图。

目前的 ZYNQBee 模块是基于 ZYNQ 系列的 XC7Z010-CLG225 芯片设计的, 主要目的是在较小的尺寸下设计出高性能(具有千兆以太网接口)的读出模块。

在电源设计方面, XC7Z010 需要 1.0 V 作为内核电压, 同时需要 1.8 V 作为输入/输出(Input/Output)驱动和模拟部分的电源。如果使用 DDR3 SDRAM, 还需要 1.5 V 的 DDR3 SDRAM 电源。每路电源电流的大小可以在 Xilinx 公司的 Vivado 开发软件中估算。

在实际模块设计中, 使用了 TI 公司的 TPS62130RGT^[4]作为电压调节器, 它可以在 $3 \sim 17\text{ V}$ 的输入范围内提供 ZYNQBee 模块需要的 3.3 V 、 1.8 V 、 1.5 V 及 1.0 V 电源, 并且输出电流高达 3 A , 另外 TPS62130RGT 本身尺寸只有 $3\text{ mm} \times 3\text{ mm}$, 配合 Vishay 公司的高性能超小尺寸的 IHL1212 系列功率电感, 可以在很小的尺寸内提供 3 A 的电流。此外, 使用了 TI 公司的 TPS51206^[5]来产生 DDR3 SDRAM 需要的 0.75 V 终端电压和 0.75 V 参考电压。

读出模块硬件设计的挑战包括 DDR3 SDRAM 接口。DDR3 SDRAM 选用 SAMSUNG 公司的 K4B2G1646C-HCK0^[6]。该 DDR3 芯片属于 SAMSUNG 第四代 DDR 产品, 具有 2 Gbit 的存储空间, 最高支持 800 MHz 的物理时钟, 即 $1600\text{ Mb} \cdot \text{s}^{-1}$ 的 DDR 数据率。每片芯片内部共有 16 个 bank, 每个 bank 有 128 Mb 的存储空间, 使用 96ball 的 FBGA (Fine-Pitch Ball Grid Array)封装, 易于扩展。XC7Z010 的 DDR3 接口可以高达 533 MHz , 考虑到 DDR 接口的特性, 其实接口速度已经达到了 1066 MHz , 每个数据读取的窗口约为 1 ns 。因此, DDR3 SDRAM 接口的 PCB 布线非常关键, ZYNQ 系列的 DDR3 接口需要 40Ω 阻抗匹配, 同时, 每个数据线组, 比如 $D0 \sim D7$ 以及 $DQS0_P$ 、 $DQS0_N$ 、 $DQM0$; $D8 \sim D15$ 以及 $DQS1_P$ 、 $DQS1_N$ 、 $DQM1$ 在组内应该控制等长, 误差限在 0.127 mm 内。

千兆以太网接口使用 Marvell 公司的 RGMII (Reduced Gigabit Media Independent Interface)接口的物理层芯片 88E1512, 最大的好处是这颗 PHY (Physical Layer)芯片和 XC7Z010 使用同样的电源,

也需要 1.0 V 、 1.8 V 和 3.3 V , 可以降低电源的设计难度。另外这颗 PHY 芯片不但能使用非屏蔽双绞线接口, 也能支持光纤接口, 非常灵活, 图 3 是 PHY 芯片的接口原理图。

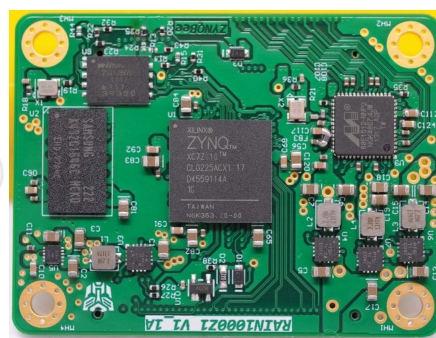


图 1 ZYNQBee 读出模块的实物照片
Fig.1 Picture of ZYNQBee readout module

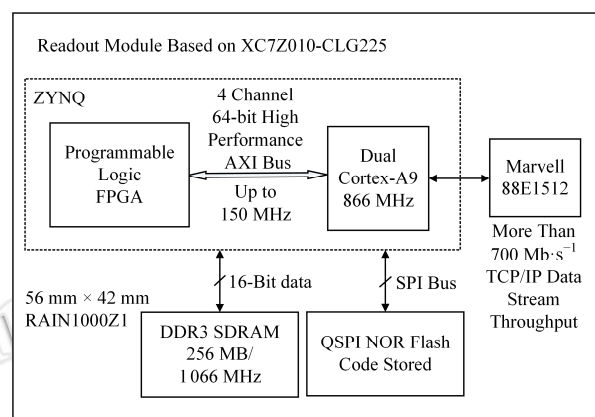


图 2 ZYNQBee 读出模块的结构框图
Fig.2 Block diagram of ZYNQBee readout module

2 ZYNQBee 的软件设计

ZYNQBee 模块的启动过程较为复杂, 主要是涉及内部的 ARM 处理器和 FPGA 的启动过程^[7]。在 ZYNQ 系列处理器内部, 有一块固化的 BootROM, 上电复位以后, ZYNQ 处理器先执行 BootROM 内部的固化代码、初始化必须的时钟和 IO 接口, 同时根据某些配置 IO 的上拉与下拉状态, 来选择进一步加载启动代码的设备, 包括 QSPI、SD 卡、NAND Flash、NOR Flash 或者 JTAG。

存储在启动介质中的启动镜像, 被 BootROM 加载到内部 RAM 或者 DDR3 SDRAM 中运行, 这个启动镜像被称为 FSBL (First Stage Boot Loader)。整个 FSBL 可以在 Xilinx 公司的 Vivado SDK 下编译修改, 用户可以根据自己的需求做修正和定制。FSBL 启动以后, 就会从启动介质读取 SSBL (Second Stage Boot Loader), 而 SSBL 可以是 u-boot

等通用的开源 bootloader, 下面的开发环节与其他嵌入式系统的开发没有太大区别。

ZYNQ 系统是集成了处理器内核和 FPGA 的 SoC, 那么整个软件的开发就包含基于 C 语言的程序开发和基于 VHDL/Verilog 语言的逻辑开发, 整个设计流程图如图 4 所示。首先需要在 Vivado 环境下配置 PS 的参数, 以 IP Block 的方式进行开发、设计或者构建各个功能模块, 先后通过仿真验证、综合、布线, 最终生成 Bitstream 文件。其次, 将生成的文件和相关配置信息导入 SDK 中。

当涉及嵌入式 Linux 开发时, 可在交叉编译环境下编译或创建 u-boot、uImage (Linux 镜像文件)

以及 uRamDisk (Linux 文件系统), 并在 SDK 下创建 FSBL、DeviceTree 文件, 最终创建 BOOT.bin 文件, 可通过 JTAG 烧录至 QSPI FLASH 中。也可以在 SDK 下先进行 Program FPGA 操作, 再通过 JTAG 加载 BOOT.bin, 启动 u-boot。在 u-boot 下, 对 QSPI FLASH 可进行擦写操作。启动嵌入式 Linux 以后, 用户可以使用 NFS (Network File System) 以及交叉编译环境来调试应用程序。

当不涉及操作系统开发时, 此时的开发方式和实现功能相对简单。在 SDK 下创建和开发用户的应用程序, 并创建 FSBL 文件, 最终创建得到 BOOT.bin 文件。

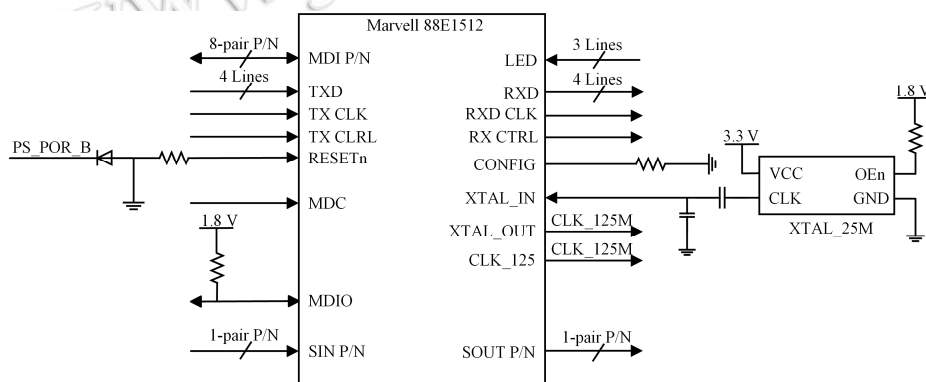


图 3 以太网接口原理图
Fig.3 Schematic of gigabit Ethernet interface

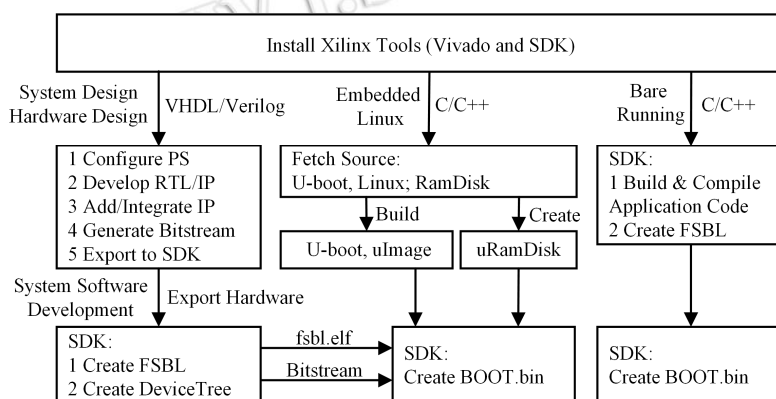


图 4 ZYNQ 的开发流程图
Fig.4 Flow chart of ZYNQ development

3 ZYNQBee 在 CDEX 高纯锗探测器数据采集系统中的应用

CDEX 是国内完全自主的暗物质直接探测实验, 计划利用吨量级的点电极高纯锗探测器开展暗物质直接探测和无中微子双 β 衰变的实验研究^[8]。

图 5 为目前 CDEX 电子学系统的基本框图。CDEX 电子学包括前端电子学、触发系统和数据采

集系统三部分^[9]。前端电子学主要为前置放大器和成形电路; 触发系统包括触发和时钟分布系统; 数据采集系统包括数据读出电子学、慢控制电子学以及相关的数据服务、存储、通信、显示和人机接口等。数据采集系统板卡 RAIN4HPGe (Data Acquisition System, DAQ) 设计的 8 通道 14 bit 100 MHz 高速 ADC 和 2 通道 12 bit 2 GHz 高速 ADC 用于波形采样, Kintex-7 系列的 FPGA 用于快速模

数转换器(Fast Analogue Digital Converter, FADC)数据的获取,与 Kintex-7 FPGA 相连接的 4 片 256 MB DDR3 SDRAM 用于数据的高速缓存^[10]。在触发信号下, Kintex-7 FPGA 将数据传送给 ZYNQBee 模块,经 ZYNQBee 的 FPGA 设计和嵌入式 Linux 的开发,实现了将板卡中 ADC 采集的数据最终经千兆以太网口传输至虚拟机服务器,实物图如图 6 所示。

下面具体介绍 ZYNQBee 上的设计过程。

首先,需要实现的是 DAQ 与 ZYNQBee 的数据传输。在 DAQ 设计中,将 Kintex-7 FPGA 中的 12 对支持 LVDS (Low Voltage Differential Signaling)标准的引脚(其中包括 3 对时钟引脚)通过差分线与 ZYNQBee 的底板插槽相连接。设计中采取了类似 ADC 接口的时钟、使能和数据的形式实现数据传输。设计有 1 对 100 MHz 差分时钟线、1 bit 控制线和 16 bit 的数据线。时钟线选择了 LVDS25 电平标准,其余选择了 LVCMOS25 的电平标准。

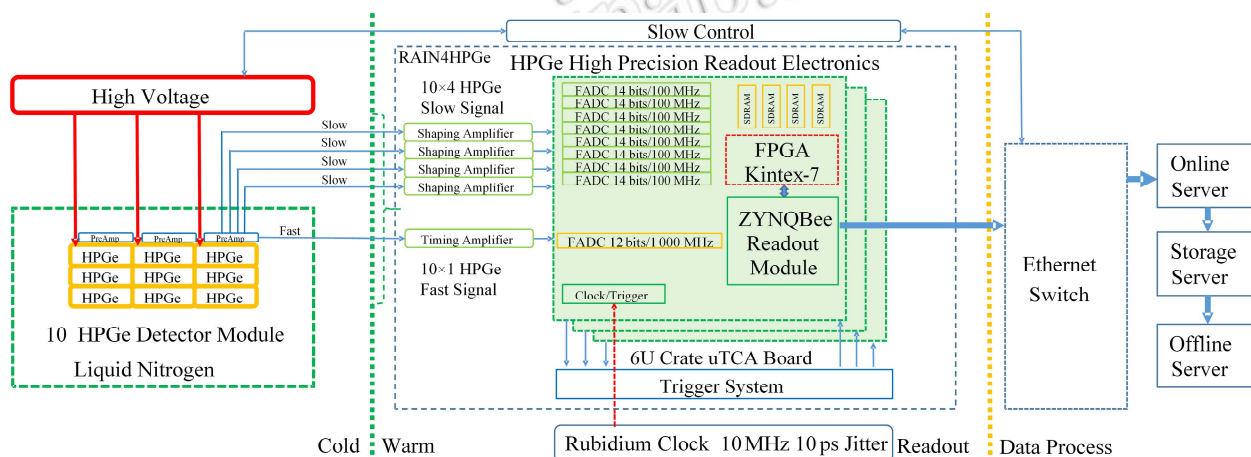


图 5 CDEX 电子学系统的基本框图
Fig.5 Block diagram of CDEX electronic system

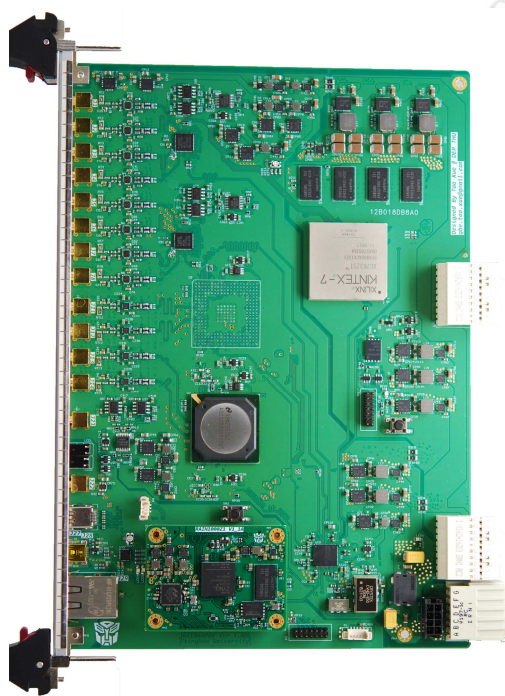


图 6 数据采集系统板卡的实物照片
Fig.6 Picture of DAQ

其次,在 Vivado 下配置 PS 的时钟、DDR SDRAM、UART 等外设接口,通过 PL 设计,实现数据的 FIFO 缓存,数据写入双口 Block RAM 以及

通过 DMA 接口将数据由 Block RAM 传输至 ZYNQBee 读出模块外部的 DDR3 SDRAM 中。经设计、优化后,最终生成 Bitstream 文件。将其导出至 SDK 中,通过创建工程和板级支持包分别得到 FSBL 文件和 DeviceTree 配置文件。在虚拟机 ubuntu 下建立交叉编译环境,将 DeviceTree 配置文件编译生成二进制文件,同时创建和编译嵌入式 Linux 开发所需的 u-boot 等文件。整个 ZYNQBee 模块运行 u-boot 2014.01 版本以及嵌入式 Linux 3.13.0 版本。

最后,通过 C/C++开发嵌入式 Linux 程序,其包括 TCP/IP 客户端的建立、CDMA (Central Direct Memory Access)的寄存器配置等。设计中采取连续触发模式,将数据通过 DMA 接口缓存到外部的 DDR3 SDRAM 中,整个过程不再需要 CPU 的参与。同时通过 C/C++开发 ubuntu 下的应用程序,基本功能包括 TCP/IP 服务器端的建立、数据的存储及显示等。服务器与客户端之间采用 TCP/IP socket 通讯,其开发简洁,有成熟的函数接口可供调用。

设计框图如图 7 所示,图中使用虚线箭头表示数据流向。

实验中,我们测试了 FADC 的有效位数以及千兆以太网的平均速度等。我们选用 Tektronix AFG3252C 型号的信号发生器,其 DAC 精度为

14 bit $5 V_{p-p}$ 令其产生 1 MHz $1 V_{p-p}$ 的正弦波, 测试 DAQ 上 100 MHz 14 bit AD9253 的有效位数 (Effective Number of Bits, ENOB)。Ubuntu 服务器将每次接收到的 64 KB 数据 (共 32 768 个 ADC 数据) 写入文件并保存。我们选用了 ADI 公司的 VisualAnalog 计算得到信噪比 61.92 dB, 最终计算得到 ADC 的有效位数约为 $(61.92 - 1.763) / 6.02 = 10$ bit。图 8 是根据 FADC 采集到的数据, 通过快速傅氏变换 (Fast Fourier Transformation, FFT) 绘制而成的频谱图。表 2 为计算得到的 ADC 常见参数。

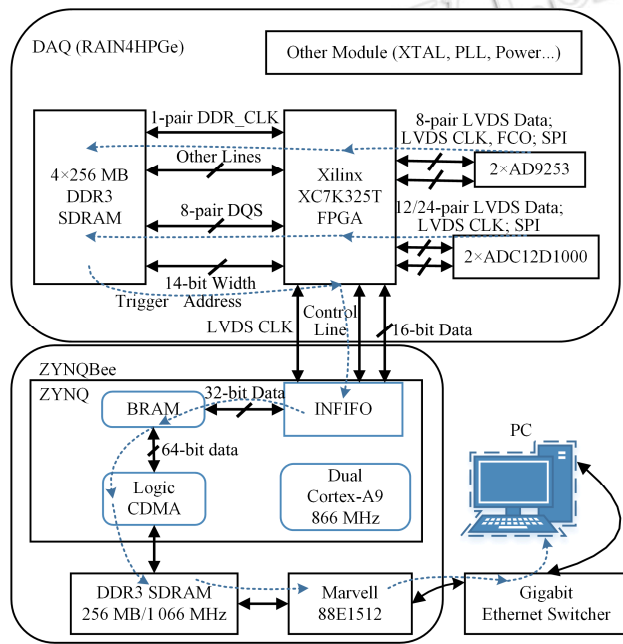


图 7 ZYNQ 在 DAQ 模块应用框图
Fig.7 Block diagram of ZYNQBee used in DAQ

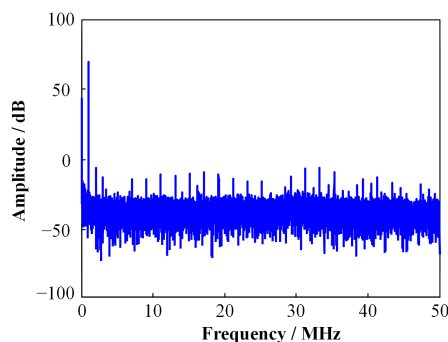


图 8 1 MHz $1 V_{p-p}$ 正弦波测试 AD9253 的频谱
Fig.8 Spectrum of AD9253 sampling 1 MHz $1 V_{p-p}$ sine wave

此外, 为了测试千兆以太网的平均速度, 我们使用 iperf3 网络带宽性能测试工具。实验中, 令虚拟机 ubuntu 作为主机, ZYNQBee 作为客户端, 并将二者通过千兆以太网交换机接入至同一局域网中, 在 iperf3 的普通测试模式下, 得到了 ZYNQBee

千兆以太网口的数据传输速率随不同 TCP 窗口大小的变化曲线, 如图 9 所示。当 TCP 窗口大小约在 64 KB 以上时, 千兆以太网数据传输的平均速率超过了 $700 \text{ Mb} \cdot \text{s}^{-1}$ 。

表 2 AD9253 的参数测试结果
Table 2 Test result of AD9253's parameters

| | |
|--|-------------|
| 测试频率 Sample frequency | 100 MHz |
| 测试数 Samples | 32 768 |
| 信噪比 Signal-noise ratio (SNR) | 61.92 dB |
| 有效位数 ENOB | 10 bit |
| 满量程信噪比 | -10.627 dB |
| Signal-noise ratio full scale (SNRFS) | |
| 信纳比 Signal-to-noise and distortion ratio (SINAD) | 61.662 dBc |
| 基频 Fund frequency | 1.008 MHz |
| 总谐波失真 | -74.048 dBc |
| Total harmonic distortion (THD) | |
| 无杂散动态范围 | 74.862 dBc |
| Spurious free dynamic range (SFDR) | |

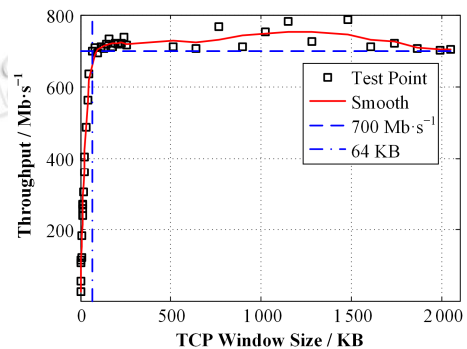


图 9 千兆以太网的带宽测试
Fig.9 Test of Gigabit Ethernet bandwidth

4 结语

1) ZYNQ 实现了 FPGA (PL) 和处理器 (PS) 间的高带宽数据传输。一般来讲, FPGA 和处理器可以通过 Local Bus 或者 PCI Bus 来进行数据交换, 但是带宽都不是很理想, 常见的 Local Bus 是 32 位宽度、60 MHz 的时钟速度。而 ZYNQ 内部的处理器和 FPGA 逻辑单元之间有 4 路固定的高性能高带宽支持 DMA 的数据通道, 可以达到 64 位宽度及超过 150 MHz 时钟速度, 即达到 $1.2 \text{ GB} \cdot \text{s}^{-1}$ 的带宽, 并且每个通道拥有 1 KB 的 FIFO, 极大地提高了处理器和 FPGA 之间数据交换的速度, 使得数据交换不再成为瓶颈。

2) 整个 ZYNQBee 模块具有很好的适用性。系统的 FPGA 引出了约 27 对高速差分的 LVDS 信号, 可以达到 $1\,250\text{ Mb}\cdot\text{s}^{-1}$ 的 DDR 接口速度, 可以非常方便与高速 ADC、DAC 芯片接口。

3) 新型架构的 ZYNQBee 读出模块使得核电子学读出系统的带宽和性能达到了一个新的高度, 大大减小了核心尺寸和功耗, 提高了读出性能, 可以广泛应用在核电子学数据获取系统中的读出单元。初步测试下, TCP 窗口大小在 64 KB 以上时, 千兆以太网的平均速度可以达到 $700\text{ Mb}\cdot\text{s}^{-1}$ 以上。ZYNQBee 已成功地应用于 CDEX 电子学系统的读出, 同时为系统 ADC 的性能测试提供了便利。

参考文献

- 1 刘书魁, 岳骞. 直接探测暗物质和中国暗物质实验[J]. 物理, 2015, **44**(11): 722–733. DOI: 10.7693/wl20151103. LIU Shukui, YUE Qian. Dark matter direct detection and China dark matter experiment[J]. Physics, 2015, **44**(11): 722–733. DOI: 10.7693/wl20151103.
- 2 Dufey J P, Frank M, Harris F, *et al.* The LHCb trigger and data acquisition system[J]. IEEE Transactions on Nuclear Science, 2000, **47**(2): 86–90. DOI: 10.1109/23.846123.
- 3 Zynq-7000 all programmable SoC overview (DS190)[EB/OL]. 2015-3-1. https://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf.
- 4 TPS6213x 3-V to 17-V, 3-A step-down converter in 3x3 QFN package[EB/OL]. 2015-3-2. <http://www.ti.com/lit/ds/symlink/tps62130.pdf>.
- 5 TPS51206 2-A peak sink / source DDR termination regulator with VTTREF buffered reference for DDR2, DDR3, DDR3L, and DDR4[EB/OL]. 2015-3-3. <http://www.ti.com/lit/ds/symlink/tps51206.pdf>.
- 6 Product guide of consumer memory[EB/OL]. 2015-3-2. http://www.samsung.com/global/business/semiconductor/file/product/consumer_product_guide_nov_12-0.pdf.
- 7 Overview of the Xilinx Zynq UltraScale+ MPSoC & Zynq-7000 AP SoC design flow[EB/OL]. 2015-3-3. <http://www.wiki.xilinx.com/Getting+Started>.
- 8 岳骞. 高纯锗探测器在粒子物理与天体物理中的应用[J]. 中国科学: 物理 力学 天文学, 2011, **41**(12): 1434–1440. DOI: 10.1360/132011-965. YUE Qian. The application of high purity germanium detector in particle and astroparticle physics[J]. Science China Physics, Mechanics & Astronomy, 2011, **41**(12): 1434–1440. DOI: 10.1360/132011-965.
- 9 Kang K J, Cheng J P, Li J, *et al.* Introduction to the CDEX experiment[J]. Frontiers of Physics, 2013, **8**(4): 412–437. DOI: 10.1007/s11467-013-0349-1.
- 10 Xue T, Gong G, Li J. Combo FADC readout system with 8-channel 14-Bit 100 MHz FADC and 2-channel 12-Bit 2 GHz FADC for HPGe detector[C]. IEEE Nuclear Science Symposium and Medical Imaging Conference, San Diego, California, US, 2015.