

# IP\_SCC カートリッジインターフェース部

IP\_SCC は、別 IP である IP\_MSXBUS からの信号で制御する。



高速クロックが入っており、enable 信号 = H のタイミングのみ動作する。  
enable 信号は、21.47727MHz のタイミングで入れる。

高速クロックが、FPGA内全体のクロックであり、そのクロックと同期動作をするために、別クロックでは無く enable を使う。