Ausbildungsbetrieb



BITLC Business IT Learning Center GmbH Im Defdahl 10 G 44141 Dortmund Prüfling

Burcu Arik Ötztalerstraße 10 44339 Dortmund

Prüflingsnummer: 1138074

Praktikumsbetrieb



QUENDRO GmbH Gröpperstr. 5 58454 Witten



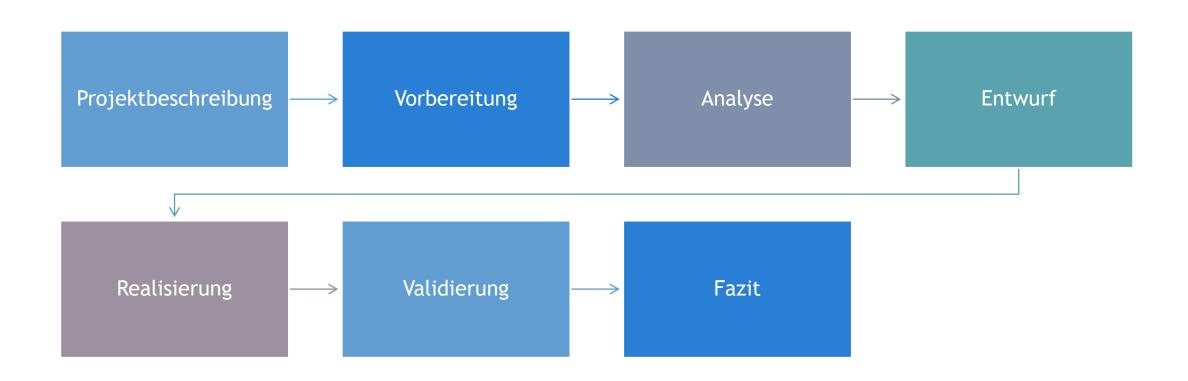


Zu meiner Person

- Burcu Arik, 36
- Aus der Türkei/Wohnsitz Dortmund
- Seit 2018 in Deutschland
- Verheiratet
- Englischlehrerin
- Umschulung zum Fachinformatiker als Anwendungsentwicklung in BITLC GmbH
- Quendro GmbH



AGENDA

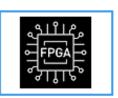


Technologies





















Gegründet 2022



Sitz in Witten



Start-Up/1 Mitarbeiter/Geschäftsführer



Software(C, C++), FPGA(Field Programmable Gate Array) und Electronic HW development.



Weiterbildungen im Bereich Software und Hardware Development

PROJEKT























Was ist ein FPGA?

Anpassbare Chips, programmierbar für spezifische Logikfunktionen

Nach der Herstellung konfiguriert werden

Ideal für Prototyping und maßgeschneiderte Hardware

Einsatz in Automobiltechnik, Luft- und Raumfahrt, Militär, Robotik und Datenzentren

IoT-Integration

Dynamische Umgebungen



PROJEKT







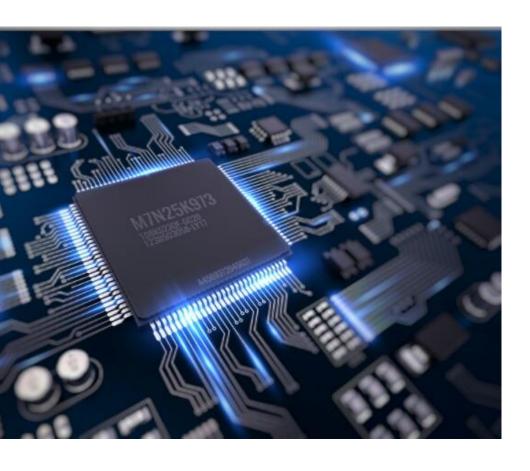








PROJEKTBESCHREIBUNG





Automatisierung der FPGA-Test Bench-Erstellung



Beschleunigung des Testverfahrens



Reduktion der Entwicklungszeit



Effizienz- und Produktivitätssteigerung

PROJEKT



















BEGRÜNDUNG DES PROJEKTS

Automatisierung

Zeitersparnis

Kosteneffizienz

PROJEKT













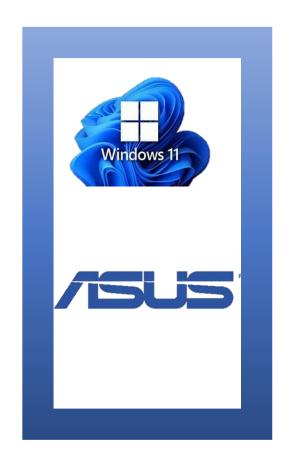






-

RESSOURCEN







VORBEREITUNG













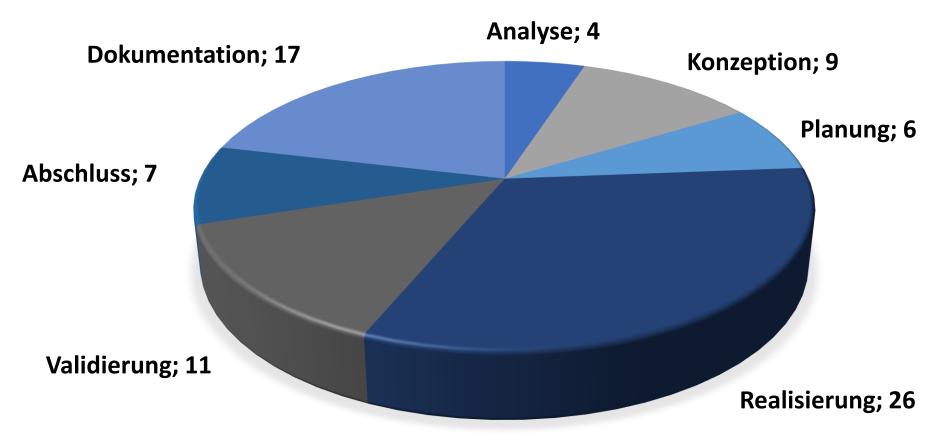








ZEITPLANUNG



80 STUNDEN

VORBEREITUNG









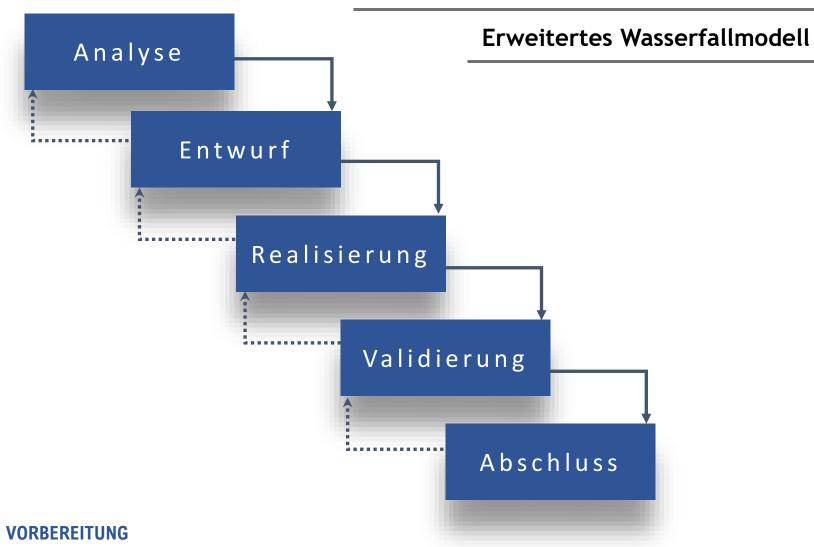






9

VORGEHENSMODELL















IST-ANALYSE

Zeitaufwendig bei logischen Fehlern

früher in Excel, ineffizient und fehleranfällig

Zusätzlicher Arbeitsaufwand

ANALYSE











SOLL-KONZEPT

Automatisierte Testlösung

Fehlerreduktion

Effizienzsteigerung

Zeitersparnis

ANALYSE

















PROJEKTKOSTEN

Personalkosten

Entwicklungskosten, Hilfestellung, Aufsicht bei Projektplanung und Rückfragen, Abnahme, Dokumentation

1320,00€

Sachmittelkosten

Material, Energie, Büroraum, Arbeitsmaterialkosten und Software

146,00€

Gesamtkosten

1466,00€

ANALYSE









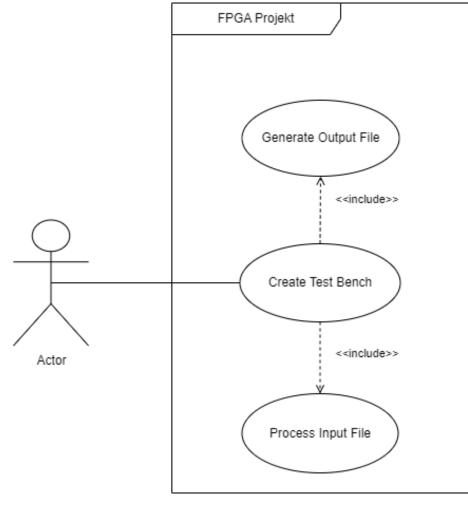








ANWENDUNGSFALL-DIAGRAM



ENTWURF



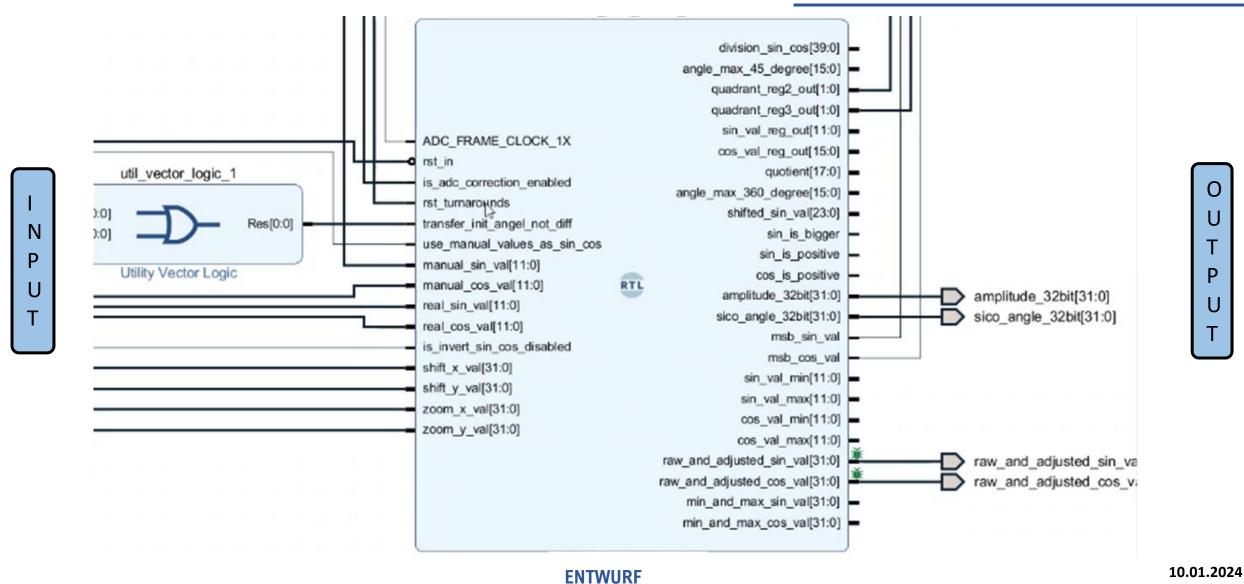








FPGA Modul





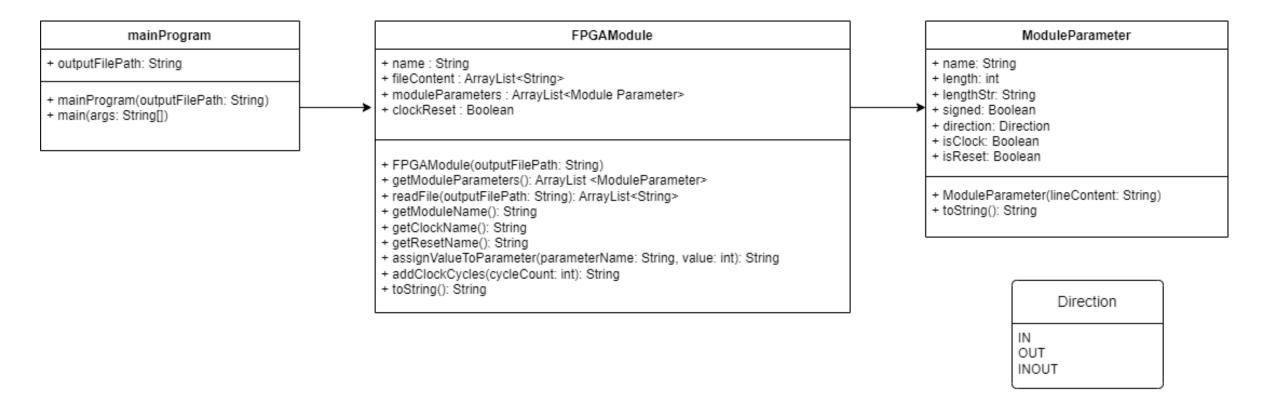








Klassendiagramm







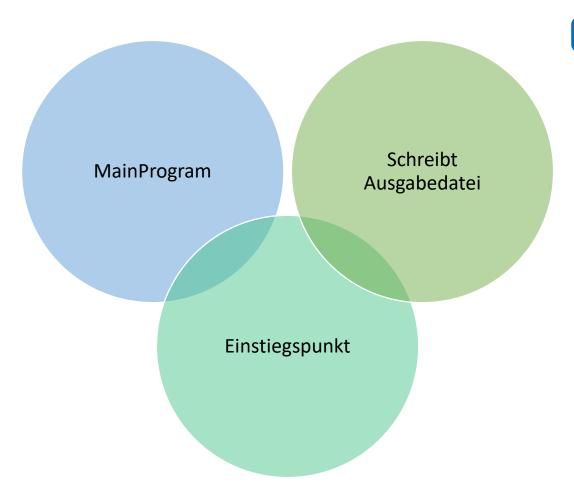








Implementierung der Geschäftslogik - mainProgram



```
mainProgram.java
                     FPGAModule.java
                                           ModuleParameter.java

≡ get_abs_pos.

     import java.io.FileNotFoundException;
     import java.io.PrintWriter;
     import java.nio.file.Paths;
     import java.util.ArrayList;
     import java.util.Scanner;
     public class mainProgram {
         public static void main(String[] args) throws FileNotFoundException { /
             if (args.length != 1) {
10
                 System.out.println("Usage: java mainProgram <outputFilePath>");
11
12
                 return;
13
14
             String outputFilePath = args[0];
15
16
17
             FPGAModule fpgaModule = new FPGAModule(outputFilePath);
18
             System.out.println(fpgaModule);
19
             try(PrintWriter out = new PrintWriter("./demo_test.v")){
20
                 out.println(fpgaModule);
21
22
23
24
```

REALISIERUNG















Implementierung der Geschäftslogik - Klasse FPGAModule

```
mainProgram.java

☐ FPGAModule.java ×
                                      ModuleParameter.java
                                                        get_abs_pos_state_machi
                                                                                public FPGAModule(String outputFilePath) {
     public class FPGAModule {
11
                                                                                      fileContent = readFile(outputFilePath);
         String name;
 14
         ArrayList<String> fileContent;
                                                                                      name = getModuleName();
         ArrayList<ModuleParameter> moduleParameters;
         Boolean clockReset;
 18
         public FPGAModule(String outputFilePath) {
                                                                                                        Liest den Dateiinhalt
            fileContent = readFile(outputFilePath);
 19
            name = getModuleName();
            moduleParameters = getModuleParameters();
         public ArrayList<ModuleParameter> getModuleParameters() {
            moduleParameters = new ArrayList<>();
            boolean insideDeclarations = false;
 28
                                                                                public ArrayList<ModuleParameter> getModuleParameters()
            for (String lineContent : fileContent) {
               if (lineContent.contains(")")) {
                                                                                      moduleParameters = new ArrayList<>();
                   insideDeclarations = false;
                                                                                      boolean insideDeclarations = false;
               if (lineContent.startsWith("input")
                      || lineContent.startsWith("output")
                      || lineContent.startsWith("inout")) {
                                                                                                    Modulparameter zu extrahieren
                   ModuleParameter moduleParameter = new ModuleParameter(lineContent);
 38
 39
                   moduleParameters.add(moduleParameter);
                                                                                               REALISIERUNG
```















Implementierung der Geschäftslogik - Klasse FPGAModule

INPUT

```
module get abs pos state machine (
    input wire clk,
    input wire rst,
    input wire init state machine,
    input wire hls done,
    input wire hls ready,
    input wire [31:0] axis1 hw counter,
    input wire [31:0] axis1 set position part1,
    input wire [31:0] axis1 set position part2,
    input wire [31:0] axis1 counts per m,
    input wire [31:0] axis2 hw counter,
    input wire [31:0] axis2 set position part1,
    input wire [31:0] axis2 set position part2,
    input wire [31:0] axis2 counts per m,
    input wire [63:0] selected axis hls calculated abs pos,
    output reg
                      start hls calculations, //start absolut
    output reg [2:0] state,
    output reg [31:0] selected axis hw counter,
    output reg [31:0] selected axis set position part1,
    output reg [31:0] selected axis set position part2,
    output reg [31:0] selected axis counts per m,
    output reg [63:0] axis1 hls calculated abs pos,
    output reg [63:0] axis2 hls calculated abs pos
```

OUTPUT

```
module tb get abs pos state machine;
reg clk;
reg rst;
reg init state machine;
reg hls done;
reg hls ready;
reg [31:0] axis1 hw counter;
reg [31:0] axis1 set position part1;
reg [31:0] axis1 set position part2;
reg [31:0] axis1 counts per m;
reg [31:0] axis2 hw counter;
reg [31:0] axis2 set position part1;
reg [31:0] axis2 set position part2;
reg [31:0] axis2 counts per m;
reg [63:0] selected axis hls calculated abs pos;
wire start hls calculations;
wire [2:0] state;
wire [31:0] selected axis hw counter;
wire [31:0] selected axis set position part1;
wire [31:0] selected axis set position part2;
wire [31:0] selected axis counts per m;
wire [63:0] axis1 hls calculated abs pos;
wire [63:0] axis2 hls calculated abs pos;
get abs pos state machine ttb get abs pos state machine
```

REALISIERUNG

















Implementierung der Geschäftslogik – Klasse ModuleParameter

```
FPGAModule.java
                                         ModuleParameter.java
                                                                 get_abs_pos_state_mach
mainProgram.java
     public class ModuleParameter {
         enum Direction {
             IN,
             OUT,
             INOUT
                                                                                                           enum Direction {
14
         String name;
         int length;
         String lengthStr = "";
                                                                                                                    IN,
         boolean signed = false;
         Direction direction; //it can be one of in, out, inout
18
                                                                                                                    OUT,
19
         boolean isClock;
         boolean isReset;
                                                                                                                    INOUT
         public ModuleParameter(String lineContent) {
             //remove comment part of the line
24
             if (lineContent.contains("//")) {
                 int beginIndex = lineContent.indexOf("//");
                lineContent = lineContent.substring(0, beginIndex);
28
29
             //if we split line content, then last part is name of parameter
             String[] splittedLineContent = lineContent.split(" ");
31
             name = splittedLineContent[splittedLineContent.length - 1].replace(",", "");
             if (lineContent.contains("input")) {
                 direction = Direction.IN;
             } else if (lineContent.contains("output")) {
                 direction = Direction.OUT;
             } else if (lineContent.contains("inout")) {
38
                 direction = Direction.INOUT;
                                                                                        REALISIERUNG
```





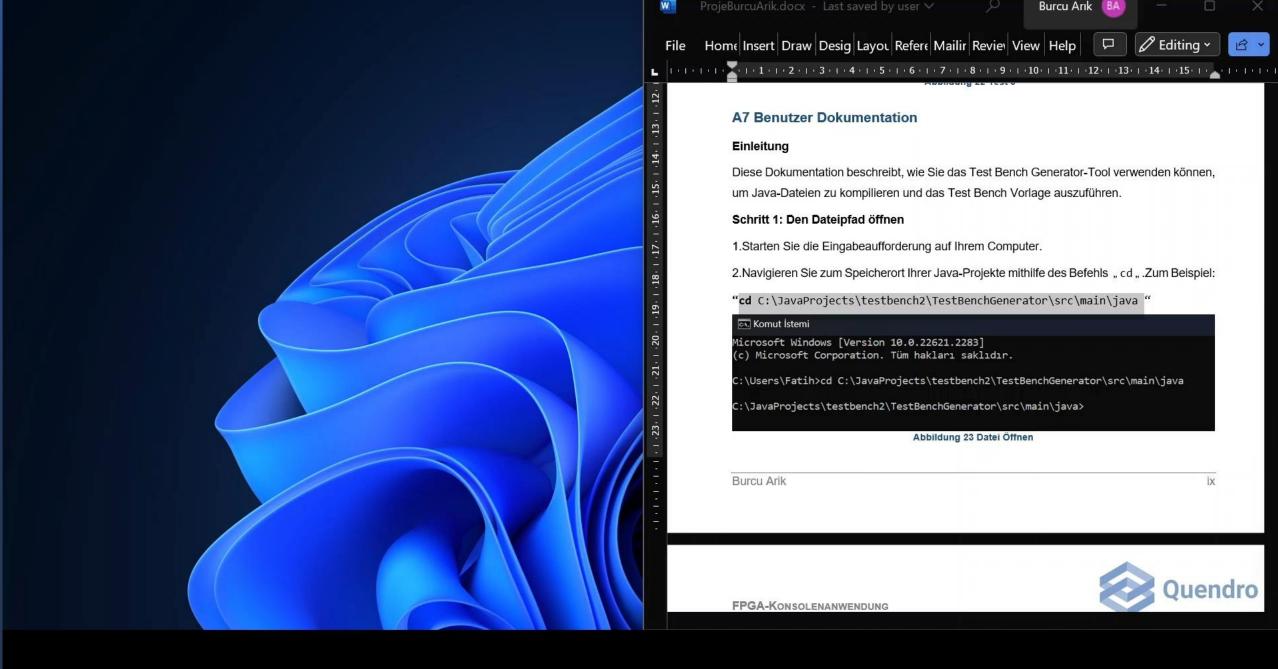












A7 Benutzer Dokumentation

Einleitung

Diese Dokumentation beschreibt, wie Sie das Test Bench Generator-Tool verwenden können, um Java-Dateien zu kompilieren und das Test Bench Vorlage auszuführen.

Burcu Arık BA

Editing

Schritt 1: Den Dateipfad öffnen

- 1.Starten Sie die Eingabeaufforderung auf Ihrem Computer.
- 2. Navigieren Sie zum Speicherort Ihrer Java-Projekte mithilfe des Befehls "cd.". Zum Beispiel:

"cd C:\JavaProjects\testbench2\TestBenchGenerator\src\main\java "

M. Komut İstemi

Microsoft Windows [Version 10.0.22621.2283]

(c) Microsoft Corporation. Tüm hakları saklıdır.

C:\Users\Fatih>cd C:\JavaProjects\testbench2\TestBenchGenerator\src\main\java

C:\JavaProjects\testbench2\TestBenchGenerator\src\main\java>

Abbildung 23 Datei Öffnen

Burcu Arik



FPGA-KONSOLENANWENDUNG

TESTPHASE

```
module get_abs_pos_state_machine(
       input wire clk.
       input wire rst,
       input wire init state machine,
       input wire hls done.
       input wire hls ready.
       input wire [31:0] axis1_hw_counter,
       input wire [31:0] axis1_set_position_part1,
       input wire [31:0] axis1_set_position_part2,
       input wire [31:0] axis1_counts_per_m,
       input wire [31:0] axis2 hw counter,
       input wire [31:0] axis2_set_position_part1,
       input wire [31:0] axis2_set_position_part2,
        input wire [31:0] axis2 counts per m.
       input wire [63:0] selected axis hls calculated abs pos,
                                  start hls calculations, //start absolute pos. calcul
       output reg
       output reg [2:0] state,
       output reg [31:0] selected_axis_hw_counter,
       output reg [31:0] selected_axis_set_position_part1,
       output reg [31:0] selected_axis_set_position_part2,
       output reg [31:0] selected axis counts per m,
       output reg [63:0] axis1_hls_calculated_abs_pos,
       output reg [63:0] axis2 hls calculated abs pos
);
        reg [2:0] prev_state;
```

```
module tb get abs pos state machine;
reg clk;
reg rst;
reg init state machine;
reg hls_done;
reg hls_ready;
reg [31:0] axis1_hw_counter;
reg [31:0] axis1 set position part1;
reg [31:0] axis1_set_position_part2;
reg [31:0] axis1_counts_per_m;
reg [31:0] axis2 hw counter;
reg [31:0] axis2 set position part1;
reg [31:0] axis2_set_position_part2;
reg [31:0] axis2_counts_per_m;
reg [63:0] selected axis hls calculated abs pos;
wire start hls calculations;
wire [2:0] state;
wire [31:0] selected axis hw counter;
wire [31:0] selected_axis_set_position_part1;
wire [31:0] selected_axis_set_position_part2;
wire [31:0] selected axis counts per m;
wire [63:0] axis1_hls_calculated_abs_pos;
wire [63:0] axis2_hls_calculated_abs_pos;
get_abs_pos_state_machine ttb_get_abs_pos_state_machine
        .clk(clk).
```

VALIDIERUNG















SOLL/- IST-VERGLEICH

Projektphase	Geplant	Tatsächlich	Differenz
Analyse	4h	4h	0h
Konzeption	9h	9h	0h
Planung	6h	6h	0h
Realisierung	26h	26h	0h
Validierung	11h	10h	-1h
Abschluss	7h	7h	0h
Dokumentation	17h	18h	+1h
Gesamtsumme	80h	80h	0h

FAZIT













FAZIT

ZUKUNFT

Projektphasen waren erfolgreich

Lauffähiges Programm

Vorgaben erfüllt

Programm genutzt werden



Lernfähigkeit















