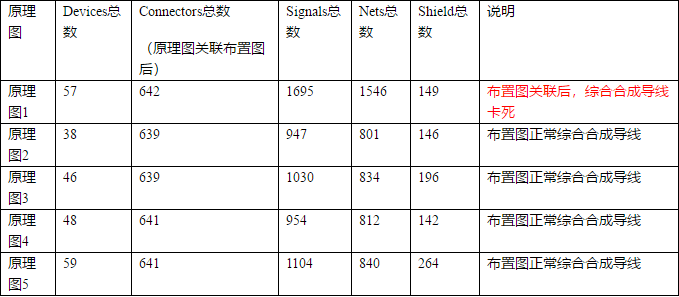
通卫同步卡死问题按照最短路径处理说明文档

# 问题背景

测试数据一（5张原理图）测试结果如下：



结果分析：

1. 原理图1综合合成失败，初步分析可能跟该张图纸的规模有关系，有1695个信号，比其他四张图纸规模都要大不少；

2. 其中原理图2和原理图3，关联布置图，进行综合导线合成，在Capital2014.1版本正常，但是在Capital2014.1.SP1610.27版本，以及Capital2016.1版本测试，综合导线合成时，均有部分导线合成不成功。

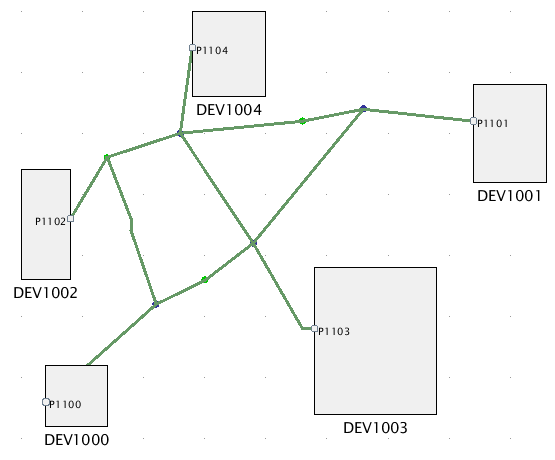
1. 分析导线综合合成不成功的原因，在布置图中，通过SignalMap查看，连接器的引脚数量比原理图要少，所以部分信号布线找不到布线路径，进而合成导线失败。不确认是否跟布置图xml文件信息缺失有关系。

# 解决思路

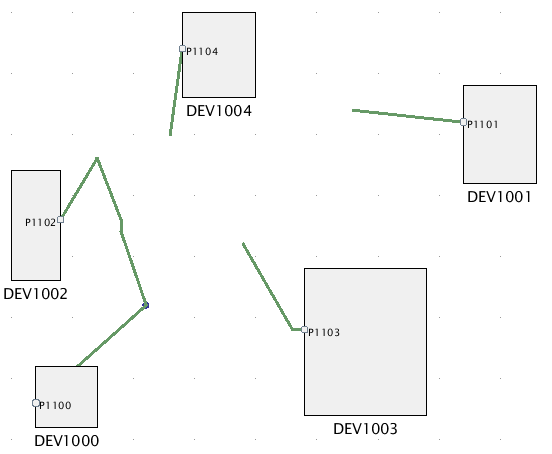
根据之前整理的文档《通卫布置图自动布线卡死问题整理》，有两种思路，第一种是在环路上添加through node 点（插件生成布置图由于没有through node点，capital在布线时会耗时计算路径，最后卡死），第二种对IDS-CAVAL插件生成的布置图把中间的环路删除，按照设备连接最短路径来处理，即布置图上的每一个harness只有一个node点来连接设备的关联。最后和plum,小勇等讨论决定采用第二种处理。

# 实现步骤

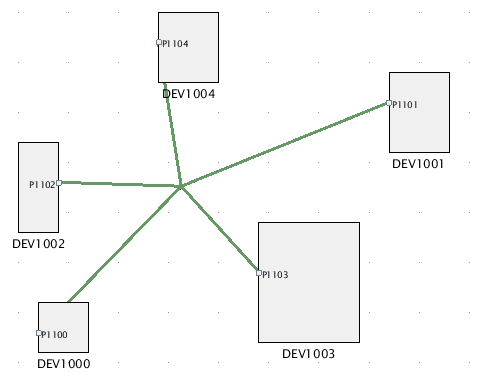
1. 创建一个具有环路的布置图（integrator）设计



1. 通过代码删除所有组成环路的bundle段，如下图



1. 通过和设备相连的点计算出一个靠近中间的node点，并把每个bundle段的不和设备相连的一端连到该node点上，如下图



# 测试结果

把布置图按照实现步骤处理之后，再进行原理图一的同步，发现不再卡死，能同步成功。

具体代码和测试数据见附件。

# 后续计划

如果上面的实现步骤符合客户预期，那么后续将在处理后的布置图中优化布置图混乱的问题。