



**ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN – ĐIỆN TỬ
BỘ MÔN ĐIỆN TỬ**

**BÁO CÁO THÍ NGHIỆM 2
THỰC HIỆN CÁC IC CHỨC NĂNG CƠ BẢN TRÊN FPGA
MÔN: KỸ THUẬT SỐ (TN) (EE1010)**

GVHD: Nguyễn Trung Hiếu

Sinh viên thực hiện

Nhóm 6 – Lớp L21

- | | |
|---------------------|---------------|
| 1) Lâm Thành Phát | MSSV: 2111974 |
| 2) Nguyễn Đăng Khoa | MSSV: 2111529 |
| 3) Trần Thanh Tâm | MSSV: 2114720 |

TPHCM 10, 2022

A. HƯỚNG DẪN THÍ NGHIỆM:

I. MỤC TIÊU

- Hiểu được cách sử dụng kit DE-2, FPGA Cyclone II
- Hiểu được các kiến thức từ bài thí nghiệm 1 – các IC chức năng cơ bản
- Hiểu được quy trình mô tả phần cứng trên FPGA.

II. CHUẨN BỊ

- Để chuẩn bị tốt cho bài thí nghiệm, sinh viên PHẢI đọc trước phần Phụ lục 1 và hoàn thành các bước của Sample lab trong Phụ lục 2, nộp kèm với Prelab 2 trước khi vào lớp.
- Tự hoàn thành bài prelab2 trước khi tham gia buổi học thí nghiệm. Không hoàn thành bài prelab2 sẽ không được tham gia buổi thí nghiệm
- Mọi hình thức sao chép đều sẽ bị xử lý nặng.
- Tuân thủ sơ đồ gán chân để dễ kiểm tra kết quả

III. HƯỚNG DẪN THÍ NGHIỆM

THÍ NGHIỆM 1

Mục tiêu: Thực hiện khảo sát hoạt động của hàm Boolean trên Kit DE 2

Yêu cầu: Sinh viên thực hiện khảo sát

hoạt động của hàm $f(x, y, z) = \bar{x}yz + \bar{x}\bar{y}z + xy$ và điền các kết quả khảo sát vào

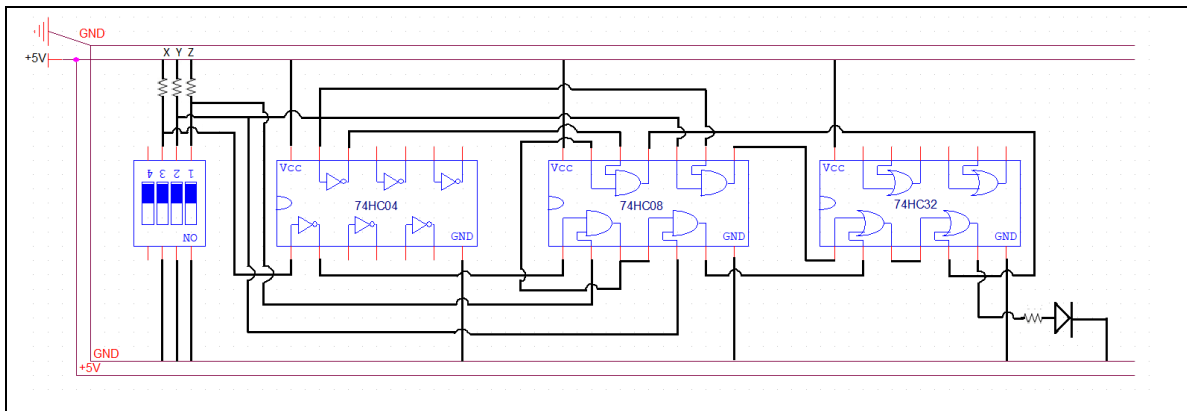
Bảng 2.1 theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	f	f _{Si} m	f _{Kit}
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	1	1	1
1	1	1	1	1	1

Bảng 2.1: Kết quả khảo sát hoạt động của hàm boolean.

Kiểm tra:

- Sinh viên tiến hành thay các giá trị của x, y, z vào hàm $f(x, y, z) = \bar{x}yz + \bar{x}\bar{y}z + xy$ đã cho, điền kết quả vào cột **f** của **Bảng 2.1**.
- Sinh viên tiến hành vẽ sơ đồ cổng logic của mạch cần thiết kế



- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z) = \bar{x}yz + \bar{x}\bar{y}z + xy$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
 - Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0

```
// Code your design here

// f(x,y,z) = x'yz+x'y'z+xy

module LAB2_TN1(
    input x,y,z,
    output out,a,b,c);

    assign a = x;

    assign b = y;
```

```

assign c = z;

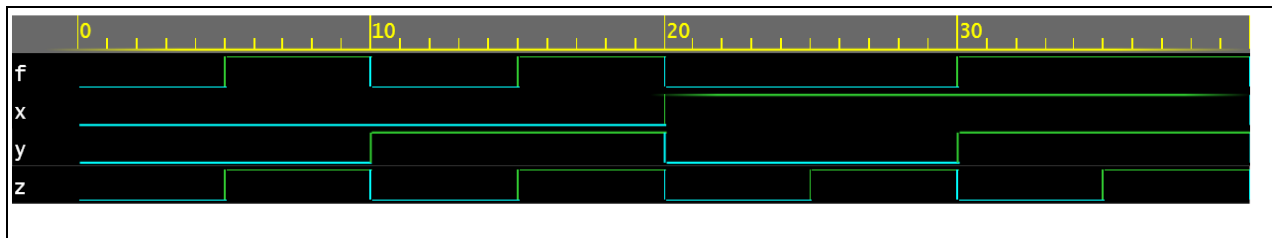
assign out = (~x&y&z)|(~x&~y&z)|(x&y);

endmodule

```

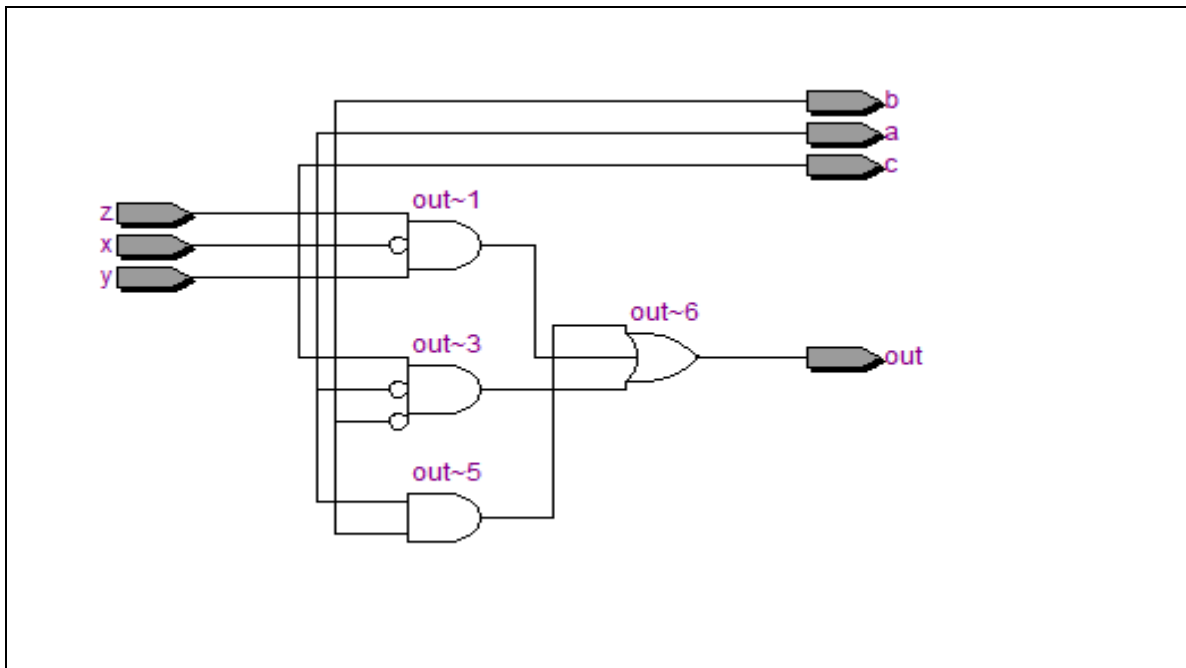
- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 2.1**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)



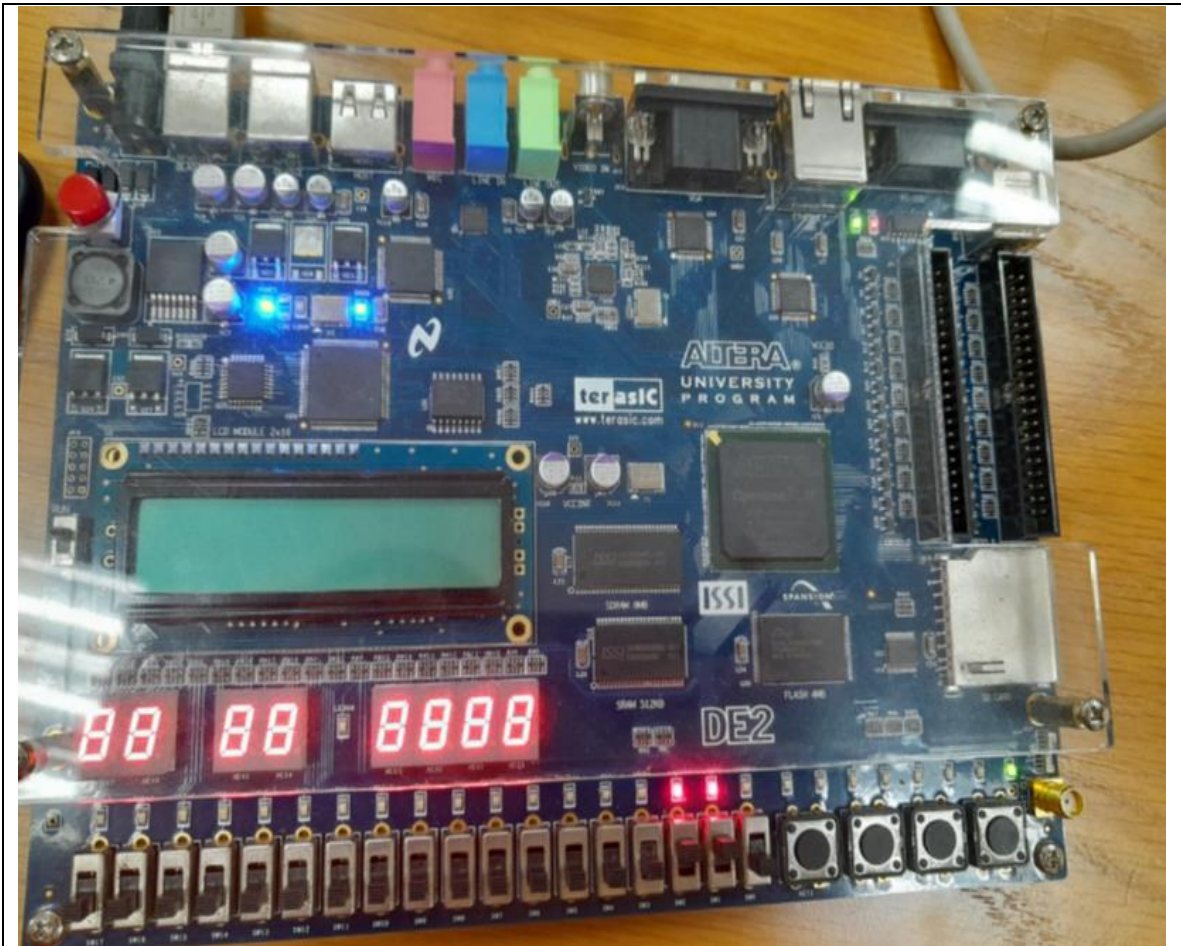
- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ cổng logic sinh viên đã vẽ không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)

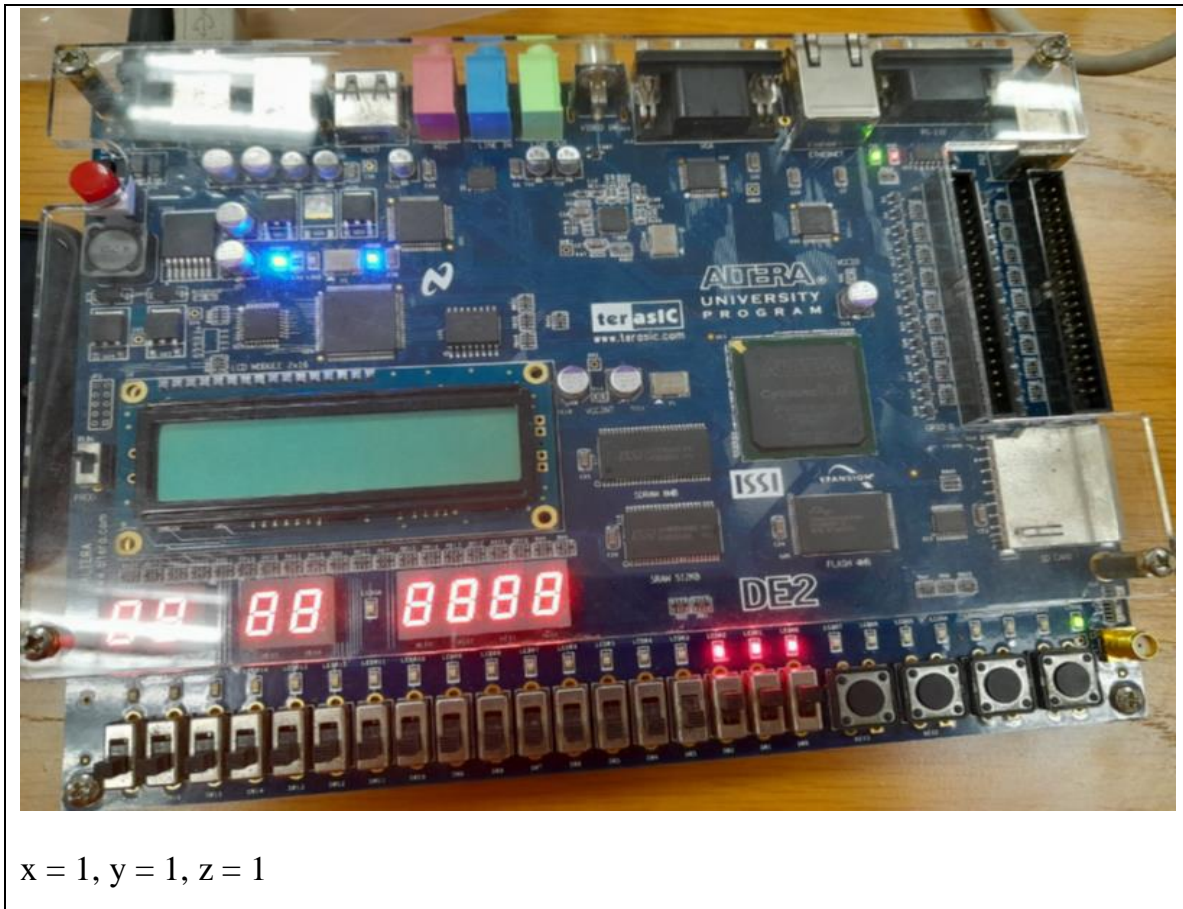


- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 2.1**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)



$x = 1, y = 1, z = 0$



THÍ NGHIỆM 2

Mục tiêu: Hiểu được cách khảo sát hàm boolean sử dụng kit DE2

Yêu cầu: Sinh viên thực hiện khảo sát hoạt động của hàm được cho bởi **Bảng 2.2** và điền các kết quả khảo sát vào **Bảng 2.2** theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	f	f _{Si} m	f _{Kit}
0	0	0	1	1	1
0	0	1	1	1	1
0	1	0	0	0	0
0	1	1	1	1	1
1	0	0	1	1	1

1	0	1	0	0	0
1	1	0	0	0	0

1	1	1	1	1	1
---	---	---	---	---	---

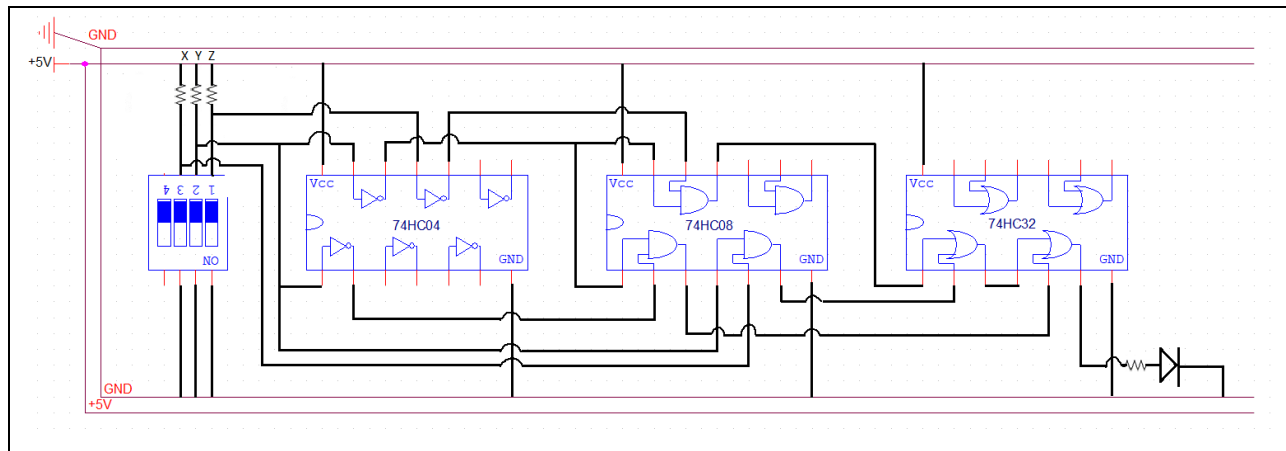
Bảng 2.2: Khảo sát hoạt động hàm Boolean

Kiểm tra:

- Viết biểu thức ngõ f theo các ngõ vào x, y, z.

$$f(x, y, z) = \overline{x}\overline{y} + \overline{y}\overline{z} + yz$$

- Sinh viên tiến hành vẽ sơ đồ cổng logic của mạch cần thiết kế.



- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:

- Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
- Chân f gán tới LEDG0

```
// Code your design here

// f(x,y,z) = x'y'+y'z'+yz

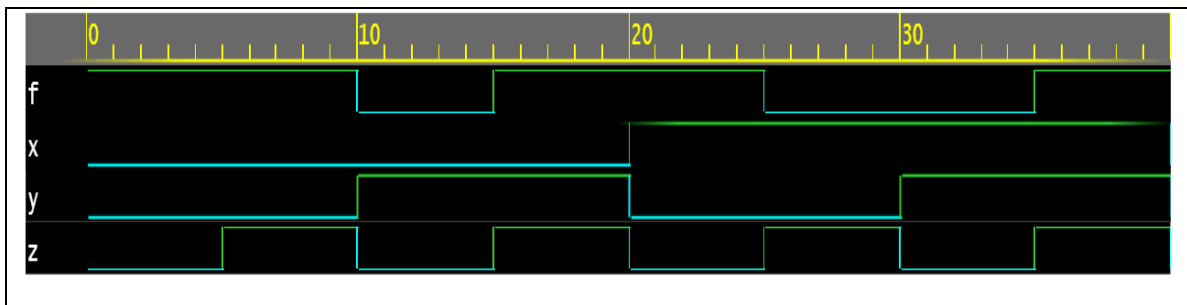
module LAB2_TN2(
    input x,y,z,
```



```
output out,a,b,c  
);  
  
assign a = x;  
assign b = y;  
assign c = z  
assign out = (~x&~y)|(~y&~z)|(y&z);  
  
endmodule
```

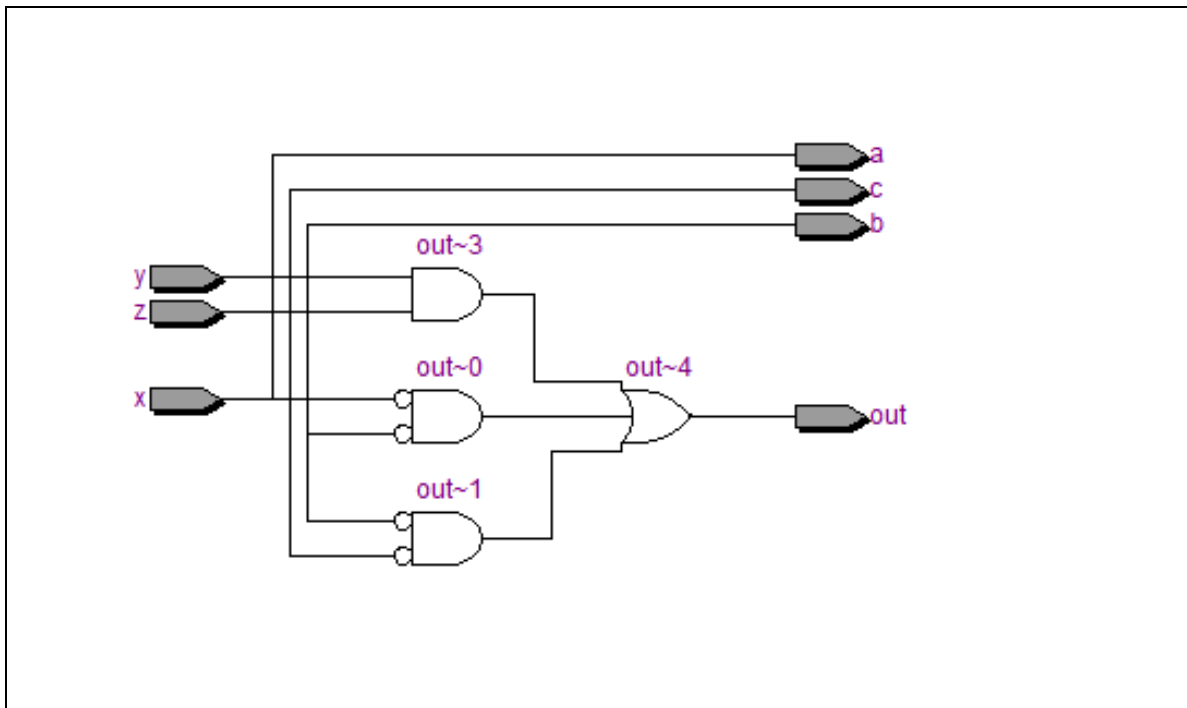
- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột **f_{sim}** của **Bảng 2.2**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)



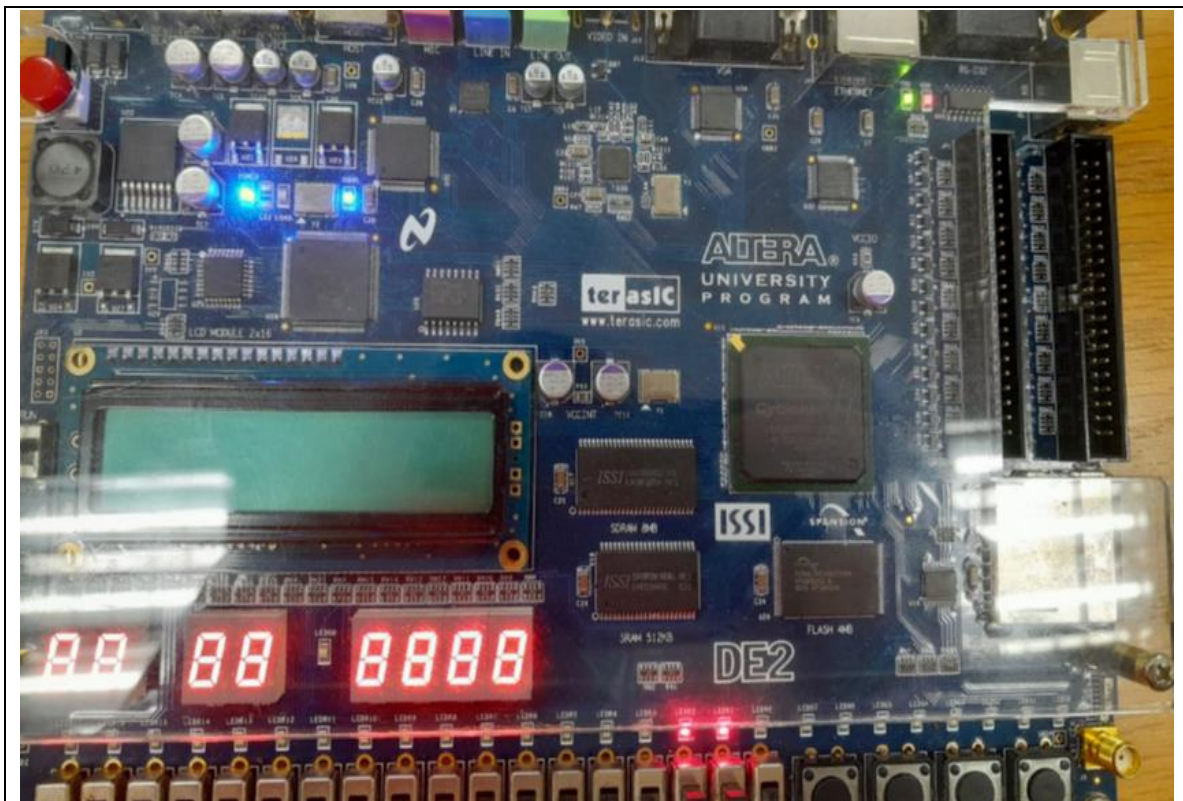
- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ cổng logic sinh viên đã vẽ không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)

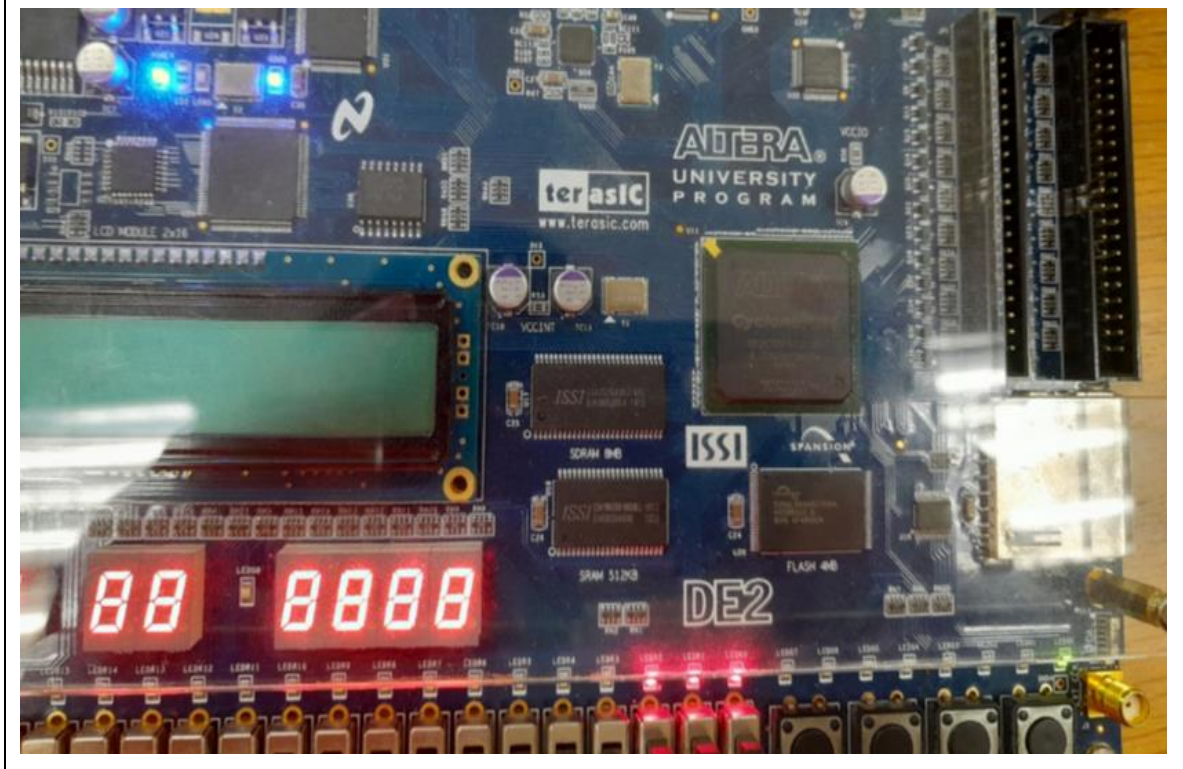


- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 2.2**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)



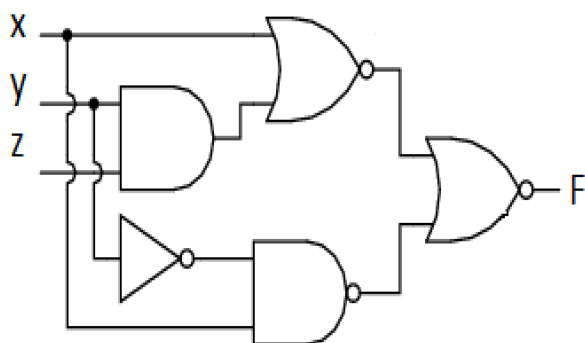
$X=1; Y=1; Z=0$ Và $X=1; Y=1; Z=1$



THÍ NGHIỆM 3

Mục tiêu: Hiểu được cách khảo sát hàm boolean sử dụng kit DE2.

Yêu cầu: Sinh viên xem mạch được cho bởi **Hình 2.4** và điền các kết quả khảo sát vào **Bảng 2.3** theo hướng dẫn ở mục **Kiểm tra**.



Hình 2.4

x	y	z	f _{sim}	f _{Kit}
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	0	0
1	1	1	0	0

Bảng 2.3 Kết quả khảo sát hoạt động của hàm Boolean - thí nghiệm 3

Kiểm tra:

- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm F trên **Hình 2.4** như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
 - Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0

```
// Code your design here

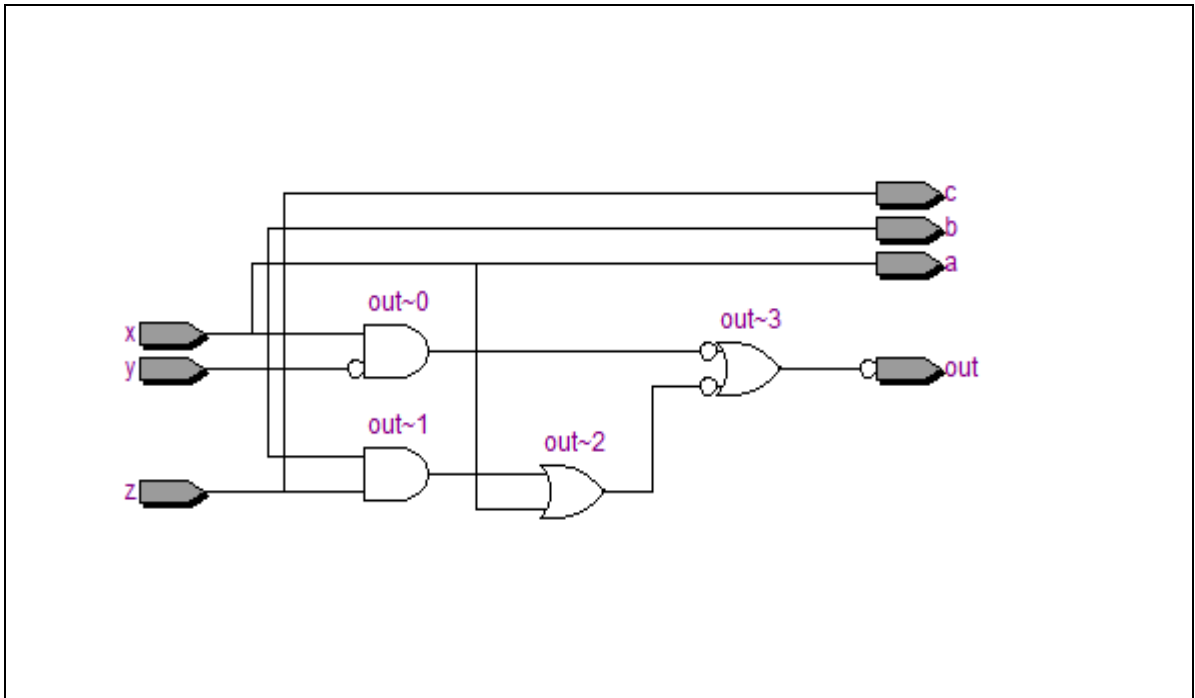
module LAB2_TN3(
    input x,y,z,
    output out,a,b,c
);

    assign a = x;
    assign b = y;
    assign c = z;
    assign out = ~(~(x&~y)|~(x|(y&z)));

endmodule
```

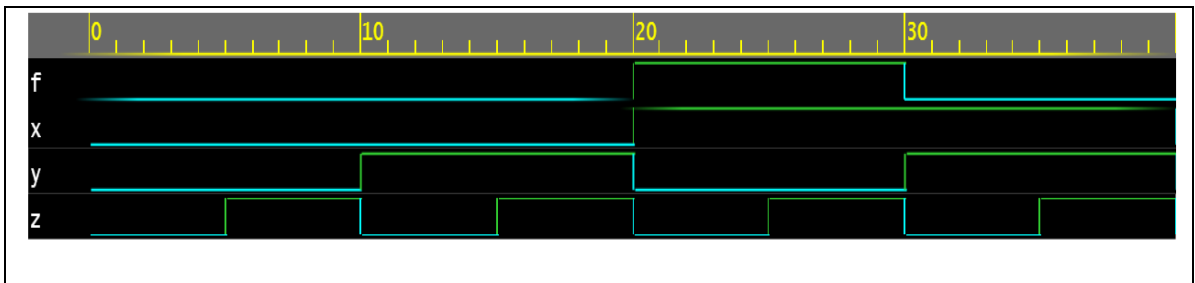
- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ cổng logic trên **Hình 2.4 không**, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)



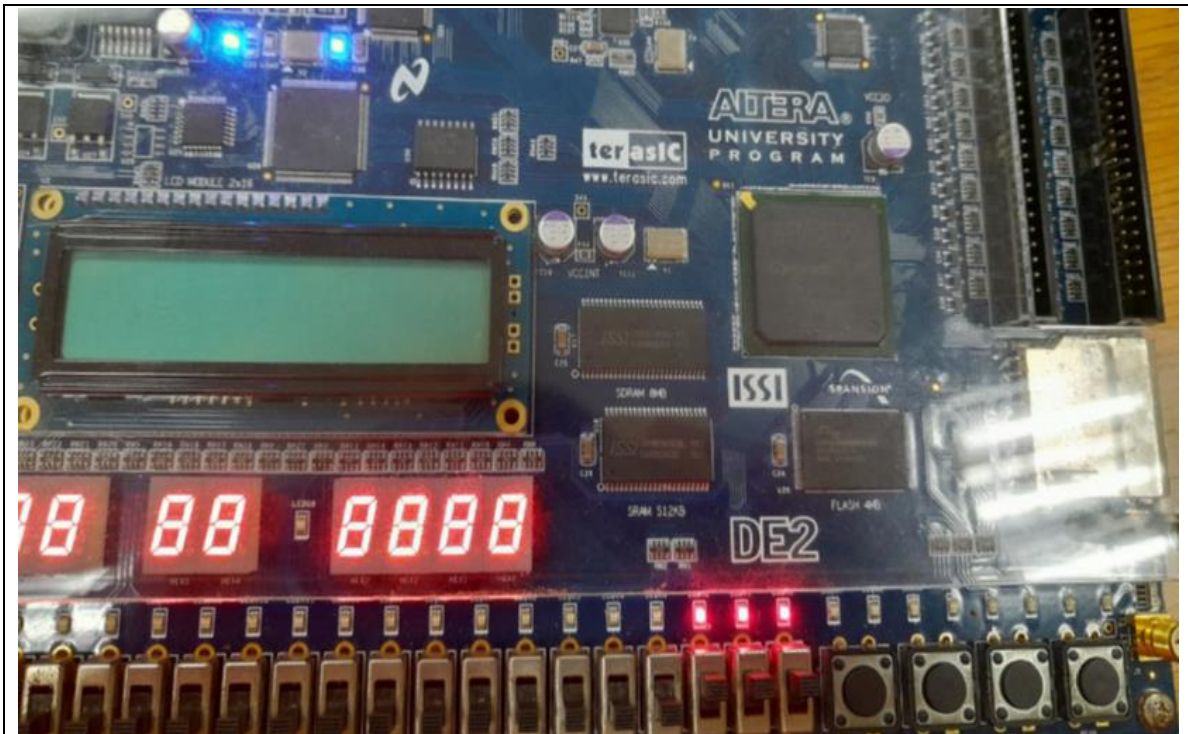
- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 2.3**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)

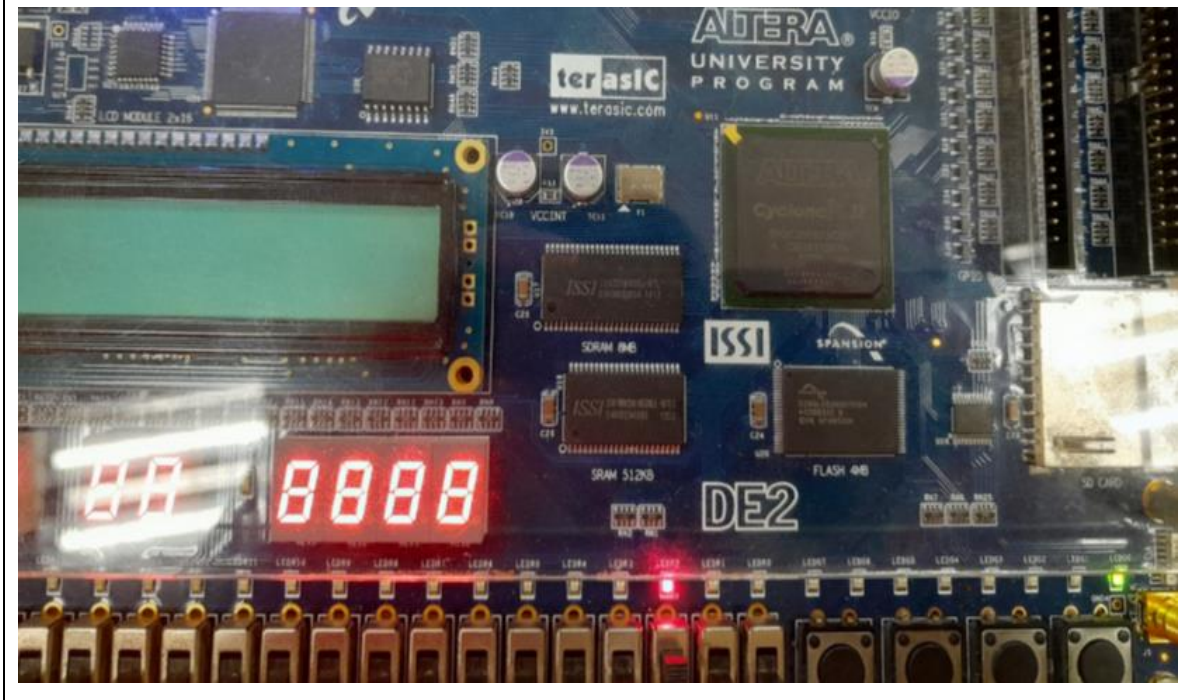


- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 2.3**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)



X=1;Y=1;Z=1 Và X=1;Y=0;Z=0



THÍ NGHIỆM 4

Mục tiêu: Nắm được cách thức thiết kế các IC chức năng bằng ngôn ngữ SystemVerilog và ứng dụng trên kit DE2

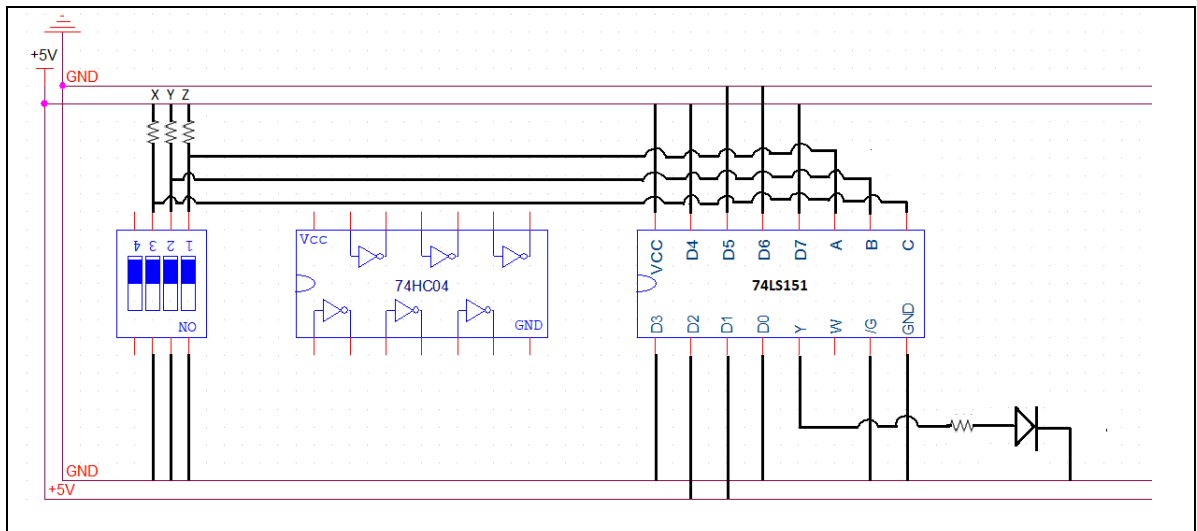
Yêu cầu: Sinh viên thực hiện thiết kế hàm boolean $f(x, y, z) = \sum(1, 2, 4, 7)$ sử dụng IC chức năng 74LS151 và các cổng logic cần thiết trên ngôn ngữ SystemVerilog. Kết quả khảo sát điền vào **Bảng 2.4** theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	f	f _{sim}	f _{Kit}
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	1	1	1

Bảng 2.4 Kết quả khảo sát hoạt động của hàm boolean – thí nghiệm 4

Kiểm tra:

- Sinh viên sử dụng IC 74LS151 và các cổng logic cần thiết để thiết kế mạch thực hiện hàm boolean đã cho.



- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z) = \sum(1,2,4,7)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
- Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0
 - Trong đó, gọi IC 74LS151 như một module con

```
// Code your design here

module LS151(
    input logic G,S2,S1,S0,
    input logic D0,D1,D2,D3,D4,D5,D6,D7,
    output Y);
    logic[3:0] temp;
    assign temp={G,S2,S1,S0};

    always@ (temp) begin
        case(temp)
            4'b0000:Y=D0;
```

```
4'b0001:Y=D1;

4'b0010:Y=D2;

4'b0011:Y=D3;

4'b0100:Y=D4;

4'b0101:Y=D5;

4'b0110:Y=D6;

4'b0111:Y=D7;

endcase

end

endmodule


module LAB2_TN4(res,G,x,y,z,a_show, b_show, c_show);

input x,y,z,G;

output res,a_show, b_show, c_show;

assign a_show = x;

assign b_show = y;

assign c_show = z;

logic [7:0] D;

assign D = 8'b10010110;

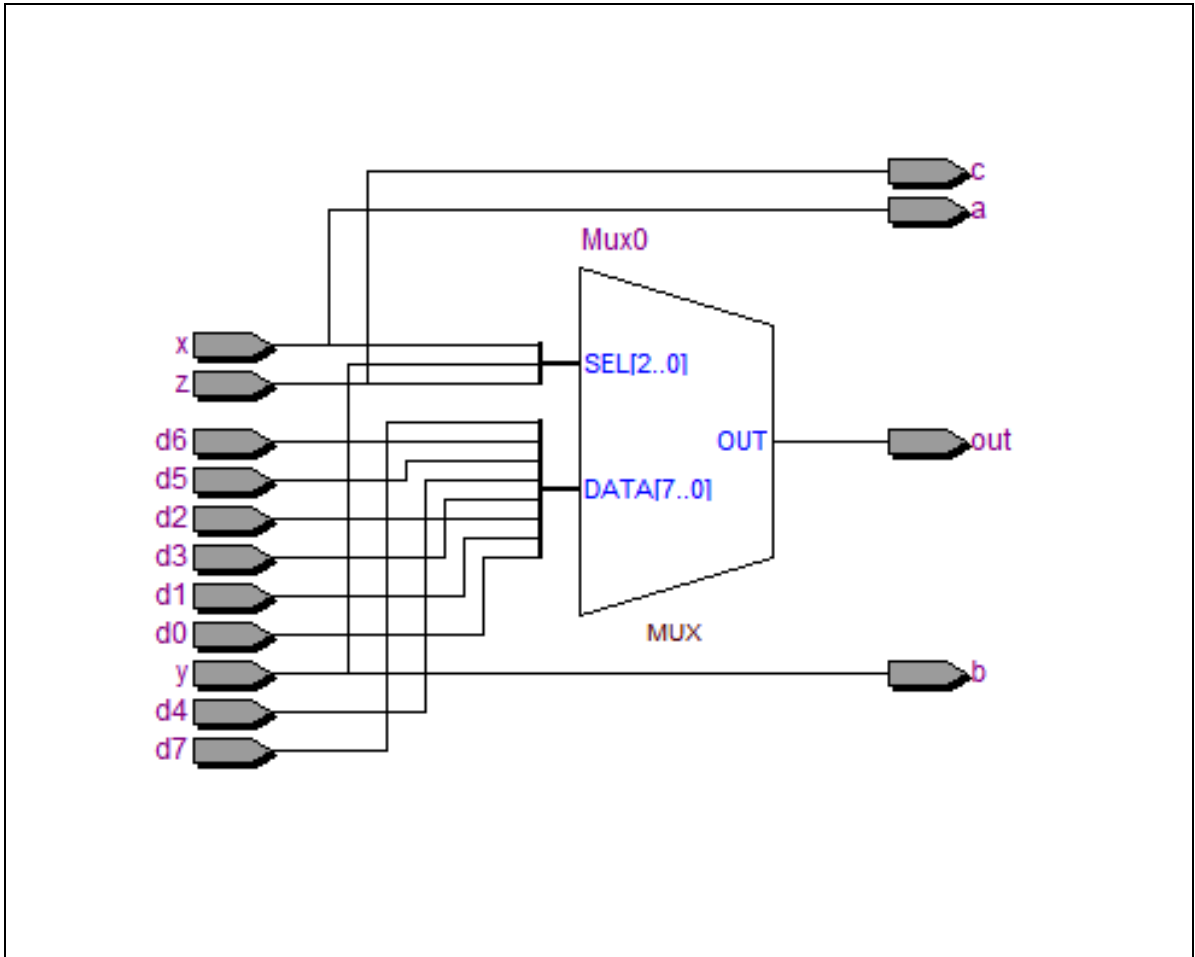
LS151 icLS151 (.G(G), .S2(x), .S1(y),.S0(z),.D0(D[0]),.D1(D[1])

,.D2(D[2]),.D3(D[3]),.D4(D[4]),.D5(D[5]),.D6(D[6]),.D7(D[7]),.Y(res));

endmodule
```

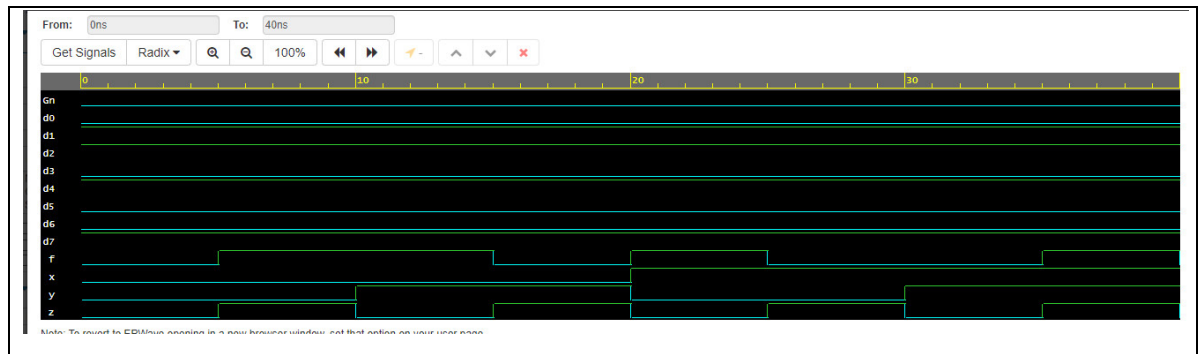
- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ đã thiết kế hay không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)



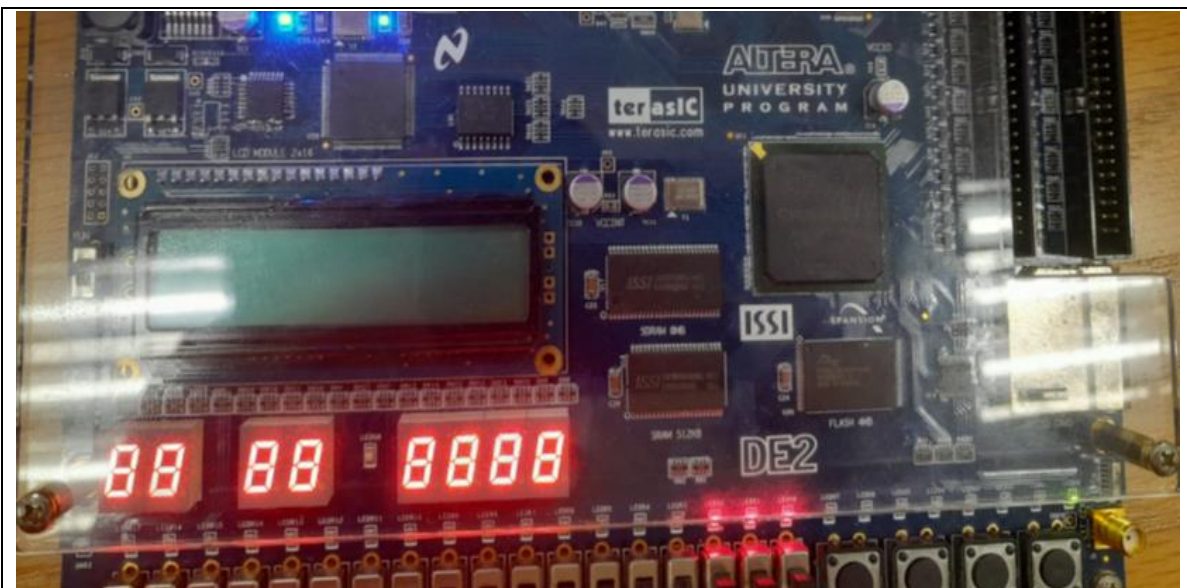
- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 2.4**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)

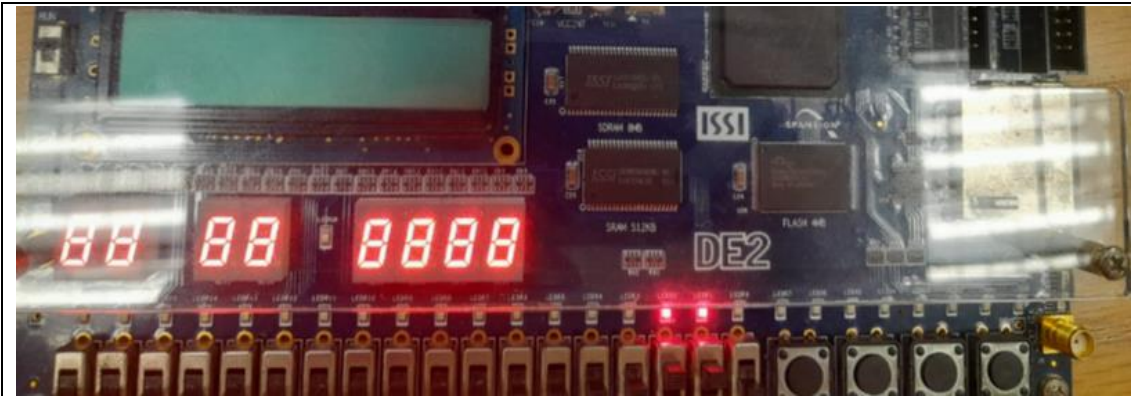


- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 2.4**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)



X=1;Y=1;Z=1



X=1;Y=1;Z=0

THÍ NGHIỆM 5

Mục tiêu: Nắm được cách thức thiết kế các IC chức năng bằng ngôn ngữ SystemVerilog và ứng dụng trên kit DE2

Yêu cầu: Sinh viên thực hiện thiết kế hàm boolean $f(x, y, z, w) = \sum(2, 5, 7, 9, 12, 13)$ sử dụng IC chức năng 74LS151 và các cổng logic cần thiết trên ngôn ngữ SystemVerilog. Kết quả khảo sát điền vào **bảng 2.5** theo hướng dẫn ở mục **Kiểm tra**.

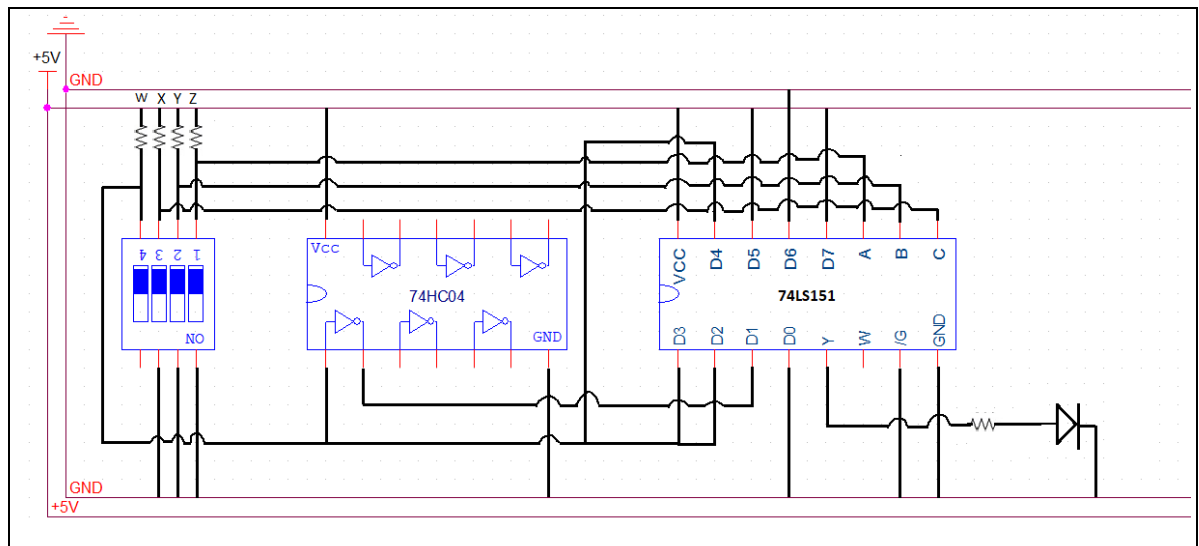
x	y	z	w	f	f _{Sim}	f _{Kit}
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	1	1	1
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	0	1	1	1	1
0	1	1	0	0	0	0
0	1	1	1	1	1	1

1	0	0	0	0	0	0
1	0	0	1	1	1	1
1	0	1	0	0	0	0
1	0	1	1	0	0	0
1	1	0	0	1	1	1
1	1	0	1	1	1	1
1	1	1	0	0	0	0
1	1	1	1	0	0	0

Bảng 2.5: Kết quả khảo sát hoạt động của hàm boolean – thí nghiệm 5

Kiểm tra:

- Sinh viên sử dụng IC 74LS151 và các cổng logic cần thiết để thiết kế mạch thực hiện hàm boolean đã cho.



- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z, w)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:

- Chân x, y, z, w gán tới SW3, SW2, SW1, SW0 và LEDR3, LEDR2, LEDR1, LEDR0 tương ứng
- Chân f gán tới LEDG0
- Trong đó, gọi IC 74LS151 như một module con

```
// Code your design here

// Code your design here

module LS151(
input logic G,S2,S1,S0,
input logic D0,D1,D2,D3,D4,D5,D6,D7,
output Y);

    logic[3:0] temp;

    assign temp={G,S2,S1,S0};

always@(temp) begin
case(temp)
4'b0000:Y=D0;
4'b0001:Y=D1;
4'b0010:Y=D2;
4'b0011:Y=D3;
4'b0100:Y=D4;
4'b0101:Y=D5;
4'b0110:Y=D6;
4'b0111:Y=D7;
```



```
endcase

end

endmodule

module LAB2_TN5(res,G,x,y,z,w,a_show, b_show, c_show,d_show);

input x,y,z,w,G;

output res,a_show, b_show, c_show,d_show;

assign a_show = x;

assign b_show = y;

assign c_show = z;

assign d_show = w;


logic [7:0] D;

assign D[1] = ~w;

assign D[2] = w;

assign D[3] = w;

assign D[4] = w;

assign D[6] = 1'b1;

assign D[7] = 1'b0;

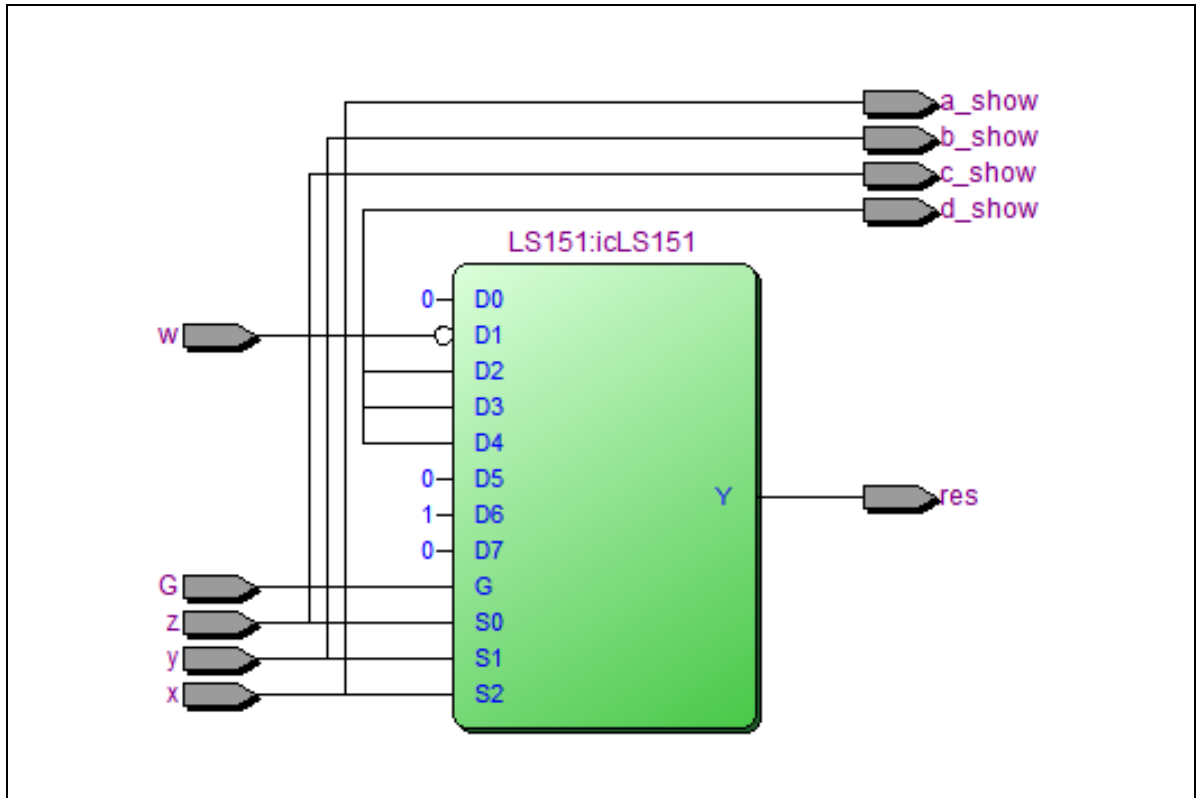
assign D[0] = 1'b0;

LS151 icLS151 (.G(G), .S2(x), .S1(y),.S0(z),.D0(D[0]),.D1(D[1])
,.D2(D[2]),.D3(D[3]),.D4(D[4]),.D5(D[5]),.D6(D[6]),.D7(D[7]),.Y(res));
```

endmodule

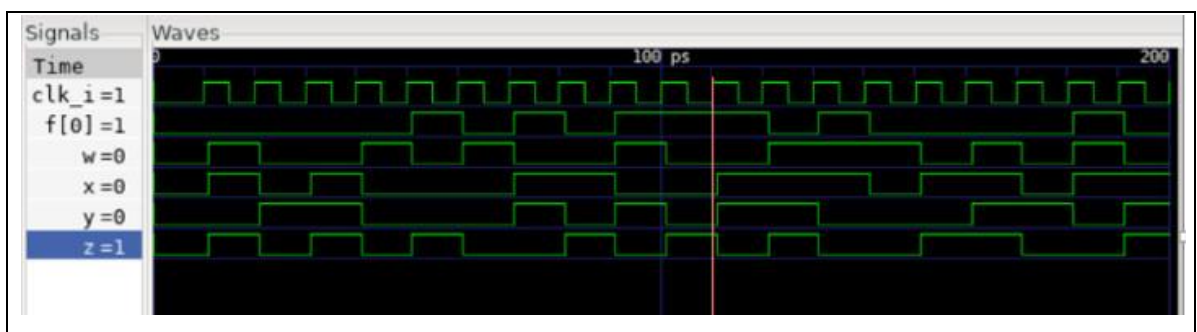
- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ đã thiết kế hay không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)



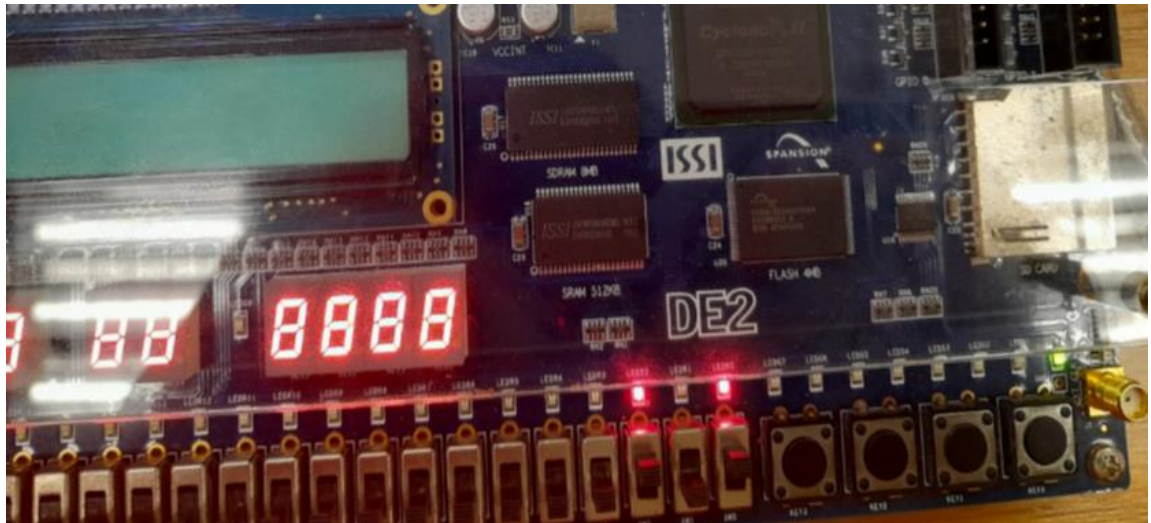
- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 2.5**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)

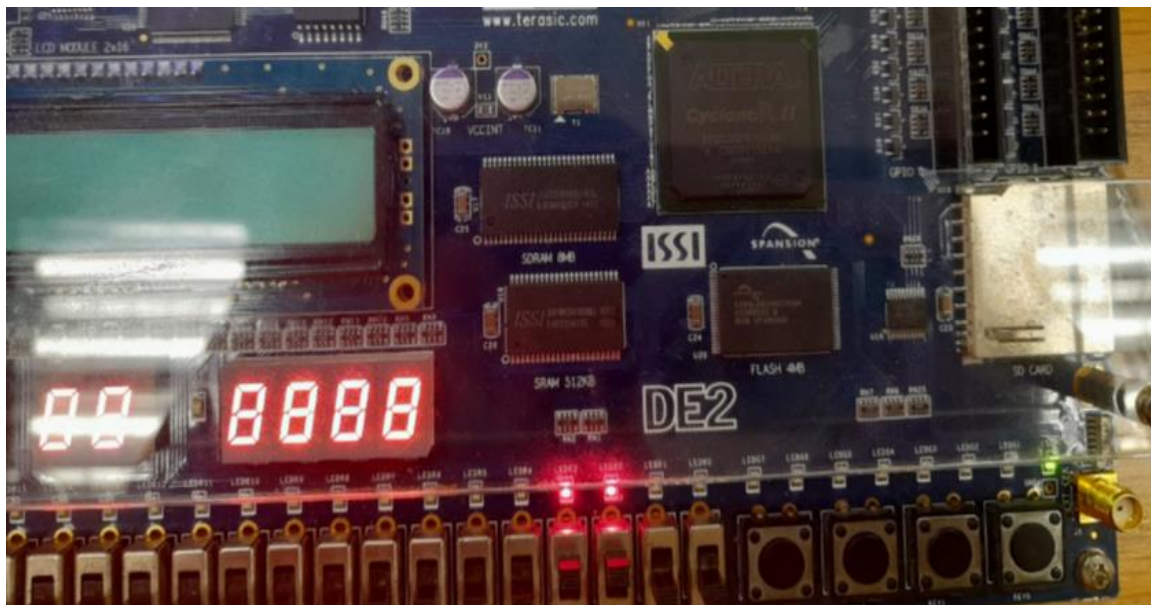


- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 2.5**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)



$X=0; Y=1; Z=0; W=1$ Và $X=1; Y=1; Z=0; W=0$



THÍ NGHIỆM 6

Mục tiêu: Nắm được cách thức thiết kế các IC chức năng bằng ngôn ngữ SystemVerilog và ứng dụng trên kit DE2

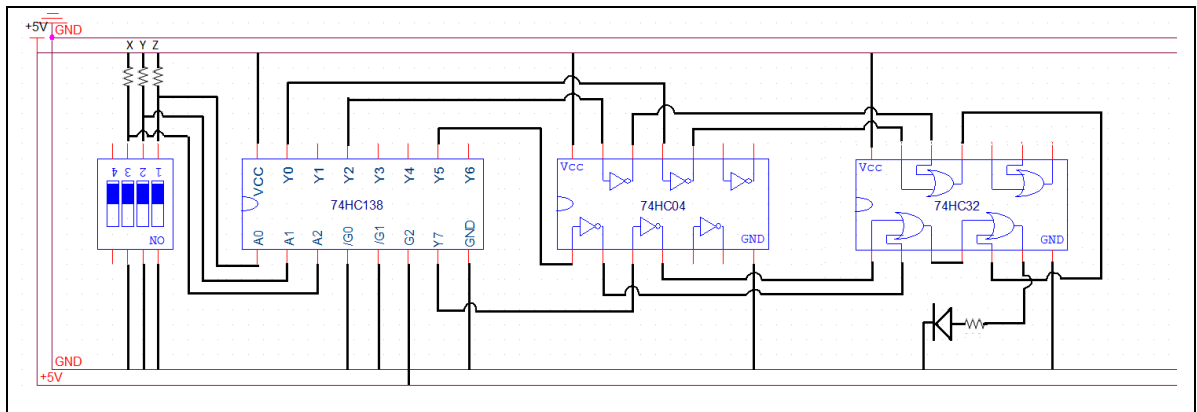
Yêu cầu: Sinh viên thực hiện thiết kế hàm boolean $f(x, y, z) = \sum(0, 2, 5, 7)$ sử dụng IC chức năng 74LS138 và các cổng logic cần thiết trên ngôn ngữ SystemVerilog.. Kết quả khảo sát điền vào **Bảng 2.6** theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	f	f _{Si} m	f _{Kit}
0	0	0	1	1	1
0	0	1	0	0	0
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	1	1	1
1	1	0	0	0	0
1	1	1	1	1	1

Bảng 2.6: Kết quả khảo sát hoạt động hàm Boolean – thí nghiệm 6

Kiểm tra:

- Sinh viên sử dụng IC 74LS138 và các cổng logic cần thiết để thiết kế mạch thực hiện hàm boolean đã cho.



➤ Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:

- Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
- Chân f gán tới LEDG0
- Trong đó, gọi IC 74LS138 như một module con

// Code your design here

```
module LS138(
input logic G2A,G2B,G1,A,B,C,
output logic[7:0] Y);

    logic[5:0] temp;

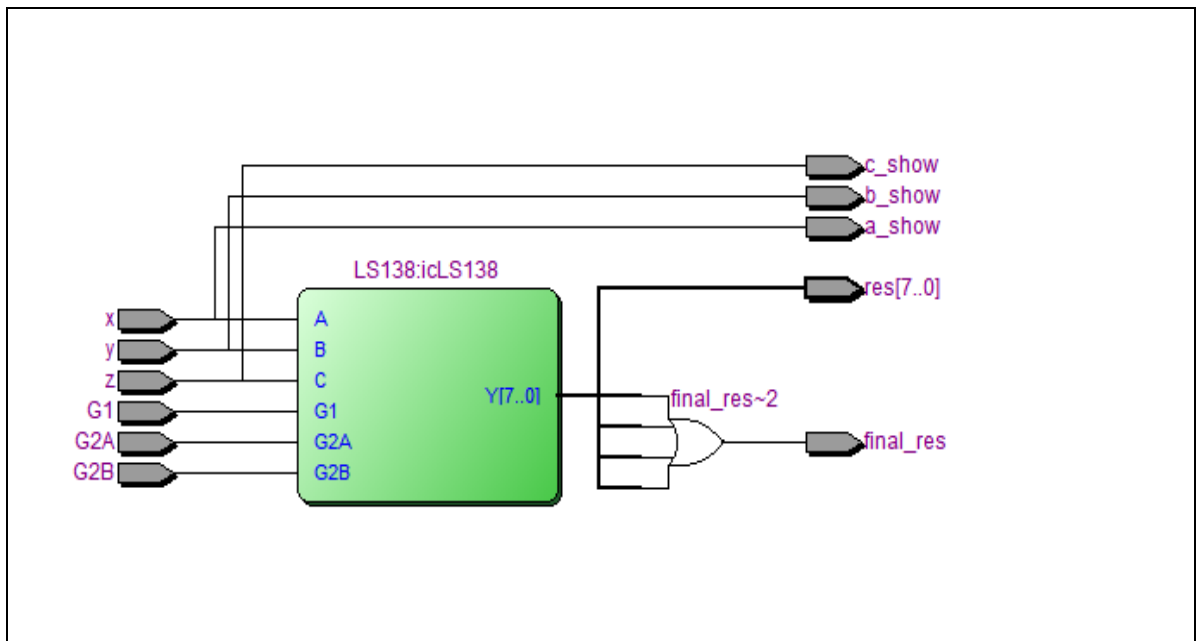
    assign temp={G2A,G2B,G1,A,B,C};

always_comb begin
case(temp)
6'b001000:Y=8'b11111110;
6'b001001:Y=8'b11111101;
6'b001010:Y=8'b11111011;
6'b001011:Y=8'b11110111;
```

```
6'b001100:Y=8'b11101111;  
  
6'b001101:Y=8'b11011111;  
  
6'b001110:Y=8'b10111111;  
  
6'b001111:Y=8'b01111111;  
  
default: Y=8'b11111111;  
  
endcase  
  
end  
  
endmodule  
  
module LAB2_TN6(res,x,y,z,a_show, b_show, c_show,final_res);  
  
input x,y,z;  
  
output a_show, b_show, c_show,final_res;  
  
output logic[7:0] res;  
  
assign a_show = x;  
  
assign b_show = y;  
  
assign c_show = z;  
  
  
LS138 icLS138 (.G2A(1'b0),.G2B(1'b0),.G1(1'b1),.A(x),.B(y),.C(z),.Y(res));  
  
assign final_res = ((~res[0])|(~res[2])|(~res[5])|(~res[7]));  
  
endmodule
```

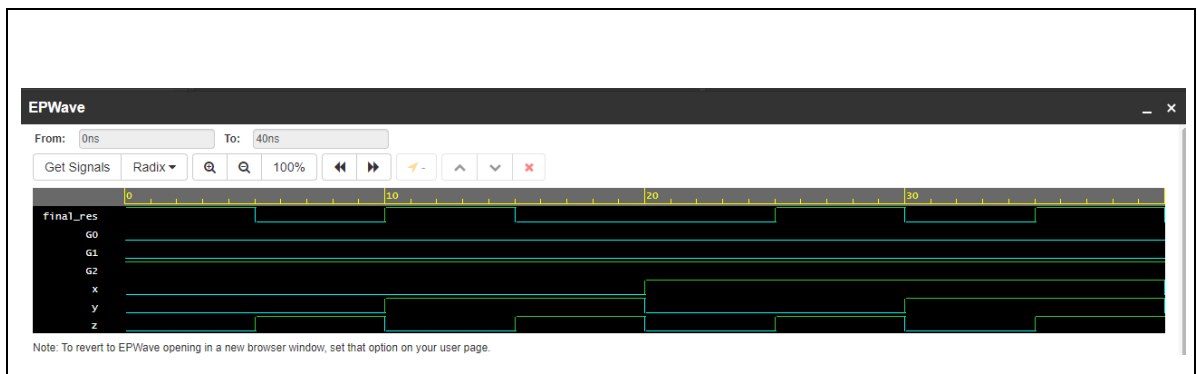
- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ đã thiết kế hay không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)



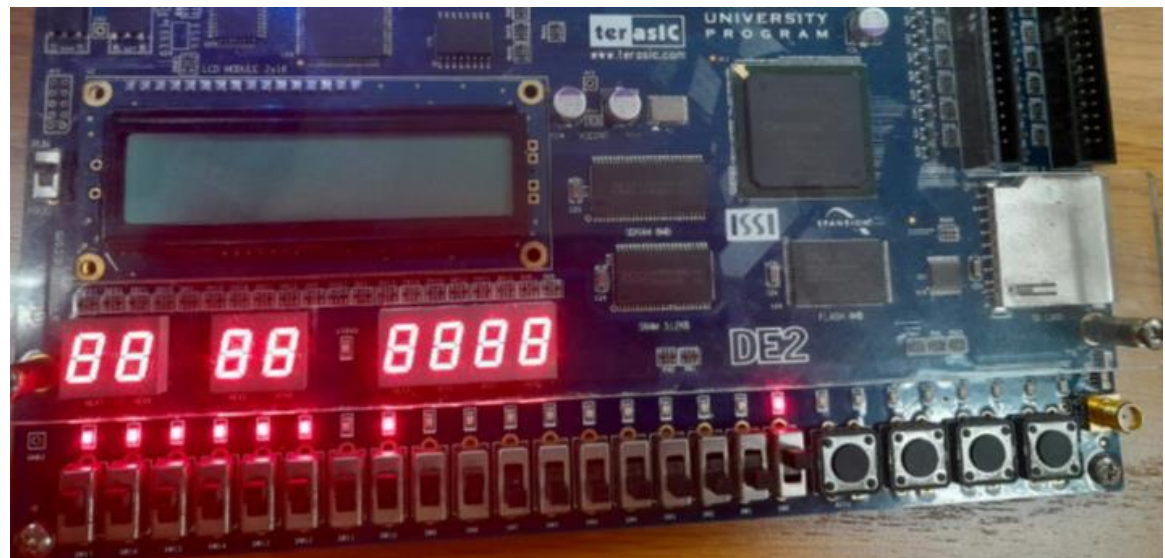
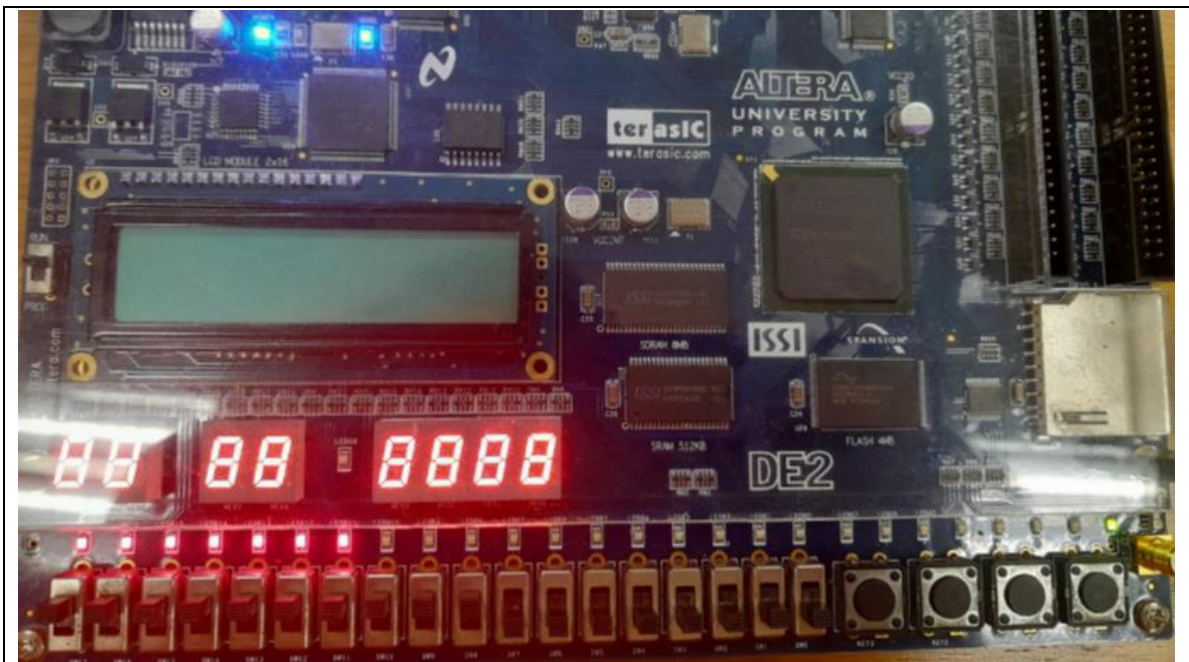
- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 2.6**.

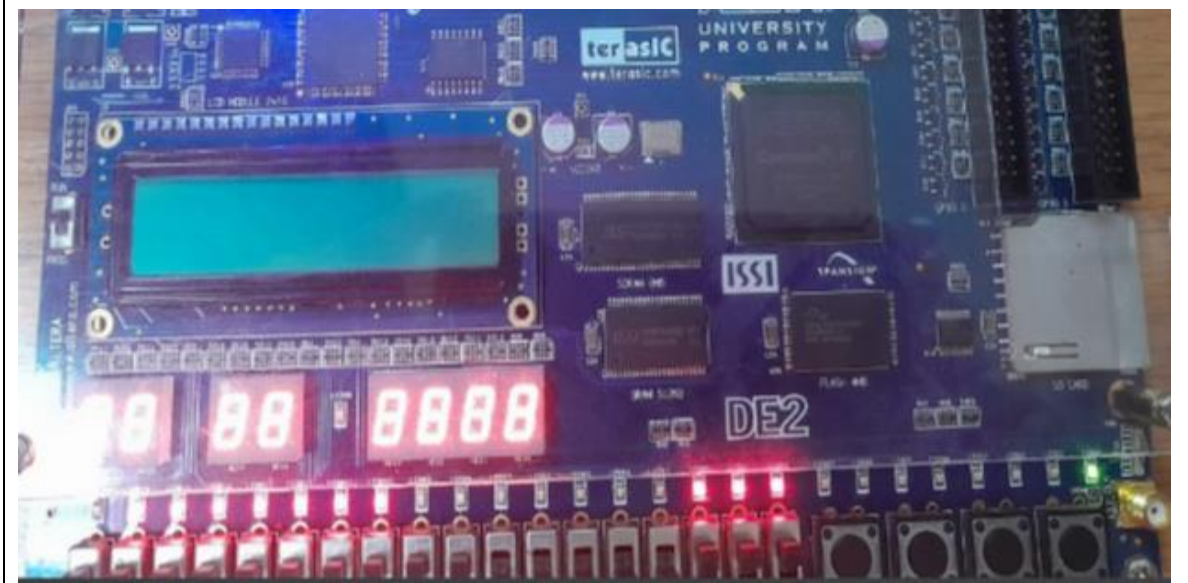
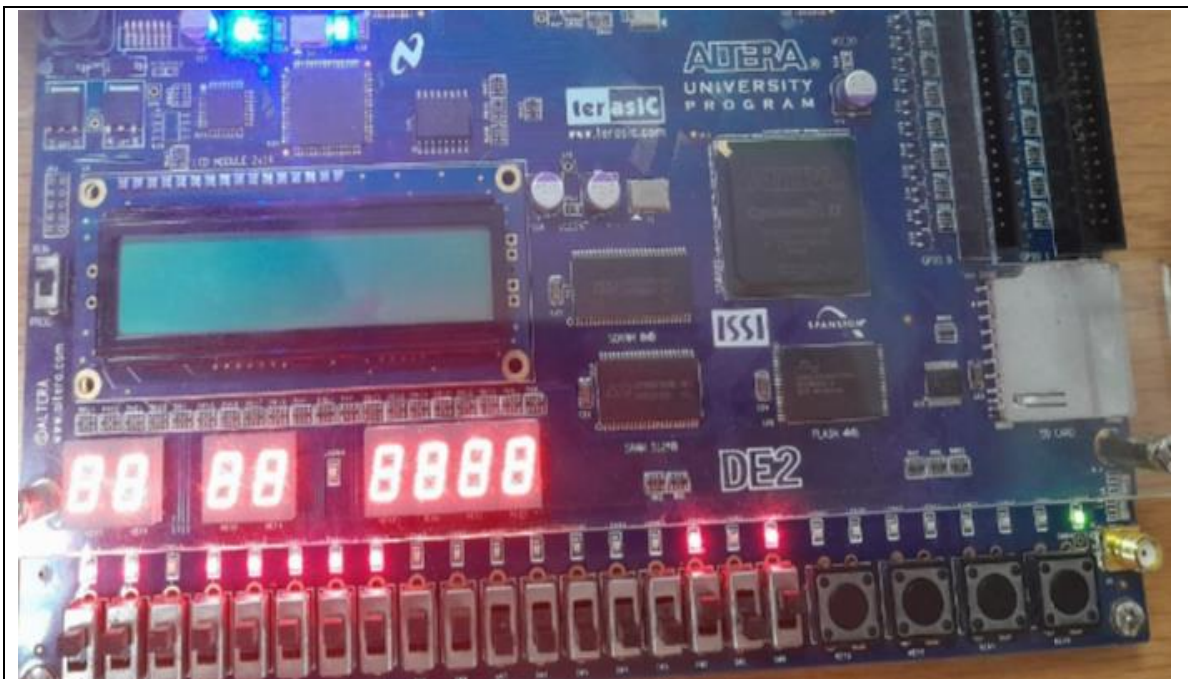
(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)



- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{kit} của **Bảng 2.6**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)





THÍ NGHIỆM 7

Mục tiêu: Nắm được cách thức thiết kế các IC chức năng bằng ngôn ngữ SystemVerilog và ứng dụng trên kit DE2

Yêu cầu: Sinh viên thực hiện thiết kế hàm boolean $f(x, y, z, w) = (1, 3, 5, 7, 10, 12, 14)$ sử dụng IC chức năng 74LS138 và các cổng logic cần thiết trên ngôn ngữ SystemVerilog. Kết quả khảo sát điền vào **bảng 2.7** theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	w	f	f _{Si} m	f _{Kit}
0	0	0	0	0	0	0
0	0	0	1	1	1	1
0	0	1	0	0	0	0
0	0	1	1	1	1	1
0	1	0	0	0	0	0
0	1	0	1	1	1	1
0	1	1	0	0	0	0
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	1	1
1	0	1	1	0	0	0
1	1	0	0	1	1	1
1	1	0	1	0	0	0
1	1	1	0	1	1	1
1	1	1	1	0	0	0

Bảng 2.7: Kết quả khảo sát hoạt động của hàm Boolean – thí nghiệm 7

Kiểm tra:

- Sinh viên sử dụng IC 74LS138 và các cổng logic cần thiết để thiết kế mạch thực hiện hàm boolean đã cho.
- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z, w)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
 - Chân x, y, z, w gán tới SW3, SW2, SW1, SW0 và LEDR3, LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0
 - Trong đó, gọi IC 74LS138 như một module con

```
// Code your design here

// f(x,y,z,w) = sum(1,3,5,7,10,12,14) by 74LS138

module LS138(
input logic G2A,G2B,G1,A,B,C,
output logic[7:0] Y);
    logic[5:0] temp;
    assign temp={ G2A,G2B,G1,A,B,C};

always_comb begin
case(temp)
6'b001000:Y=8'b11111110;
6'b001001:Y=8'b11111101;
6'b001010:Y=8'b11111011;
6'b001011:Y=8'b11110111;
```

```
6'b001100:Y=8'b11101111;

6'b001101:Y=8'b11011111;

6'b001110:Y=8'b10111111;

6'b001111:Y=8'b01111111;

default: Y=8'b11111111;

endcase

end

endmodule


module LAB2_TN7(res,x,y,z,w,a_show, b_show, c_show,d_show,final_res);

input x,y,z,w;

output a_show, b_show, c_show,final_res,d_show;

output logic[7:0] res;

assign a_show = x;

assign b_show = y;

assign c_show = z;

assign d_show = w;

LS138 icLS138 (.G2A(1'b0),.G2B(1'b0),.G1(1'b1),.A(x),.B(y),.C(z),.Y(res));

assign final_res

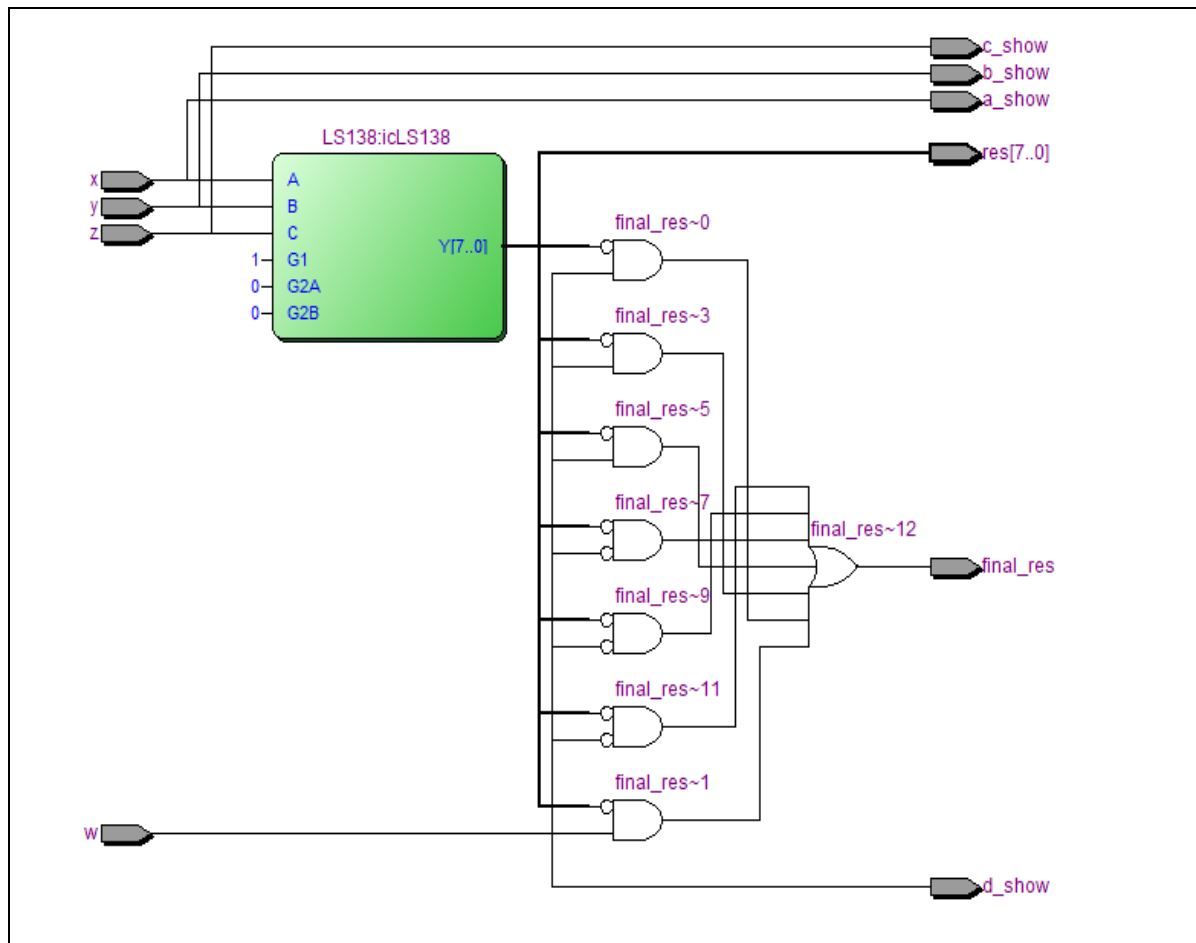
=

((~res[0]&w)|(~res[1]&w)|(~res[2]&w)|(~res[3]&w)|(~res[5]&~w)|(~res[6]&~w)|(~res[7]&~w));
```

endmodule

- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ đã thiết kế hay không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)



- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 2.7**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)



- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 2.7**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)

