

LAB 3: THIẾT KẾ HỆ TỔ HỢP THIẾT KẾ HỆ TUẦN TỰ

Họ và tên: Lâm Thành Phát	Lớp TN: L21
MSSV: 2111974	Ngày: 29/10/2022

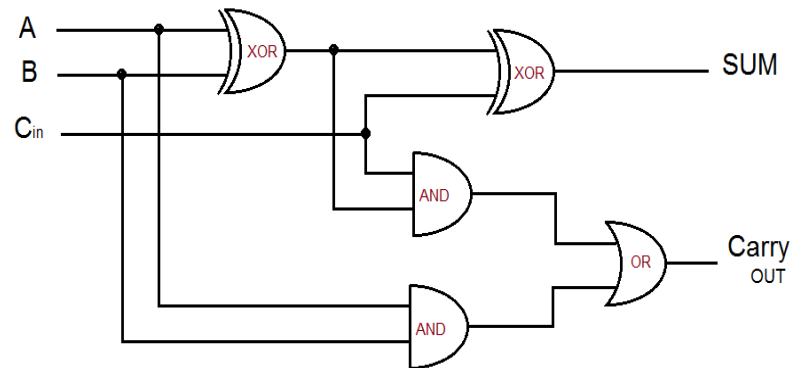
A. PRELAB

Câu 1: Thiết kế mạch cộng toàn phần Full Adder:

Mạch bao gồm 3 ngõ vào và 2 ngõ ra, thực hiện phép cộng 3 bit nhị phân ngõ vào. Hai ngõ vào A và B là 2 bit nhị phân cùng trọng số của 2 số cần thực hiện phép cộng, ngõ vào thứ 3, C_i , là số nhớ của phép cộng 2 bit có trọng số nhỏ hơn trước đó. Hai ngõ ra của mạch cộng toàn phần là tổng S và bit nhớ C_o .

Bảng chân trị:

A	B	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Sơ đồ logic:

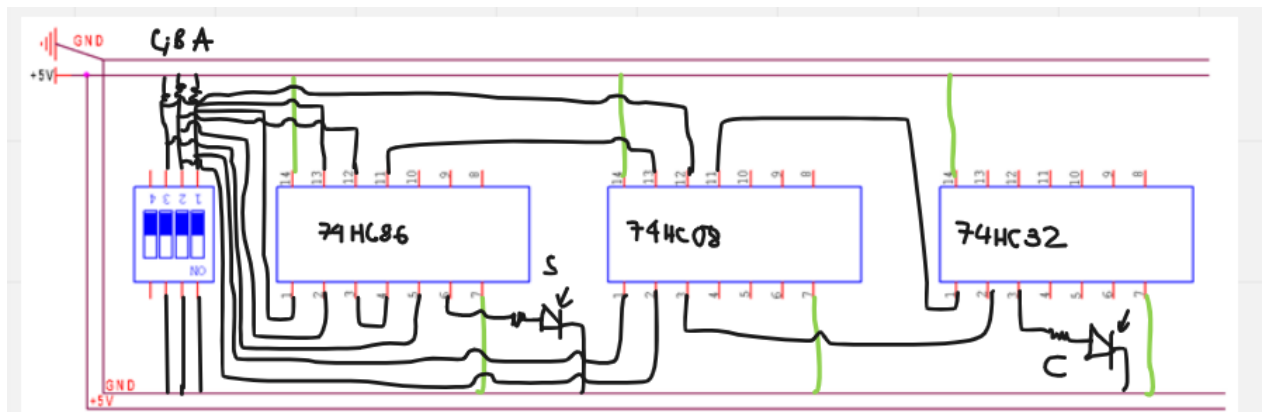
Bảng 3.1 Bảng chân trị bộ cộng toàn phần

Sử dụng các IC cổng logic, lắp mạch cộng toàn phần trên Breadboard.

Xác định các IC cần thiết:

- IC74HC86 (XOR): 1 cái
- IC74HC08 (AND): 1 cái
- IC74HC32 (OR): 1 cái

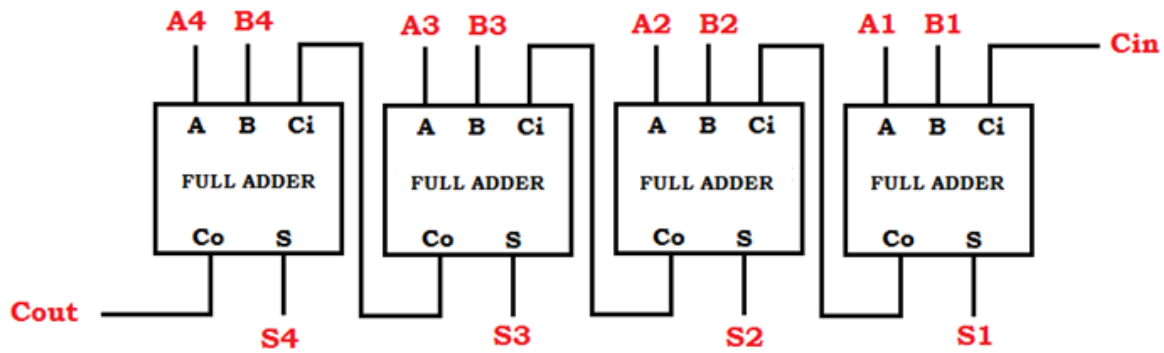
Sơ đồ kết nối các IC:



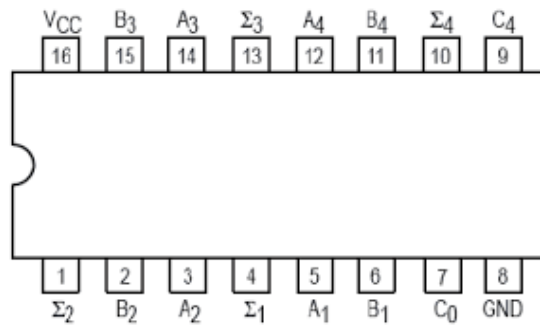
Câu 2: Sử dụng IC cổng 74LS283 để thiết kế mạch cộng/trừ hai số nhị phân. Mạch có các ngõ vào S (1bit), A (4bit) và B (4bit) thực hiện chức năng:

- Khi $S = 0$, mạch thực hiện $A + B$
- Khi $S = 1$, mạch thực hiện $A - B$

74LS283 là IC thực hiện phép cộng song song 4 bit, nhận ngõ vào là 2 số A ($A_3A_2A_1A_0$) và 2 B ($B_3B_2B_1B_0$) cùng số nhớ C_{in} . Mạch cộng 4 bit song song bao gồm 4 mạch cộng toàn phần. Mỗi bộ cộng toàn phần thực hiện phép cộng 2 bit tương ứng của số A và số B, tạo ra tổng S và số nhớ C_o ; số nhớ C_o này được đưa vào ngõ C_i của bộ toàn phần tiếp theo. Kết quả của mạch cộng song song gồm tổng S ($S_4S_3S_2S_1$) và 1 bit nhớ C_{out} .

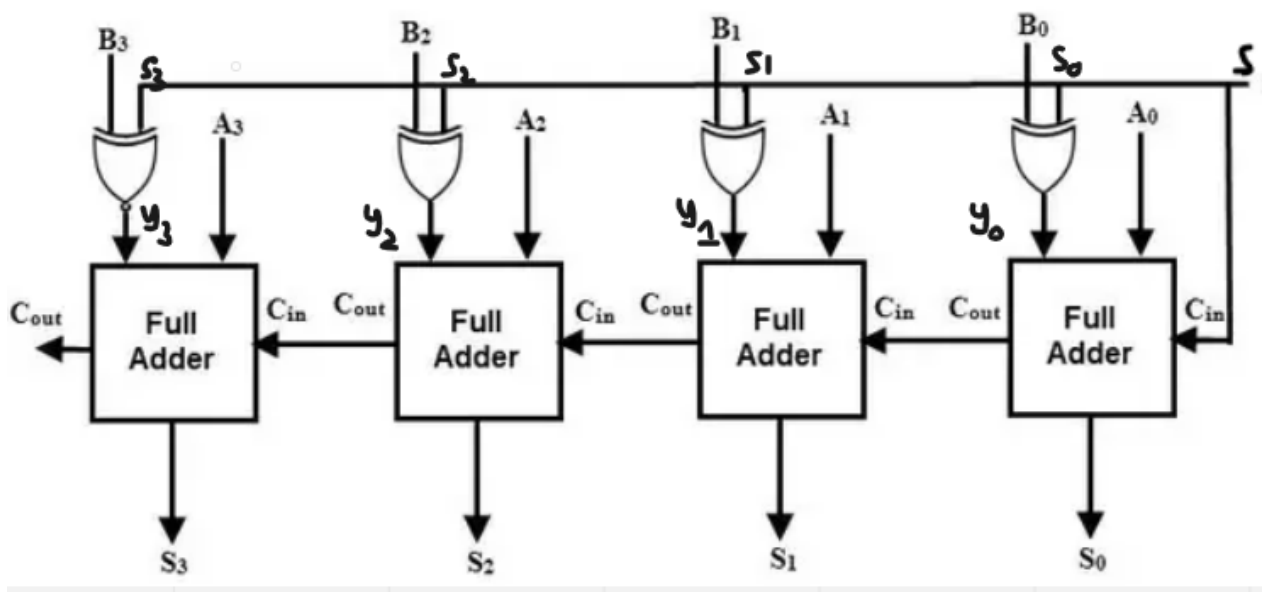


Hình 3.1: Mạch cộng song song 4 bit



Hình 3.2: Sơ đồ chân của IC 74LS283

Sơ đồ logic của mạch cộng song song 4 bit – Giải thích cách thiết kế?



Thực hiện thiết kế mạch cộng/trừ nhị phân như hình trên.

Nguyên tắc: $A_i - B_i = A_i + 2's \text{ complement}(B_i)$

Khi $S = 0, S_0 = 0, C_{in} = 0, Y_0 = B_0$, FA0 thực hiện chức năng cộng hai bit nhị phân $A_0 + B_0$, tương tự cho các FA kế tiếp.

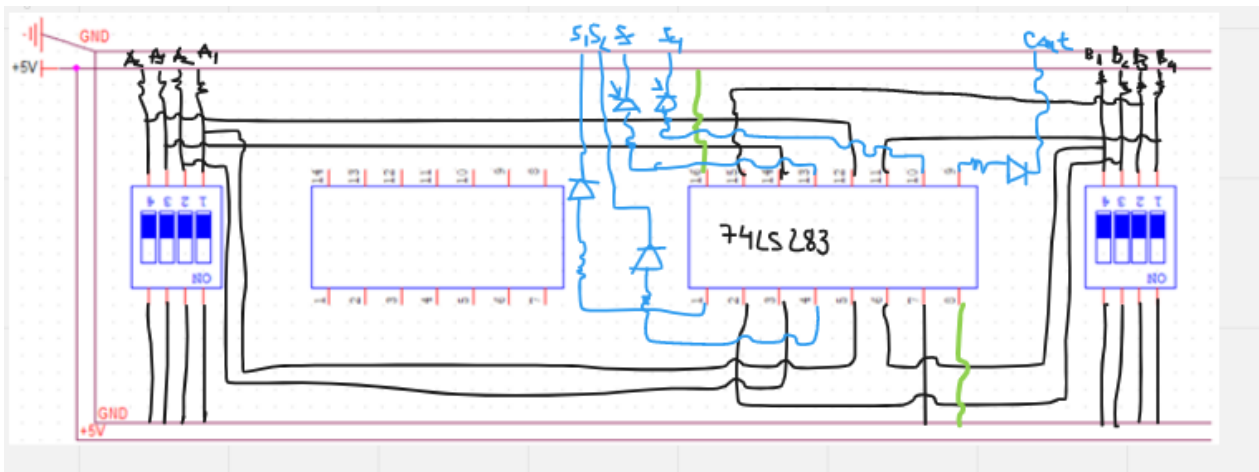
Khi $S = 1, S_0 = 1, C_{in} = 1, Y_0 = 2's \text{ complement}(B_0)$, FA0 thực hiện chức năng trừ hai bit nhị phân, tương tự cho các FA kế tiếp.

S	Phép toán	A_i	B_i	C_i
0	A+B			0
0	A+B			0
1	A+(-B)			1
1	A+(-B)			1

Lắp mạch cộng toàn phần trên Breadboard, **xác định các IC cần thiết:**

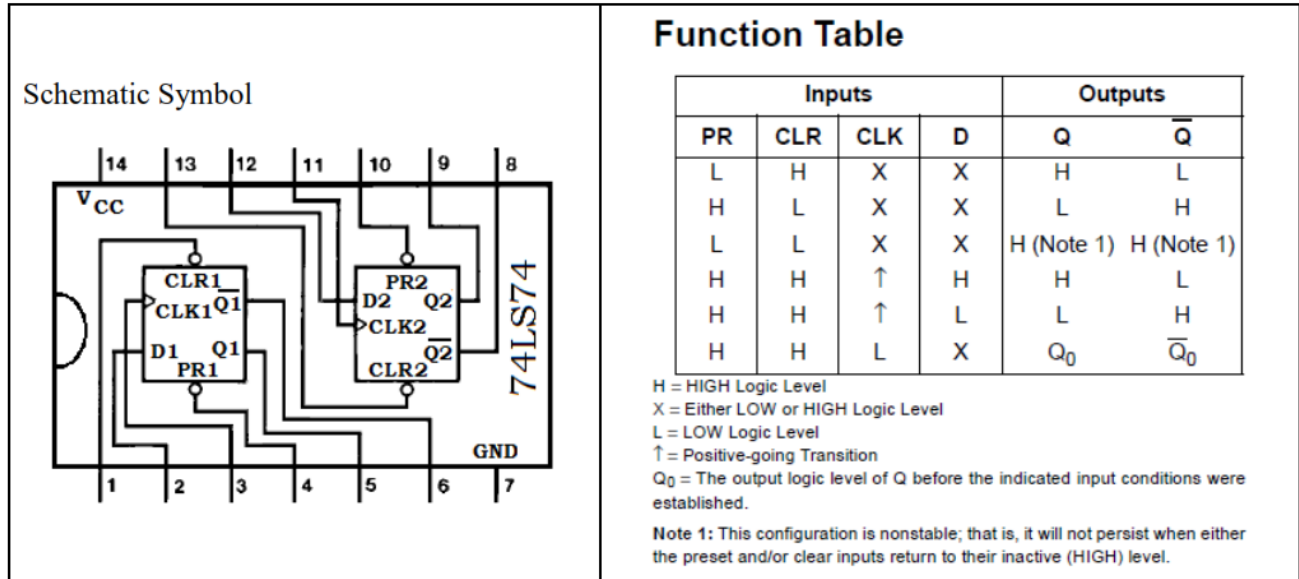
IC74LS283: 1 cái

Sơ đồ kết nối IC:



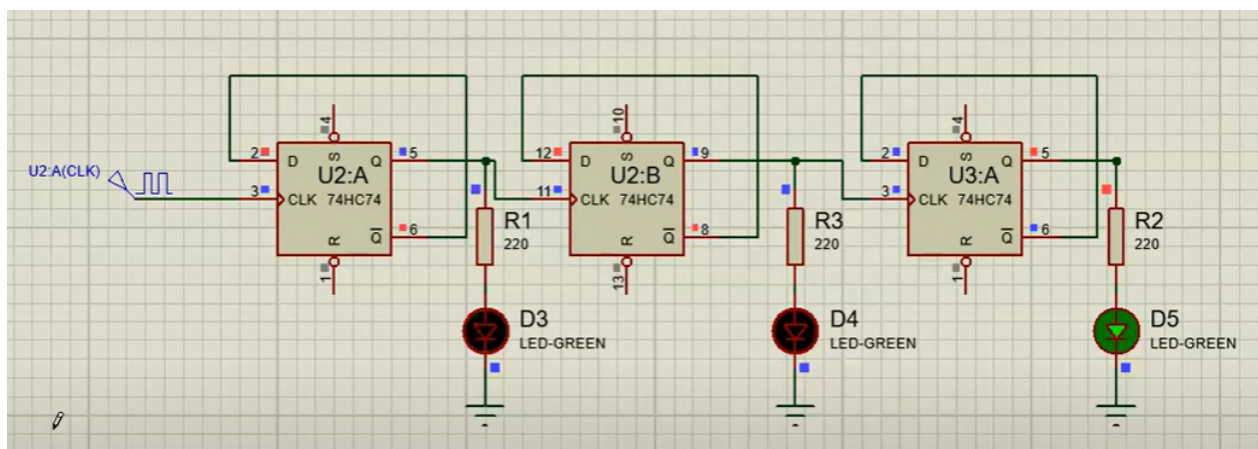
Câu 3: Thiết kế mạch đếm lên từ 0 – 7 sử dụng IC D-FF 74LS74

Bộ đếm nối tiếp thực hiện việc đếm lên hoặc đếm xuống, các trạng thái của bộ đếm hơn/kém nhau 1 đơn vị. Bộ đếm nối tiếp được xây dựng dựa trên các flip-flop, ngõ ra của flip-flop trước là tín hiệu clock của flip-flop tiếp theo.

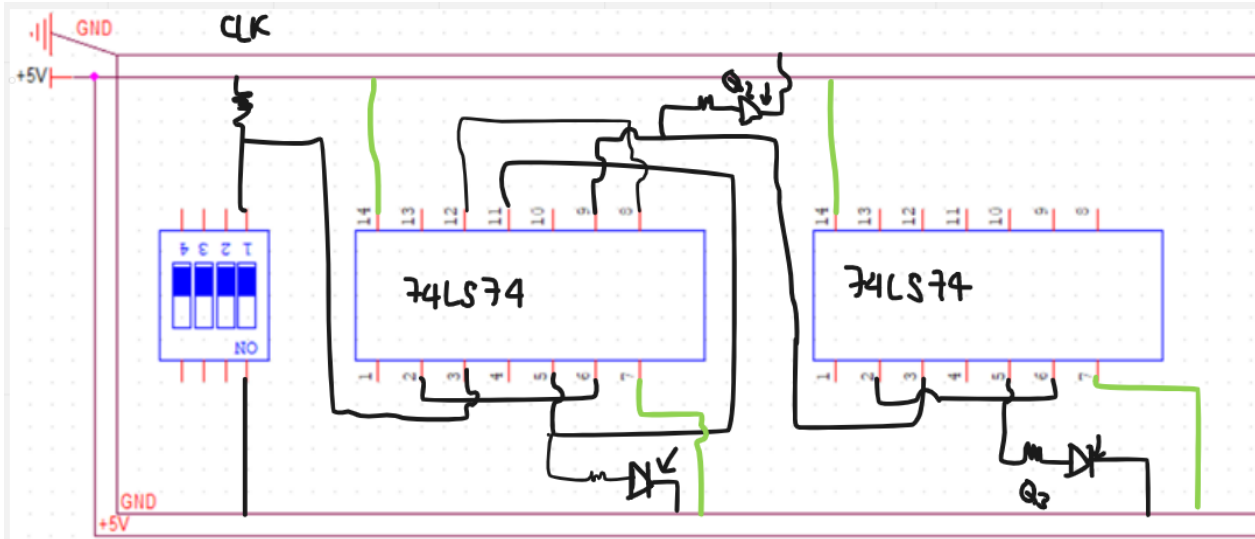


Hình 3.3: Sơ đồ chân và bảng hoạt động của IC 74LS74

Sơ đồ mạch đếm nối tiếp từ 0 – 7:



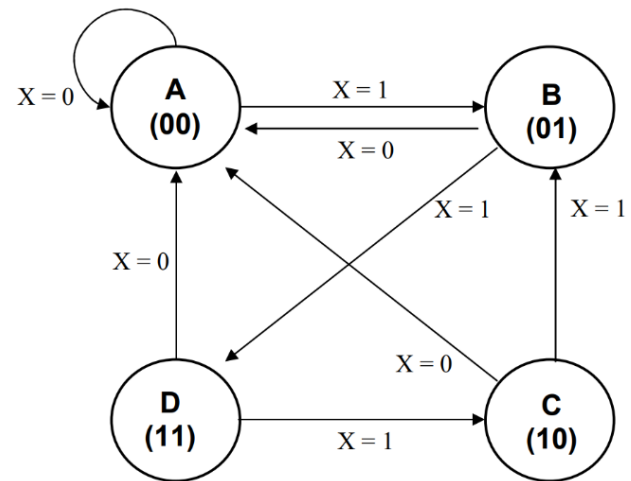
Sơ đồ kết nối IC:

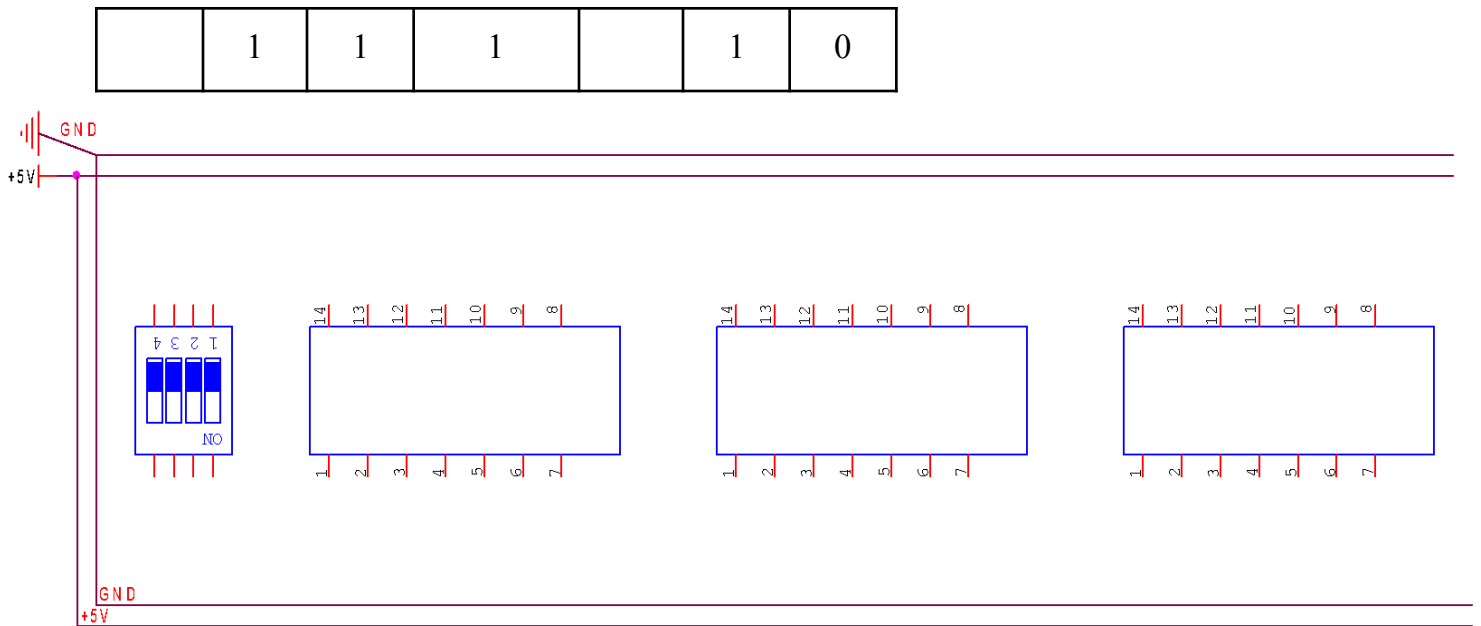


Câu 4: Thiết kế hệ tuần tự có giản đồ trạng thái như hình 3.4:

Bảng chuyển trạng thái:

TT hiện tại			Ngõ vào	TT kế tiếp		
	S1	S0			S1+	S0+
A	0	0	0		0	0
	0	0	1		0	1
	0	1	0		0	0
	0	1	1		1	1
	1	0	0		0	0
	1	0	1		0	1





Bảng 3.2: Bảng chuyển trạng thái

Sơ đồ mạch của máy trạng thái:

$$S1+ = \quad \quad \quad ; S0+ =$$

Các IC cần sử dụng:

Sơ đồ kết nối IC:



