



南京大学计算机科学与技术系
Department of Computer Science and Technology, Nanjing University



数字逻辑与计算机组成实验

课程简介

南京大学计算机学院



科学发现的三大支柱

- **科学是反映现实世界中各种现象及其客观规律的知识体系。**
- **广义的科学概念是自然科学、人文科学和社会科学等所有学科的总称。**
- **获得科学发现的三大支柱：**
 - **实验研究：以观察和总结自然规律为特征，以物理学科为代表；**
 - **理论研究：以推理和演绎为特征，以数学学科为代表；**
 - **计算科学：以设计和构造为特征，以计算机学科为代表。**
- **理论科学、实验科学和计算科学成为推动人类文明进步和科技发展的重要途径。**



实验在教学中的作用

- 验证理论和方法，巩固和加深理解知识
- 激发兴趣，培育创新精神
- 掌握科学方法，提高实践能力



基于RISC-V架构实验课程教学体系

- 以RISC-V+AM(抽象机)为基本架构，构建了融通软硬件计算机系统全栈能力培养的实验课程教学体系。
- 通过在不同层次的实验平台上构建计算机系统，逐步加深对计算机系统的理解，培养全方位的计算机系统设计能力。

	数字逻辑与 计算机组成	数字逻辑与计 算机组成实验	计算机系统 基础ICS	操作系统 OA	计算机系统设计 综合实验
开设学期	大一下	大二上	大二上	大二下	大三下
展示程序	累加求和, 冒泡排序	基准程序, 超级玛丽	仙剑+hello 分时运行	Shell	Project-N生态/ Debian
操作系统	-	-	Nanos-lite	Nanos	Nanos/Linux
抽象计算机层	-	AM = TRM(计算) + IOE(输入输出) + [CTE(中断异常) + VME(虚存) + [MPE(多核)]]			
ISA	37条RV32I	RV32IM	RV32IM	x86/RV64	MIPS32/RV64
微结构	单（多）周期	单周期/流水线	NEMU	QEMU	流水线/乱序
实验平台	Logisim	FPGA	教学模拟器	QEMU	FPGA



课程目标

- 使用**硬件描述语言**，设计**RV32IM**单周期/流水线CPU，通过**官方测试集验证**，运行测试程序。
- **理解和应用**数字逻辑与计算机组成原理课程知识。
- 掌握**基于FPGA**数字系统的设计方法。
- 熟练运用Vivado(Xilinx), Quartus(Intel)等设计工具。
- 掌握Xilinx A7-100T实验板的使用方法。
- 学习根据错误现象，分析原因，探寻解决问题方法。
- 培育自主创新设计实验的能力。



课程介绍

- 上课时间：周三2-4节。
- 上课地点：基础实验楼乙117。
- 上课形式：**课前**完成**在线**测评，**课上**验收/完善（必须在机房）、**课后**提交报告。
- 课程链接：《数字逻辑与计算机组成实验2025春季》
<http://114.212.10.241/classrooms/HNRTJZUT?code=ZBDXH>，邀请码：**URJTW**。
- QQ群：
2025春季数字逻辑与计算机组成实验
(群号：978444069)
- 支持和鼓励参加计算机学科大赛。



2025春季数字逻辑与...

群号：978444069





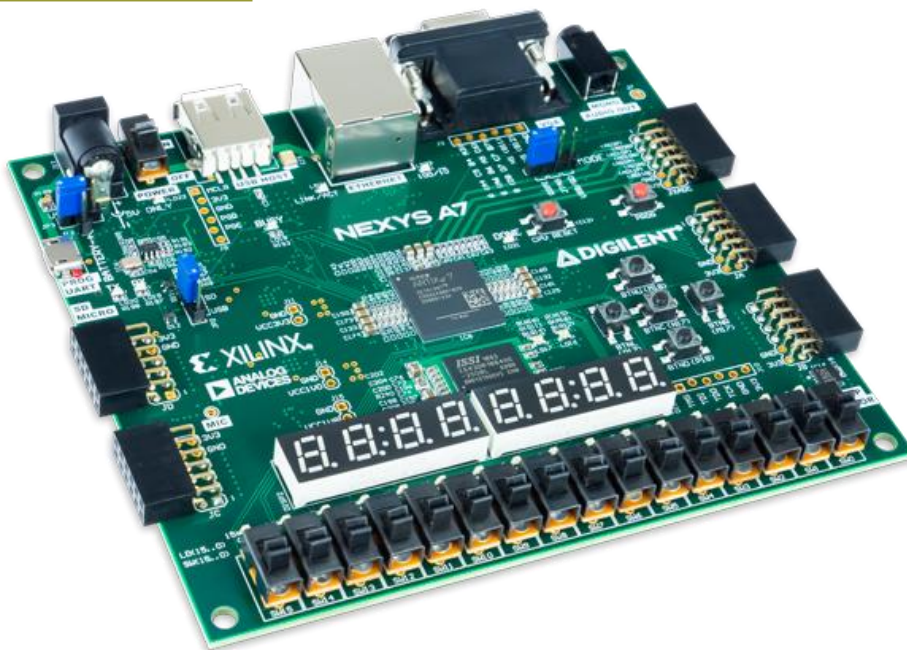
评分方法

- 评分原则：验收成绩+实验报告，兼顾效率和**创新**。
- 1、验收通过：演示+回答问题（60分）
- 2、实验报告：结构完整、设计合理、内容全面（30分）
 - 思考题回答准确。
 - 实验心得：出现的错误/故障及解决方法、获得的帮助及致谢等。
- 3、效率分：按时验收和提交实验报告（10分）
 - 延时1周扣5分。
- 4、**加分项**：自主创新、扩展实验（10分）



实验开发板Nexys A7-100T

- 实验开发板Digilent A7-100T/Digilent Nexys 4 DDR
 - <http://www.digilent.com.cn/products/product-nexys-4-ddr-artix-7-fpga-trainer-board.html>
- [XUP官方计科系统能力培养资源](#)
- [Nexys 4 DDR 资源](#)
- [Nexys A7 Reference Manual](#)
- [用户手册](#)





实验环境

■ 推荐：

- 在实验教学中心机房台式机中选择：Digital Design分区。
- 打开Vivado软件，编辑完成每个实验分项目，生成位流文件，并导出。
- 使用Digilent Adept工具下载到实验开发板中进行验收调试。

◆ Digilent adept[下载](#)

- 笔记本安装：可能遇到的问题（崩溃、太慢等）

■ Xilinx可编程器件设计环境Vivado 2020.2

- Vivado 2020.2 (46.2GB) 校园网下载
 - ◆ [ftp下载：ftp://114.212.130.58](ftp://114.212.130.58)，资源管理器中打开
 - ◆ box云盘下载：<https://box.nju.edu.cn/f/5ebc4705225f4b4d9037/?dl=1>
 - ◆ License云盘下载：<https://box.nju.edu.cn/f/832cbd4c664f458a8303/?dl=1>
- Vivado[安装手册](#)
- [Vivado设计流程简介](#)

■ 硬件描述语言Verilog HDL

- [Verilog 2005/IEEE.1364-2005](#)



课程实验内容

数字逻辑基础		部件实验		处理器设计	
0	FPGA实验基础	3	算术逻辑部件实验 (带标志位加减器、桶形移位器、ALU)	8	CPU数据通路
1	组合逻辑电路实验 (多路数据传输、7段数码管、汉明码纠错电路)	4	乘、除法器实验	9	RV32I 单周期CPU设计
2	时序逻辑电路实验 (寄存器堆、比特流加密、数字时钟)	5	键盘鼠标接口实验	10	流水线CPU设计
		6	VGA接口实验	11	计算机系统实验
		7	存储器实验 (堆、栈、数据存储器)		

RISC-V 社区官方测试集: <https://github.com/riscv/riscv-tests>

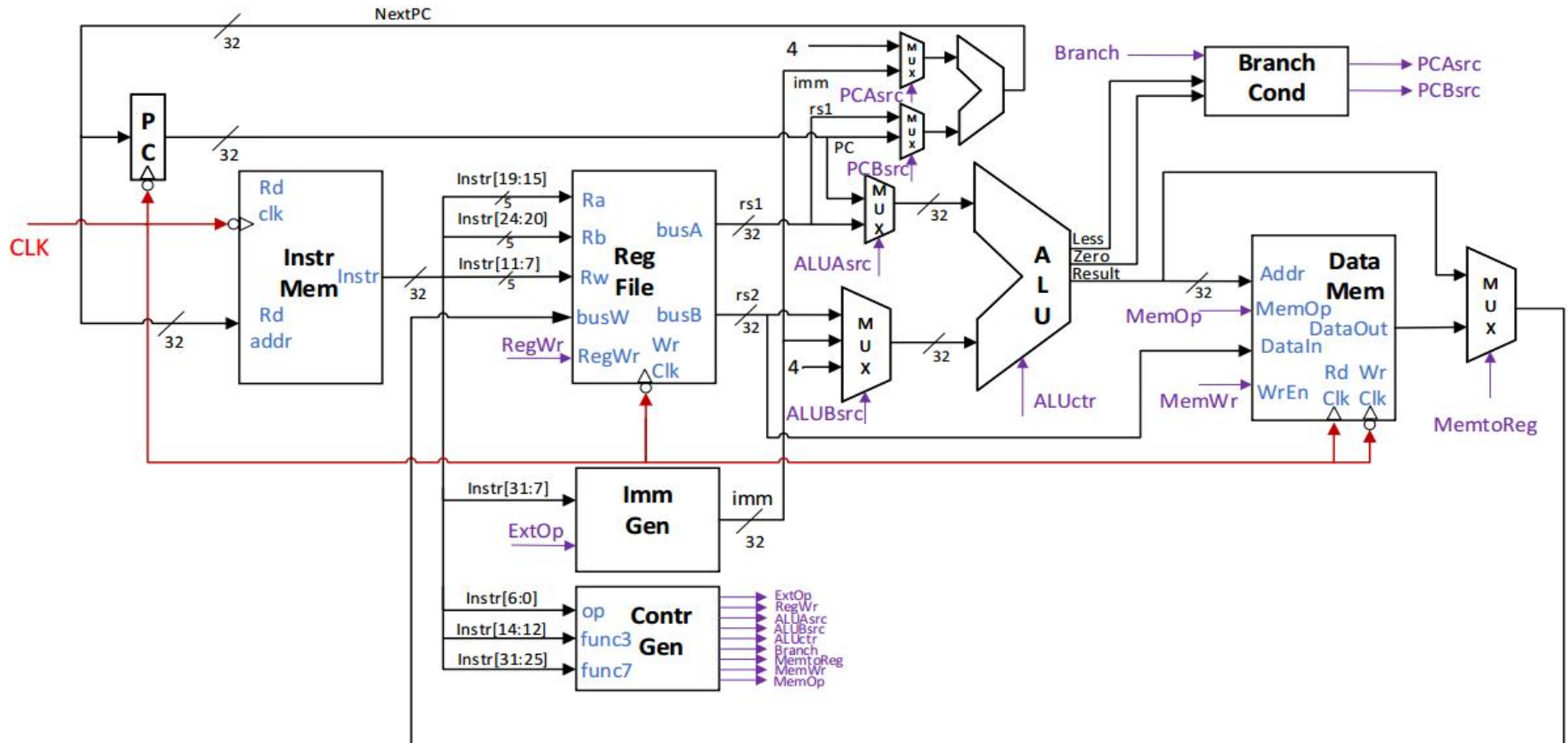
risc-v gcc 工具链

完成流水线CPU设计，并通过测试，实验成绩优秀！



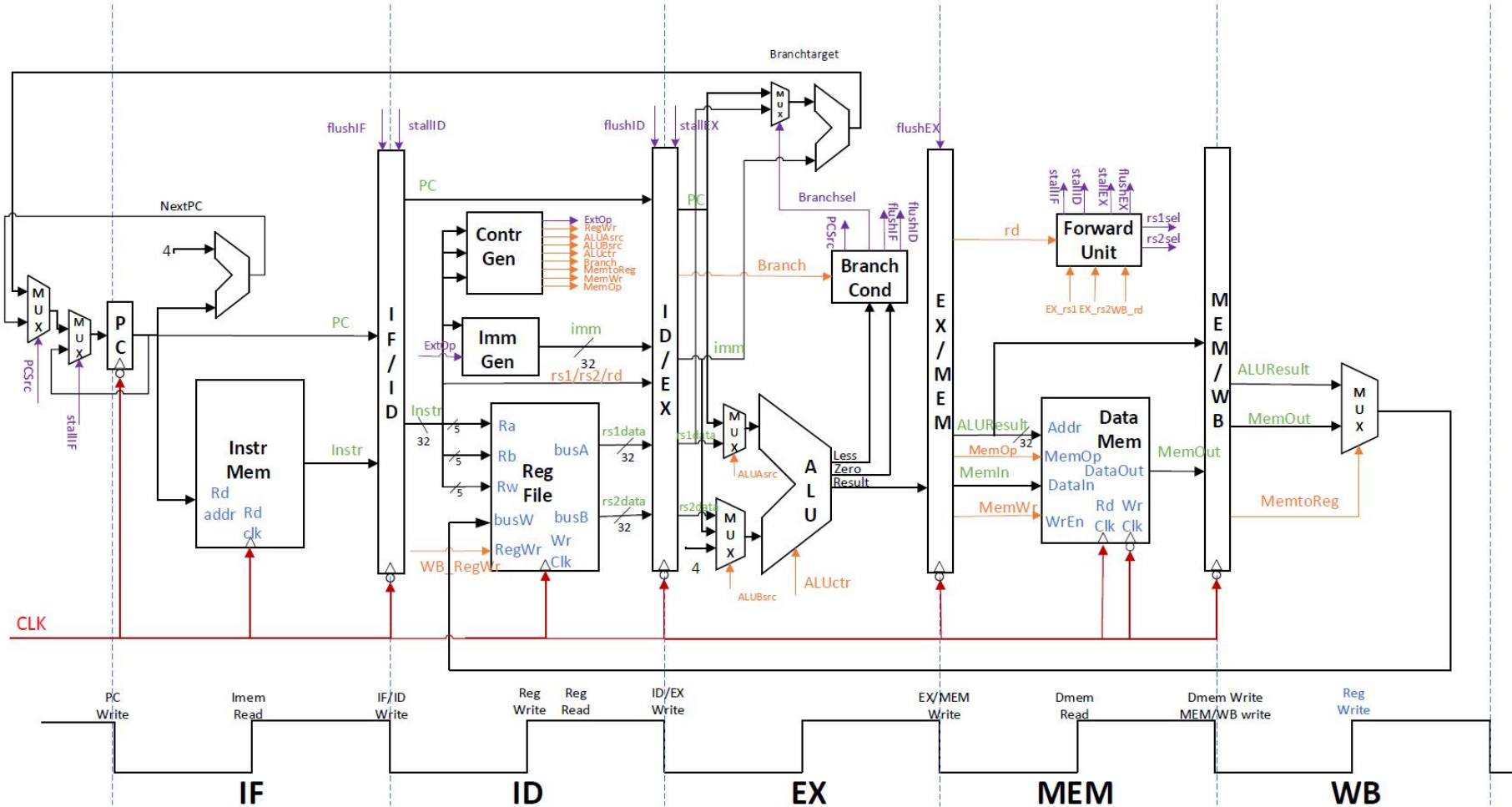
单周期CPU设计

- 通过数字电路实现各种外设模块，用RISC-V CPU把它们连接起来，最终组成完整的计算机系统！





流水线CPU设计



RV32I 五段流水线实现



在线评测

■ <http://114.212.10.241/classroom/s/lo87jxfb?code=65MPC>

首页 实践课程 实训项目 教学课堂 交流问答

数字逻辑与计算机组成实验2023秋03班 私有

邀请码: 65MPC 分享课堂 | 课堂管理

吴海军老师 (南京大学)

成员管理 | 学生 23 | 教师 3

通知公告

课堂实验 24

图文作业

分组作业

在线考试

问卷调查

教学资料 10

视频直播

互动讨论

在线签到

数据统计

设置

教学资源

已发布 未发布 全部

共 10 个资源 已发布: 10个 未发布: 0个

☐ 已选择 0 个 (不支持跨页勾选)

☐ 实验报告格式.pdf
吴海军老师 大小 159.8 KB 下载数

☐ 第1讲 课程简介.pdf
吴海军老师 大小 1.6 MB 下载数 22

第1关: 四位补码加法器 300

任务要求 评论

- 任务描述
- 实现要求
- 接口规范
 - 输入格式
 - 输出格式

任务描述

实现一个四位二进制补码加法器。

实现要求

此加减运算器的核心部件是一个4位加法器,能够根据控制端完成加、减运算,并能判断结果是否为0,是否溢出,是否有进位等。这里,输入的操作数A和B都已经是补码。输入信号有:两个4位的参与运算的数据的补码操作数A和操作数B,一个控制做加法还是做减法的加/减控制端 addsub。输出信号有:一个4位的结果 F、一位进位位 cf,一位溢出位 of 和一位判断结果是否为零的 zero。请注意在各种边界条件下的输出,各个标志位都要正确才能通过。

本题中进位位 cf 在减法时的定义按 X86 的方式,即 cf 为进位结果异或加减控制端 addsub。

接口规范

说点什么

四位补码加减法器 00:00:09

代码文件 已保存

```
1 module adder(  
2     input [3:0] A,  
3     input [3:0] B,  
4     input addsub,  
5     output [3:0] F,  
6     output cf,  
7     output zero,  
8     output of  
9 );  
10  
11 // add your code here  
12  
13 endmodule
```

测试结果

测试集1

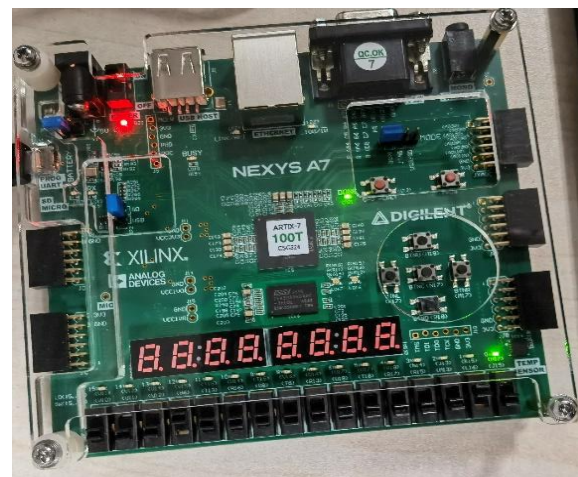
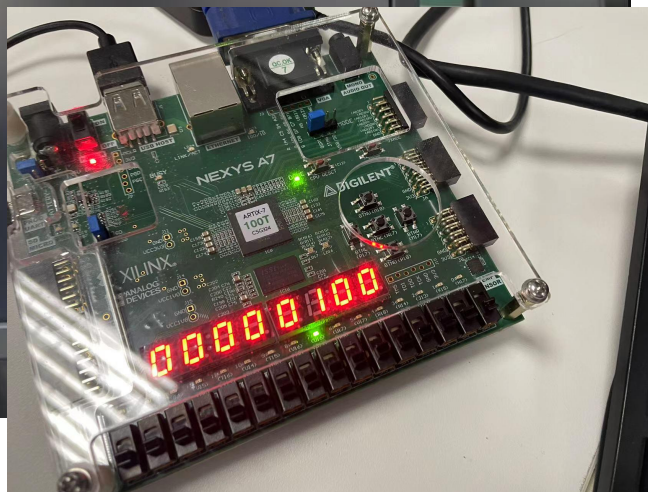
本关最大执行时间: 20秒

评测



学生作品

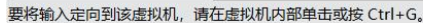
- 所有学生必须完成基于RV32I的实验（以下作品即为实验目标）



在FPGA上运行自己实现的RV32I处理器
可运行MD5计算、贪吃蛇等应用



运行前序课程中的测试代码





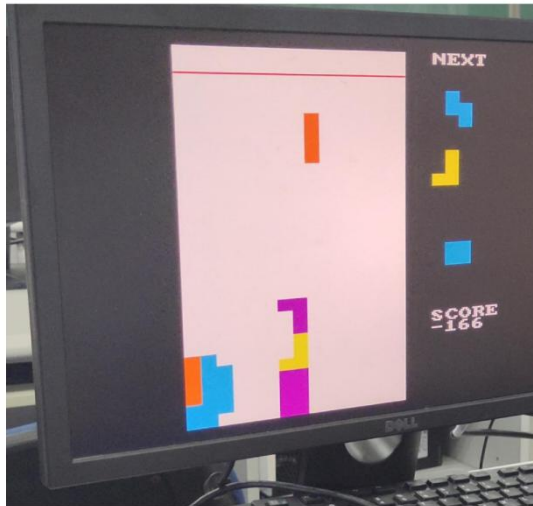
南京大学计算机科学与技术系
Department of Computer Science and Technology, Nanjing University

往年学生作品：穿越时空的奇幻旅程！

- 基于AM_IOE —— 软硬件间的协同交互。
- 在开发板上执行 “**来自未来的应用程序**” —— 学长学姐在**操作系统课**完成OSlab0小游戏。

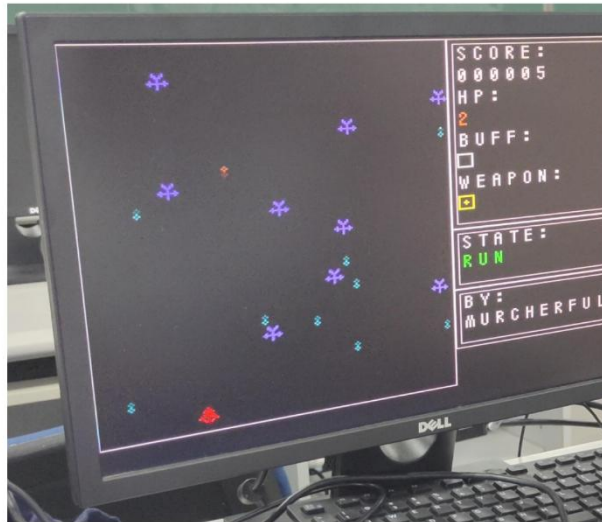
俄罗斯方块

作者: 171860508, 张天昀



雷电

作者: 171860637



贪吃蛇

作者: 171860695, 梁宇方





实验心得

数字逻辑与计算机组成实验课让我有机会接触开发板，在上面跑自己的程序，这是一种新奇的体验。在实现相应的功能的过程中，我经历了久久冥思苦想的苦闷，也经历了终于找到问题柳暗花明的喜悦，更有项目终于在板子上顺利运行的狂喜。这不能不说是一种有用的锻炼。

在上这门课的过程中，我第一次接触了硬件编程语言verilog，它的特性一开始让我摸不着头脑——我在大一一年只会写C和C++，软件思维已经深入我心，在面对硬件的阻塞、时序等问题时曾一度束手无策。所幸，做了几次实验之后，我渐渐熟悉了编程的技巧，也通过老师和助教学习了一些代码规范，让我没那么容易出错。同时也学会使用了一个强大的工具——vivado。刚开始使用的时候，我觉得这么笨重的家伙，为什么要用它呢？后来学习了更多算法，也去主动学习了更多的关于软件的知识，才知道它的工作并不简单，将verilog语言转化为开发板能够识别的指令并没有想象中那么容易。

201180088 陈浩楠

三、错误现象及原因分析

设计过程中出现了经常卡死的问题，有的是因为没有同步完成数据冒险的寄存器保护，有的是因为flush信号没有及时更新或恢复，精心调整时序和逻辑关系后解决。还出现了sb指令和lh指令依次执行是出错的情况，分析发现是因为读写边沿冲突了，将读写时钟放在两个边沿即可解决。而单周期CPU可以通过测试的原因则在于，为了通过框架测试，将时序提前了半周期，巧合的也将存储器的读写边沿错开了。



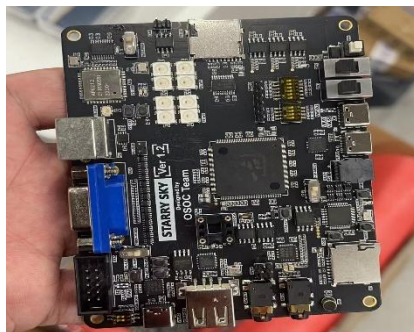
教学成效

- 我系本科生参加 “一生一芯” 计划获得流片资格的名单

	学生编号	姓 名	学 号	报名时年级
第三期	ysyx_210611	孙际儒	201250121	大一
第三期	ysyx_210285	李晗	191870085	大二
第三期	ysyx_210539	陈璐	181250012	大三
第四期	ysyx_22040053	汪洵	201870037	大二
第四期	ysyx_22040066	曹云帆	201220073	大二



孙际儒同学的芯片



李晗同学的芯片



陈璐同学的芯片



学长风范

■ 获得一生一芯流片资格的本科生



陈璐，18级，第三期
保研中科院计算所



李晗，19级，第三期
保研南京大学软件所



孙际儒，20级，第三期
保研中科院计算所

	姓名	学号	报名时年级	现状
第四期	汪洵	201870037	大二	清华大学AI学院
第四期	曹云帆	201220073	大二	



赠送我系的开发板



一生一芯第3期板卡（孙际儒）

一生一芯第4期板卡（汪洵）