

# Системы на кристалле

## Лабораторная работа 3

### “Высокоуровневый синтез функциональных блоков СнК”

#### Цель:

Получить знания и навыки использования технологии высокоуровневого синтеза для разработки IP ядер

#### Задание:

1. Разработать реализацию аппаратного ускорителя из лабораторной работы 1 используя синтезируемое подмножество языка си
2. Разработка теста для полученного ускорителя.
3. Выполнить синтез аппаратного ускорителя.
4. Провести co-simulation аппаратного ускорителя и теста на языке си. Сравнить результаты

#### Инструментальные средства:

- Xilinx Vivado 2019.1
- Xilinx HLS 2019.1

#### Содержание отчета:

- Титульный лист
- Вариант
- Изображение полученного аппаратного ускорителя с его интерфейсом
- Метрики для полученного аппаратного ускорителя без директив
  - Утилизация ресурсов FPGA
  - Время вычисления алгоритма при тактовой частоте в 100MHz
  - Временная диаграмма с результатами симуляции
- Метрики для полученного аппаратного ускорителя с директивой unrolled loops
  - Утилизация ресурсов FPGA
  - Время вычисления алгоритма при тактовой частоте в 100MHz
  - Временная диаграмма с результатами симуляции
- Метрики для полученного аппаратного ускорителя с директивой pipelined loops
  - Утилизация ресурсов FPGA
  - Время вычисления алгоритма при тактовой частоте в 100MHz
  - Временная диаграмма с результатами симуляции

- Исходный код алгоритма на си
- Верификационное окружение
- Во время защиты лабораторной работы студенты должны будут показать работоспособность верификационного окружения
- Отчеты присылать на почту [lsv141530@gmail.com](mailto:lsv141530@gmail.com). В теме письма указать "ИТМО СнК 2025", приложите отчет в формате pdf, и список студентов

#### **Вопросы к защите лабораторной работы:**

- Какова основная цель использования высокоуровневого синтеза (HLS) по сравнению с проектированием на VHDL/Verilog, и какие преимущества вы получили в этой работе?
- Прокомментируйте полученные метрики (задержка, интервал) и утилизацию ресурсов для базовой версии вашего ускорителя (без директив). Соответствует ли результат вашим ожиданиям?
- Как директива UNROLL повлияла на структуру созданного аппаратного обеспечения и почему это привело к изменению занимаемой площади и производительности?
- В чём состоит принцип конвейеризации (PIPELINE), и как его применение отразилось на временных характеристиках вашего блока, в частности, на интервале (interval) между обработкой новых данных?
- Проведите сравнительный анализ трёх реализаций (базовая, unrolled, pipelined) по критериям "производительность vs. ресурсоёмкость". Какую из них вы бы выбрали для реального проекта и почему?
- Какие ограничения синтезируемого подмножества языка C при использовании HLS существуют и почему?
- Объясните что САПР выводит в отчете синтеза
- Раздел HLS анализ, для чего нужен, что показывает, объяснить на примере.