

БЫТОВОЙ КОМПЬЮТЕР НОВВИТ

Основные элементы бытового компьютера (БК) - процессор, память, узел обработки прерываний, схема синхронизации и управления, схема ввода-вывода. Назначение сигналов процессора описано в (1). В данной схеме БК сигналы WAIT, BUSRQ, BUSAK и HALT не используются.

АРХИТЕКТУРА БК НОВВИТ

Архитектурно БК НОВВИТ организован так, чтобы при минимально возможных аппаратных затратах получить, полную совместимость с машиной-прототипом - ZX SPECTRUM (issue 6a) и в то же время сделать возможным:

- а). подключение двуязычной клавиатуры профессионального типа, различных типов дисплеев, принтеров, до 4-х накопителей на гибких магнитных дисках; при необходимости, возможность немедленной загрузки в ОЗУ принтера знакогенератора альтернативного алфавита;
- б). работу в среде локальной вычислительной сети с достаточно высокой скоростью передачи данных - порядка 56 кбод и абсолютным приоритетом сетевых запросов перед программными, что позволяет локальной сети иметь немедленный доступ к любым машинным ресурсам;
- в). двухэкранный режим работы с возможностью в любой момент времени обменивать и копировать основной и альтернативный экраны;
- г). получение немедленного доступа к системным и сетевым ресурсам через механизмы теневого меню;
- д). работу в альтернативной BASIC-у операционной среде языка LOGO, доступной немедленно по включению питания либо сбросу БК;
- е). закрытие доступа процессора к ресурсам теневой системы в случае программной ошибки или принудительного сброса БК, что позволяет хранить в теневом ОЗУ неуничтожаемые пользовательские мониторы, недоступные по чтению и записи из конфигурации SINCLAIR, запускаемые в любой момент времени вне зависимости от активной в данный момент программы;
- ж). наличие механизма функциональных клавиш, позволяющего пользователю как определять самому, так и использовать заранее определенные и неуничтожаемые какими-либо случайными ошибками или принудительным сбросом БК последовательности произвольных директив и операторов языка BASIC, что во многих случаях значительно ускоряет работу с БК и избавляет от повторения рутинных операций;
- з). исправление ошибок в операционной системе SINCLAIR, без изменения в ней ни единого байта.

С целью реализации всех этих дополнительных возможностей:

- введены механизмы немаскированных прерываний и расширенной адресации памяти;
- значительно расширена по сравнению с прототипом номенклатура портов ввода-вывода, введен специальный режим их адресации, когда одному и тому же физическому порту соответствуют различные, определяемые активной в данный момент времени системной конфигурацией, адреса;
- обеспечен режим защиты системных ресурсов от несанкционированного доступа со стороны прикладных программ, включающий в себя защиту по записи теневого ОЗУ в системной конфигурации SINCLAIR и свой собственный состав портов ввода вывода для каждой из конфигураций.

Конфигурация SINCLAIR является основной при работе в среде BASIC-а и/или при использовании программ для компьютера SPECTRUM. Обработка ситуаций, связанных с обеспечением всех вышеупомянутых дополнительных возможностей возложена на 7 системных конфигураций.

1. Конфигурация SHADOW-A, включающая в себя драйверы теневых меню, локальной сети, двуязычной клавиатуры, принтеров различных типов а также альтернативные операционной системе машины-прототипа подпрограммы, выполняющие те или иные действия по обеспечению дополнительных возможностей БК.
2. Конфигурация SHADOW-B, в основном содержащая в себе базу данных, используемую конфигурацией SHADOW-A.
3. Конфигурация DOS, включающая в себя дисковую операционную систему.
4. Конфигурация LOGO, альтернативной BASIC-у операционной среды.
5. Конфигурация RAM (64kb ОЗУ при отключенном ПЗУ), динамически используемая теневыми конфигурациями с целью организации неуничтожаемых буферов, доступа к другим конфигурациям и т.д.
6. Конфигурация SINCLAIR-X, отличающаяся от конфигурации SINCLAIR тем, что в ней отсутствует возможность чтения порта ввода #FE.
7. Конфигурация CP-M, подобная RAM, но с измененным положением экранной области ОЗУ.

ПАМЯТЬ

Блок памяти состоит из следующих основных узлов:

1. ПЗУ типа 27512 с организацией 64к*8 - D50.
2. Статическое ОЗУ типа 43256 с организацией 32к*8 - D51, D52.
3. Адресные мультиплексоры D59 - D63.
4. Буфер выдачи данных на системную шину D63.

5. Буфер записи данных D70.
6. Буфер чтения атрибутивного байта дисплея D52.
7. Буфер чтения графического байта дисплея D43, D44.

Адресное пространство ПЗУ разбито на 5 страниц. Активность каждой страницы определяется текущей системной конфигурацией:

НОМЕР КОНФ.	ИМЯ КОНФ.	АДРЕСА ПЗУ	СИСТЕМНЫЕ АДРЕСА
0	SINCLAIR	0000 - 3FFF	0000 - 3FFF
2	DOS	4000 - 7FFF	0000 - 3FFF
4	LOGO	8000 - BFFF	0000 - 3FFF
6	SHADOW-B	C000 - DFFF	0000 - 1FFF
7	SHADOW-A	E000 - FFFF	0000 - 1FFF

После включения или сброса БК, а также после немаскированного прерывания (NMI) всегда открывается конфигурация SHADOW-A, которая является основной теневой конфигурацией. В случае включения или сброса, SHADOW-A производит предварительную инициализацию БК, затем анализируется наличие НГМД. Если НГМД подключен, то открывается конфигурация DOS, в противном случае - конфигурация SINCLAIR. В случае если конфигурация SHADOW-A открылась вследствие NMI, то дальнейшие переключения конфигураций определяются причиной, вызвавшей данное NMI.

СТРУКТУРА СИСТЕМЫ ВВОДА-ВЫВОДА И УПРАВЛЕНИЯ КОНФИГУРАЦИЯМИ

Основными элементами данной структуры являются PLM D7 (далее условно называемая адресной), PLM D3 (далее условно называемая управляющей) и 3 параллельных периферийных адаптера (ППА) D23-25 типа KP580BB55A, каждый из которых имеет по 3 канала (А, В и С), настроенных на ввод или на вывод в режиме "0".

Задачей адресной PLM является предварительная обработка ситуаций, связанных с появлением на адресной шине БК тех или иных заранее определенных адресов, либо адресов из определенного диапазона, а также шифрация старших 7 бит адресной шины для контроллера клавиатуры. Результат сравнения текущего адреса, выдаваемого процессором по адресной шине и массива адресов, хранящегося в адресной PLM передается в закодированном виде с выходов Q0-3 PLM-D7 на входы A0-3 управляющей PLM D8. Кроме того, в случае ввода/вывода через каналы одного из ППА, либо установки режима работы ППА, выходы Q0-1 непосредственно адресуют один из каналов ППА ("А", "В", "С", либо регистр управляющего слова), т.к. подаются на адресные входы A0 и A1 всех трех ППА. С выхода Q4 адресной PLM снимается сигнал /INBETA, который активируется если старший байт адресной шины равен #3D. Этот сигнал впоследствии используется для определения необходимости открытия конфигурации DOS (см. "Управление конфигурацией DOS") - с выходов Q5-7 адресной PLM снимается выходной сигнал приоритетного шифратора (см. "Контроллер клавиатуры").

На входы управляющей PLM D3 поступают, кроме вышеупомянутых, сигналы управления процессора /MRREQ, /IORQ, /RD, /WR, линия адресной шины A13, сигнал /AMIN с выхода вентиля D11.1, трехразрядная шина конфигураций, а также сигналы KCO с выхода 1-го разряда сдвигового регистра контроллера клавиатуры, сигнал ANY, нулевой уровень которого разрешает NMI по нажатию любой из клавиш и сигнал с выхода вентиля D16.4, который принимает нулевое значение, в случае если разрешены единичным значением сигнала KEYNMI немаскированные прерывания от клавиш, не входящих в ядро клавиатуры и одна из таких клавиш нажата.

На выходах PLM D8 формируются следующие сигналы:

Q0-2 — закодированный тремя битами номер группы портов ввода/вывода, либо некоторый специальный стробирующий сигнал (в левой колонке десятичное значение комбинации бит Q0-2, где бит Q2 — старший); данный код подается на адресные входы дешифратора D20, который осуществляет активацию одной из своих выходных линий, имеющих следующее значение:

- 0 — выбор ППА D23,
- 1 — выбор ППА D24,
- 2 — выбор ППА D25,
- 3 — выбор БИС контроллера НГМД D28,
- 4 — выбор БИС контроллера ЛВС D26,
- 5 — сигнал /INSHAD (см. "Контроллер прерываний"),
- 6 — сигнал /OUTSHAD (там же),
- 7 — пустая комбинация.

Q3 — сигнал /INFE чтения процессором порта ввода #FE.

Q4 — сигнал SPADR, подаваемый на вход адреса A13 ПЗУ D10. При открытой конфигурации SHADOW-A данный сигнал всегда установлен в "1", при конфигурации SHADOW-B — сброшен в "0", а в остальных конфигурациях его значение соответствует состоянию линии A13 шины адресов.

Q5 — сигнал PROTEC разрешения записи в ОЗУ.

Q6 — сигнал /ROMRD разрешения чтения из ПЗУ.

Q7 — сигнал RAMRD разрешения чтения из ОЗУ.

Каналы ППА D23-25 и их отдельные линии имеют следующее значение:

ППА	канал	режим	линии	целевое назначение
D23	А	ВВОД	РА0-4	Выходные 5 бит контроллера клавиатуры. Сигнал запроса маскированного прерывания. Может быть считан для синхронизации временных соотношений.
			РА5	
			РА6	
			РА7	
	В	ввод	РВ0-6	Номер сканируемой в данный момент клавиши.
			РВ7	Бит готовности сканируемой клавиши.

ППА	канал	режим	линии	ц е л е в о е н а з н а ч е н и е
D24	C	ВВОД	PC0-7	Шина состояния атрибута отображаемого в данный момент на дисплее знакоместа. Во время неинформативной части кадра старший бит всегда установлен в "1".
	A	ВЫВОД	PA0-7	Порт данных принтера.
	B	ВВОД	PB5-7	Чтение данных с регистра D46, фиксирующего состояние шифратора на PLM D7.
	C	ВВОД	PC0-4 PC5 PC6 PC7	Порт джойстика. Бит, определяющий MASTER машину в локальной сети ("1" - MASTER). Бит запроса данных контроллера НГМД. Бит завершения команды контроллера НГМД.
D25	A	ВЫВОД	PA0-2	Сигнал, определяющий цвет окантовки экрана дисплея.
			PA3	Выходной сигнал записи на магнитофон.
			PA4	Выход канала звука.
			PB0-2	Выход порта программной установки системной конфигурации.
	B	ВЫВОД	PB3	Разрешение NMI по нажатию любой клавиши ("0"-активен).
			PB4	Разрешение MMI по нажатию клавиш, не принадлежащих к клавиатурному ядру.
			PB5	Запрет NMI по чтению порта #FE.
			PB6	Отключение дешифратора сканирования клавиатуры.
			PB7	Разрешение аппаратной модификации системной конфигурации.
	C	ВЫВОД	PC0-1	Двухбитовый номер НГМД.
			PC2	Сигнал сброса БИС контроллера НГМД.
			PC3	Сигнал "головка установлена".
			PC4	Бит выбора стороны НГМД.
			PC6	Сигнал "двойная плотность" НГМД ("0"-активен).

СИСТЕМА ВВОДА-ВЫВОДА

Система ввода-вывода состоит из контроллеров клавиатуры, дисплея, накопителя на гибких магнитных дисках (НГМД), локальной вычислительной сети (ЛВС), принтера, а также устройства чтения и записи на магнитофон и порта чтения данных джойстика типа "KEMPSTON".

Контроллер клавиатуры

Контроллер клавиатуры обеспечивает возможность подключения матричной клавиатуры с размером матрицы 16*8 с количеством

клавиш до 104. Из полной клавиатурной матрицы аппаратно выделяется подматрица размером 5*8 (в дальнейшем называемая ядром), в которую входят клавиши с абсолютными номерами, определяемыми клавиатурным ПЗУ (D49). Результат опроса клавиш ядра хранится в клавиатурном ОЗУ (D46,47) в виде 8 пятибитовых слов и может считываться процессором по команде чтения порта #FE. Одно из этих слов может адресоваться старшим байтом адресной шины следующим образом:

выходы Q5-Q7 PLM D7 и входы A9-A15 этой же PLM образуют приоритетный шифратор "7->3" с активным нулевым уровнем выходов (см. таблицу истинности). При этом каждой активной входной линии A9-A15 соответствует уникальная комбинация выходов Q5-Q7. При чтении процессором данных из порта #FE, выходы Q5-Q7 PLM D7 через мультиплексор D58 проходят на адресные входы клавиатурного ОЗУ (D46,47), адресуя одно из 8 пятиразрядных слов, которое, появляясь на выходе клавиатурного ОЗУ считывается процессором через канал "А" ППА D23.

Таблица истинности приоритетного шифратора

Приоритет	A15	A14	A13	A12	A11	A10	A09	Q7	Q6	Q5
5	0	X	X	1	1	X	X	0	0	0
3	1	0	X	1	1	X	X	0	0	1
4	1	1	0	1	1	X	X	0	1	0
6	X	X	X	0	1	X	X	0	1	1
7	X	X	X	X	0	X	X	1	0	0
2	1	1	1	1	1	0	X	1	0	1
1	1	1	1	1	1	1	0	1	1	0
0	1	1	1	1	1	1	1	1	1	1

0 - вход активен,
1 - вход не активен,
X - безразличное состояние.

Сигнал записи в ОЗУ клавиатуры /WKS формируется в момент разрешения записи сигналом /SS, поступающим с выхода Q5 регистра D51, буферизующего выход Q5 PLM D9. Логика работы данного выхода PLM D9 такова, что сигнал /SS появляется однократно при завершении сканирования очередного набора из пяти клавиш ядра клавиатуры. С целью исключения конфликта между процессором и счетчиками сканирования клавиатуры при адресации клавиатурного ОЗУ, в схему введены мультиплексор D58, инвертор D4.6 и вентили D47.2, D19.2. Процессор имеет приоритет по адресации клавиатурного ОЗУ за счет подключения входа "S" мультиплексора D58 к сигналу /INFE чтения порта #FE с выхода Q3 PLM D8. Вентиль D19.2 обеспечивает снятие сигнала /WKS при обращении процессора к порту #FE, а вентиль D47.2 и инвертор D4 обеспечивают задержку восстановления сигнала /WKS относительно момента переключения адресов мультиплексором D33.

Сканирование клавиатуры осуществляет узел, состоящий из триггера D34.1, счетчиков D40-D41, ПЗУ D54, мультиплексора D64 и

дешифратора D22. ПЗУ D54, имея на адресных входах A0-A6 поступающий с триггера D34.1 и счетчиков D40-D41 семиразрядный номер клавиши, опрашиваемой в данный момент, генерирует на выходах D0-D6 семиразрядный код, определяющий положение этой клавиши в полной клавиатурной матрице 16*8. Младшие 4 разряда этого кода поступают на мультиплексор D64, выбирающий один из 16-ти столбцов матрицы, а старшие 3 разряда - на дешифратор D22, активирующий низким логическим уровнем одну из восьми строк матрицы через развязывающие диоды VD16-VD23. Если опрашиваемая в данный момент времени клавиша нажата, то на выходе /Q мультиплексора D64 появится уровень "1". Состояние этого выхода фиксируется пятиразрядным сдвиговым регистром D63, куда данные с выхода мультиплексора D64 вдвигаются по положительному перепаду сигнала /HRES с буфера PLM D9 - выхода Q3 регистра D51. Выходные данные регистра D65 поступают на информационные входы клавиатурного ОЗУ.

Для обеспечения функционирования ядра клавиатуры при специальном режиме опроса, когда процессор возбуждает при чтении порта #FE более чем одну из адресных линий A8-A15, введен дополнительный узел, реализованный на триггере D33.2, регистре D66, вентилях D12-16.4, D71.1-4 и D18.2. Работа этого узла разрешается при сбросе триггера D33.2, что происходит в случае чтения процессором порта #FE при активизации низким логическим уровнем адресных линий A14 и A15 (сигнал /AMIN="0"). В этом случае уровень "1" с инверсного выхода триггера D33.2 разблокирует по входу "R" регистр D66 и разрешает прохождение сигналов с выходов этого регистра через вентили D71.1-4 и D18.2 на входы порта #FE совместно (монтажное ИЛИ) с выходными данными клавиатурного ОЗУ. Вентили D12-16.4 осуществляют операцию "ИЛИ" над соответствующими выходными разрядами регистра D66 и входными данными, поступающими с выходов регистра D65. При этом, если соответствующий выходной разряд регистра D66 уже находится к моменту записи в него данных в состоянии "1", то подтверждается наличие "1" в этом разряде, в противном случае "1" запишется, если она была в соответствующем разряде регистра D65. Поскольку сигнал записи в регистр D66 (/WKC) приходит после формирования очередного пятиразрядного слова данных на выходах регистра D65, то на выходах регистра D66 образуется логическая сумма всех восьми пятиразрядных слов, выдаваемых регистром D65 при опросе матрицы ядра клавиатуры (5*8). Эта логическая сумма, пройдя через вентили DXX.1-4 и D18.2, активизирует уровнем логического "0" соответствующие разряды порта #FE и может быть считана процессором по команде чтения этого порта. Работа данного узла позволяет практически всегда подавить нежелательный эффект маскирования активных адресных линий из диапазона A8-A15 с меньшим приоритетом линиями с большим приоритетом при их одновременном возбуждении.

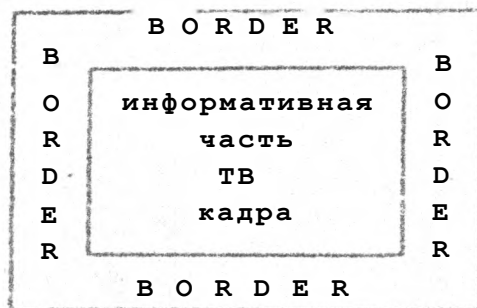
Для специального режима работы контроллера клавиатуры, описанного в разделе о немаскируемых прерываниях, служат канал "В" ППА D23, фиксирующий на входах PB0-PB6 номер опрашиваемой в данный момент времени клавиши, а на входе PB7 - бит, установленный в "1", если эта клавиша нажата; трехразрядный регистр D46, фиксирующий состояние выходов Q5-Q7 приоритетного шифратора состояний семи старших адресных линий процессора, входящего в состав PLM D7, в момент чтения порта #FE; 3 линии канала "В" (PB5-7) ППА D24, позволяющие процессору прочитать состояние этого регистра.

Контроллер дисплея

Контроллер дисплея позволяет подключать к БК RGB мониторы с кадровой частотой 50 Гц, требующие прямой RGBY видеосигнал и инверсную синхросмесь (вариант "А"); мониторы с кадровой частотой 60 Гц (прямой RGBY видеосигнал, отдельные прямые кадровый и строчный синхроимпульсы, вариант "Б"); черно-белые мониторы или телевизоры с частотой кадров 50 Гц, на которые подается полный видеосигнал с 15 градациями яркости (вариант "С"). Настройка БК на конкретный вариант осуществляется заменой PLM D9 (для вариантов "А" и "С" прошивки PLM D9 совпадают). Выходные сигналы для вариантов "А" и "Б" имеют TTL уровни. Кроме синхроимпульсов и RGB сигналов, БК также генерирует сигнал "У" изменения общей яркости знакоместа. Сигнал "У" может иметь как прямую, так и обратную полярность (в случае наличия на плате перемычки X5, единичный уровень сигнала "У" означает повышенную яркость знакоместа).

Основой контроллера дисплея является PLM D9, формирующая все основные управляющие сигналы дисплейной части БК. На входы A0-A14 этой PLM поступают сигналы со счетчиков знакомест в строке (x1-x6) и счетчиков строк (y1-y9). На выходах Q0-Q7 формируются следующие сигналы:

- Q0 - сигнал SYNCH1: полная синхросмесь отрицательной полярности с врезками в кадровые синхроимпульсы (вариант "А") или (вариант "Б") строчные синхроимпульсы положительной полярности.
- Q1 - сигнал BORDER. Активен во время неинформативной части ТВ кадра:



- Q2 - сигнал BLANK отключения выходного формирователя RGBY сигналов во время обратного хода луча;

- Q3 - сигнал /HRES сброса счетчиков знакомест в строке при достижении длительности строки 64mks.
- Q4 - сигнал /VRES сброса счетчиков строк при достижении заданной длительности кадра.
- Q5 - сигнал /SS предварительного разрешения записи в ОЗУ клавиатуры.
- Q6 - сигнал SYNCH2 - кадровые синхроимпульсы положительной полярности (только для варианта "Б").
- Q7 - сигнал маскированного прерывания /INT, поступающий на вход /INT процессора и на линию PA5 канала "А" PPA D23 (5-й бит порта ввода #FE).

Все выходы PLM D9 буферизованы регистром D51, запись данных в который происходит по положительному перепаду сигнала SHIFT.

Входными сигналами для PLM D9 являются сигналы с выходов счетчиков знакомест в строке (D38-39) и счетчиков строк (D34.1, D40-41). Счетчики D38-39 являются старшей восьмиразрядной частью 12-тиразрядного синхронного счетчика D37-39, тактируемого частотой 14 МГц от кварцевого генератора и обеспечивающего основные временные соотношения работы БК (см. "Устройство управления и синхронизации"). Счетчик строк (D34.1, D40-D41) тактируется сигналом сброса счетчика знакомест /HRES.

Данные, отображаемые на экране дисплея, считываются из основного ОЗУ в регистры D43-44 (графический байт) и D52 (атрибутивный байт) по сигналам PE и /ATP соответственно. Для обеспечения точного совпадения по времени моментов отображения графики высокого разрешения и атрибутов в схеме имеются регистр сдвига D41, задерживающий отображение графики на 4 такта сигнала SHIFT, вызывающего отображение очередного пикселя и регистр D53, на котором по фронту сигнала SHIFT формируются сигналы цвета "чернил" (выходы Q0-Q2), "бумаги" (выходы Q3-Q5), яркости (выход Q6) и бит указателя активного в данный момент времени цвета (если "1", то это цвет "чернил", иначе - цвет "бумаги"). Между выходом Q7 регистра D52 и входом D7 регистра D53 включена цепочка, состоящая из вентилей D13.1 и D50.3, обеспечивающая включение режима мерцания знакоместа при единичном значении выхода Q7 регистра D52. Частота мерцаний определяется счетчиком D49, тактируемым сигналом Y9 старшего разряда счетчика строк.

Данные с регистра D53 поступают на выходной мультиплексор D57, который в зависимости от состояния бита указателя цвета, поступающего на вход "S", пропускает на свои выходы YA, YB, YC либо код цвета "чернил", либо код цвета "бумаги", а на выход YD - сигнал, определяющий яркость знакоместа (при отсутствующей перемычке X5 этот сигнал будет инверсным, т.е. его нулевому значению будет соответствовать повышенная яркость знакоместа). Сигналы с выхода мультиплексора D57 подаются на выходной разъем подключения к БК RGB монитора (на выходе YA мультиплексора формируется сигнал B, выходе YB - R, выходе YC - C с единичным значением этих сигналов при включенном цвете) и на АЦП,

формирующий сигнал для ч/б монитора/телевизора, реализованный на резисторах R106-109. Сформированный на АЦП аналоговый видеосигнал на 15 градаций яркости через эмиттерный повторитель на транзисторе VT4 совместно с синхросмесью подается на разъем подключения ч/б монитора/телевизора.

Контроллер накопителя на гибких магнитных дисках (НГМД)

Основой контроллера НГМД является специализированная микросхема КР1818ВГ93 - (D28), осуществляющая большинство необходимых функций управления накопителем. Кроме того, в схему контроллера входят кварцевый генератор на частоту 4 мГц, реализованный на резонаторе ZQ2, инверторах D2.2-3 и D1.3; делители частоты на триггерах D29.1 и D30.1; сепаратор данных чтения на счетчике D35 и триггерах D31.1, D32.1; формирователь данных записи на регистре D42 и вентиле D47.1; дешифратор выбора накопителя D21; буферные формирователи управляющих сигналов для НГМД - инверторы D27.3-6; выходы PC0-PC4 и PC6 канала "С" ППА D25; входы PC6-PC7 канала "С" ППА D24.

БИС контроллера НГМД КР1818ВГ93 (D28) тактируется по входу CLK частотой 1 мГц с выхода триггера D30.1, а при чтении данных с диска - также дополнительным сигналом, поступающим на вход RCLK с выхода Q3 счетчика D35 сепаратора данных чтения. Сброс D28 осуществляется программно через бит PC2 канала "С" ППА D25 подачей на вход /MR напряжения низкого уровня. Сигнал "головка установлена" (HLT) подается на вход HLT D28 с выхода PC3 того же ППА, а сигнал установки двойной плотности /DDEN - на вход /DDEN с выхода PC6. Сигналы "защита записи", "нулевая дорожка" и "индекс" подаются на входы /WPRT, /TR00 и /IP непосредственно с НГМД. Вход /IP может быть установлен в "0" нулевым значением сигнала "головка установлена" через диод VD6. Данные чтения поступают на вход /RRD с выхода формирователя данных на триггерах D31.1 и D32.1. Выходной сигнал WF управляет работой сепаратора данных чтения, сигналы EARL и LATE - фазой сигнала записи, WD - выход данных записи, WG - временное окно данных записи, STEP - сигнал активации шагового двигателя перемещения головки дисководов, DIR - сигнал, определяющий направление перемещения головки, HLD - сигнал опускания головки/разрешения выбора дисководов/включения двигателя выбранного дисководов. Сигналы DRQ и IRQ готовности/запроса данных и окончания выполнения команды БИС КР1818ВГ93 могут быть считаны программно через входные линии PC6 и PC7 канала "С" ППА D24. Номер выбранного накопителя (0-3) определяется двухразрядным кодом, подаваемым через выходы PC0-1 канала "С" ППА D24 на входы A0-A1 дешифратора выбора накопителя D21, который стробируется по входу E3 сигналом HLD с выхода БИС КР1818ВГ93.

Контроллер локальной вычислительной сети (ЛВС)

Контроллер ЛВС реализован на БИС КР580ВВ51А, выполняющей основные функции по обслуживанию сетевого канала; инверторах D1.6, D4.3, формирующих принимаемый сигнал; инверторах D4.3, D27.2, буферизующих передаваемый сигнал; транзисторе VT1, подключающем нагрузочный резистор R34 к информационной линии локальной сети в MASTER компьютере; счетчике D36, генерирующем тактовый сигнал, который в MASTER компьютере через переключку в разъеме ЛВС проходит на тактовую линию сети, тем самым определяя скорость пересылки данных и синхронизируя момент их передачи и приема; защитных диодах VD2-5, VD7-10.

Порты принтера, магнитофона и джойстика

Пересылка данных на принтер осуществляется через канал "А" ППА D24 и буферные инверторы D2.5, D3.1-5, D4.1-2. Строб сопровождения данных формируется вентилями D13.3, D14.1 при записи процессором данных в канал ППА. В случае использования принтера, для которого длина строба может оказаться недостаточной, в схему устанавливается переключка X14, вызывающая генерацию сигнала WAIT по переднему фронту строба, и тем самым растягивающая строб. Бит готовности принтера (как правило, сигнал BUSY интерфейса Centronics) считывается процессором через линию PA7 канала "А" ППА D23.

Устройство чтения с магнитофона реализовано на основе формирователя D5 КР1006ВН1 с регулируемым подстроечным резистором R110 порогом переключения. Данные с выхода формирователя могут быть считаны процессором через линию PA6 канала "А" ППА D23. Вывод информации на магнитофон происходит по линии PA3 канала "А" ППА D25 через разделительный конденсатор C2.

Состояние джойстика может быть считано процессором через линии PC0-4 канала "С" ППА D24. Активному состоянию линий соответствует логическая "1", что обеспечивается резисторами R29-33.

УЗЕЛ ГЕНЕРАЦИИ ПРЕРЫВАНИЙ

Запрос на маскированное прерывание генерируется каждые 20ms (вариант "А", см. описание контроллера дисплея) или 16.7ms (вариант "Б") и имеет вид импульса длительностью около 8mks, подаваемого на вход /INT процессора.

Источниками запроса на немаскированное прерывание (NMI) могут быть:

1. БИС контроллера локальной сети КР580ВВ51А (D26). Запрос генерируется, если при разрешенном режиме поиска синхропоследовательности (HUNT MODE) такая последовательность будет обнаружена в канале локальной сети. Данный запрос разрешен в конфигурациях LOGO и SINCLAIR.

2. Выходной сигнал /INSHAD дешифратора D28. Запрос NMI по этой линии генерируется при открытой конфигурации SINCLAIR в следующих случаях:
 - а). Если процессор считает код очередной команды, находящийся по одному из адресов "перехвата".
 - б). Если нажата одна из клавиш и разрешены NMI для той части клавиатуры, в которой она находится.
3. Выходной сигнал вентиля D15.1. Запрос MMI происходит, если разрешены NMI от чтения процессором порта ввода #FE и процессор выполняет эту операцию.

Запросы от источника (1) - /XNMI и источника (2) - /INSHAD через вентили D48.3, объединяющий эти два запроса, и D48.4 (вентиль самоблокировки триггера D34.2 по D-входу) проходят на D-вход триггера D34.2, а запрос от источника (3) - непосредственно на R-вход того же триггера. В случае наличия запроса (3), триггер сбрасывается асинхронно, а в случае запросов (1) или (2) сброс триггера происходит по заднему фронту сигнала /M1MREQ, приходящего на С-вход данного триггера, что соответствует моменту времени окончания чтения процессором кода очередной команды. После сброса триггер D34.2 самоблокируется по входу "D" через вентиль D48.4. и установка его в исходное состояние становится возможным только по S-входу (установка триггера D34.2 в исходное единичное состояние происходит через вентиль D48.2 либо сигналом сброса БК /RES через диод VD26, либо сигналом отключения DOS-конфигурации /OUTBETA через диод VD24, либо сигналом закрытия теневых конфигураций /RO с выхода Q триггера D33.1).

Поскольку сброс триггера D34.2 вызывает генерацию сигнала /NMI (выход Q триггера соединен со входом NMI процессора), то процессор, обнаружив запрос на NMI в последнем машинном цикле исполнения очередной команды, выполняет рестарт с адреса #66, предварительно записав в стек адрес возврата. При записи в стек первого байта адреса возврата задний фронт сигнала /WR сбрасывает по D-входу триггер D31.2 (установка этого триггера в исходное состояние происходит аналогично установке триггера D34.2). Сброс этого триггера вызывает открытие системной конфигурации SHADOW-A за счет установки в "1" сигнала ES с инверсного выхода триггера. Сигнал ES через вентили D16.1-3 устанавливает в единицу все три бита номера конфигурации. Подпрограмма, имеющая в данной конфигурации точку входа по адресу #66, обрабатывает NMI, определяя его источник, а затем передает управление по адресу #63, где находится двухбайтовый код команды RETN возврата из немаскируемого прерывания. При чтении второго байта кода этой команды, находящегося по адресу #64, на выходе 6 дешифратора D20 активируется сигнал /OUTSHAD, вызывающий по заднему фронту сигнала /M1MREQ сброс триггера D33.1. что в свою очередь вызывает асинхронную установку

триггеров D34.1 и D31.1 в исходное состояние как описано выше. Установка триггера D31.1 в исходное до NMI единичное состояние вызывает асинхронное восстановление исходного состояния триггера D33.1 по входу SD сигналом ES. Таким образом аннулируется сигнал открытия конфигурации SHADOW-A.

УПРАВЛЕНИЕ КОНФИГУРАЦИЕЙ DOS

Узел открытия/закрытия конфигурации DOS реализован на триггере D32.2 и вентилях D11.4, D15.3, D17.3, D50.1. Открытие данной конфигурации происходит по совпадению сигналов /INBETA с выхода PLM D7 и /M1MREQ на вентиле D11.4, что становится возможным при чтении процессором кода команды из диапазона адресов #3D00-#3DFF, что разрешено исключительно в конфигурации SINCLAIR (номер "0"). При этом триггер D32.2 асинхронно устанавливается по входу "S", тем самым устанавливая единичный уровень на выходе вентиля D17.3, в результате чего открывается конфигурация номер "2" (DOS). Закрытие данной конфигурации происходит при чтении процессором кода команды из диапазона адресов #4000-#FFFF, т.е. при единичном значении сигнала /AMIN, являющегося логической суммой двух старших бит адресной шины. Этот сигнал, инвертированный вентилем D50.1, при условии совпадения с сигналом /M1MREQ, через вентиль D15.3 вызывает асинхронный сброс триггера D32.2 по входу "R", тем самым восстанавливая исходную конфигурацию SINCLAIR.

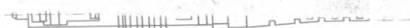
УПРАВЛЕНИЕ КОНФИГУРАЦИЕЙ СР-М

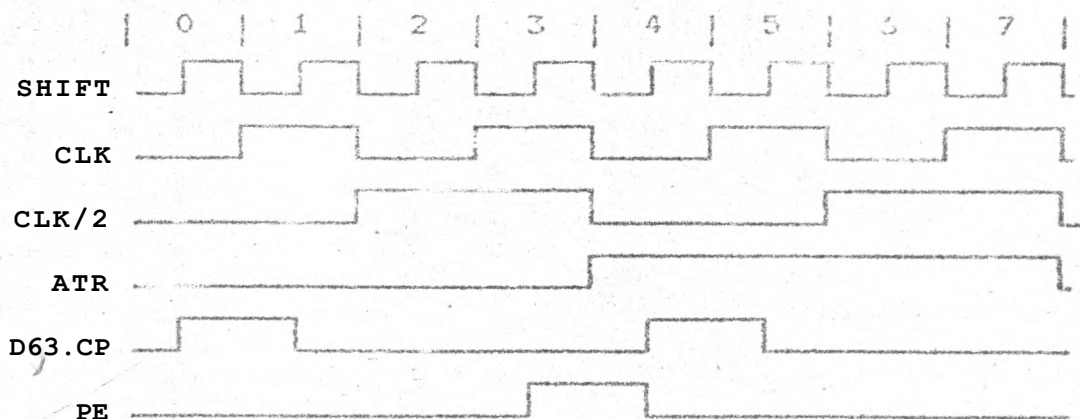
При программном включении конфигурации СР-М высокие логические уровни на входах вентиля D72.2 и низкий логический уровень на входе вентиля D19.3 вызывают появление логической "1" на входах i1B и i1D мультиплексора D63, что вызывает перемещение экранной области ОЗУ из адресов #4000 - #5AFF в адреса #E000 - #FAFF

УСТРОЙСТВО СИНХРОНИЗАЦИИ И УПРАВЛЕНИЯ

В устройство синхронизации и управления БК входят кварцевый генератор на частоту 14 МГц, реализованный на резонаторе ZQ1 и вентилях D2.1-2, D1.3; линейка счетчиков, состоящая из синхронного 12-тиразрядного счетчика на микросхемах D37-39 и синхронного по восьми старшим разрядам девятиразрядного счетчика на триггере D34.1 и счетчиках D040-41; формирователи основных временных соотношений на триггерах D30.2, D29.2 и вентилях D47.4, D18.3, D18.4, D47.3, D19.4; узел начальной установки БК на инверторах D1.1-2.

Основная временная диаграмма, определяющая режим работы ОЗУ, указана ниже.





Сигнал SHIFT по заднему фронту при нулевом уровне сигнала PE осуществляет побитный сдвиг пикселей в регистрах графики высокого разрешения; сигнал CLK через инвертор D1.5 подается на тактовый вход процессора.

Высокий уровень сигнала CLK/2 соответствует дисплейному временному окну доступа к ОЗУ, а низкий - процессорному; этот сигнал, будучи поданным на переключающие входы мультиплексоров D60-63, осуществляет переадресацию ОЗУ либо адресной шиной процессора (моменты времени 0-1 и 4-5), либо дисплейными счетчиками (моменты 2-3 и 6-7). В моменты дисплейного временного окна высокий уровень сигнала CLK/2 запрещает запись в ОЗУ через вентиль D47.3.

Низкий уровень сигнала ATR разрешает прохождение адресов диапазона графики высокого разрешения (#4000-57FF) на адресные линии ОЗУ через мультиплексор D63, а при высоком уровне этого сигнала в моменты дисплейного окна ОЗУ опрашивается в диапазоне адресов атрибутов (#5800-5AFF).

Высокий уровень сигнала D63.CP, подаваемого на вход CP регистра D63, разрешает фиксацию на этом регистре данных, получаемых из ОЗУ в моменты времени, соответствующие процессорному окну. После перехода этого сигнала в состояние логического нуля, эти данные остаются "защелкнутыми" в регистре и могут быть считаны оттуда процессором в любой момент времени.

Высокий уровень сигнала PE вызывает запись очередного байта графики высокого разрешения в регистры D43-44 по заднему фронту сигнала SHIFT.