



Hi3516A/Hi3516D 四层板参考设计指南

文档版本 02

发布日期 2014-12-19

版权所有 © 深圳市海思半导体有限公司 2014。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com



前言

概述

本文档主要介绍 Hi3516A/Hi3516D 芯片四层板的设计要点、要求和建议。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3516A	V100
Hi3516D	V100

读者对象

本文档（本指南）主要适用于单板硬件开发工程师。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

文档版本 02 (2014-12-19)

添加 Hi3516D 的相关内容

文档版本 01 (2014-09-05)

第 1 次正式发布。



目 录

前 言.....i

1. 电源.....1

2. DDR1

3. 复位.....1

4. Sensor.....1

5. SDIO1

6. 模拟音频.....2

7. 网口.....2

8. 配置管脚.....2

9. 风险.....2



1. 电源



说明

本文以 Hi3516A 描述为例，未有特殊说明，Hi3516D 与 Hi3516A 一致。

推荐客户在进行四层板的电源分割和电容布局时，完全拷贝海思的设计。

- a. Hi3516A 采有 4 路 CORE 电源，VDD，VDD_CPU，VDD_MEDIA，VDD_DDR，建议采用独立的供电模块分别给 4 路 CORE 电源供电，并且每一路电源预留 SVB 调压的电路。
- b. AVDD_DDRPLL、AVDD11_PLL、AVDD33_PLL 电源采用 π 形滤波，必须采用磁珠（100M@1kohm）和芯片 IO 电源和 core 电源进行隔离，并且在磁珠的两侧分别放置 100nF 和 2.2uF 电容，100nF 靠近芯片管脚放置，2.2uF 靠近磁珠放置。
- c. 对于不使用的模块，其电源管脚必须供电。
- d. AVDD_EFUSE 必须接地。

2. DDR

推荐客户在进行四层板的 DDR 部分设计时，完全拷贝海思的设计。

海思的参考设计板 DDR 地址命令线的 T 点位置没有串联 33 Ω 电阻，建议客户在设计时保留串联 33 Ω 电阻的设计。

3. 复位

推荐客户使用 Hi3516A 内部 POR 进行复位，同时使用 SYS_RSTN_OUT 作为 flash 的复位；使用 GPIO0_0（引脚号：Y1）作为 Sensor 的复位；使用 GPIO0_1（引脚号：D20）作为 ETH PHY 的复位。

4. Sensor

推荐客户使用差分数据接口的 sensor。

差分信号 PCB 走线必须以 GND 为参考，且必须保证平面完整。

推荐客户在设计时使用 Sensor_CLK（引脚号：AA1）作为 sensor 的工作时钟，节省一个晶体。

推荐使用 SPI0/I2C0 作为 sensor 的配置管脚。

5. SDIO

芯片提供了两路 SDIO 接口，可根据设计需求选择方便 PCB 走线的通道。海思参考设计使用的是 SDIO1。



6. 模拟音频

AC_MICBIAS 推荐在靠近管脚位置放置 1 个 4.7uF 电容。

AC_LINE 模拟音频输入信号必须在靠近芯片的位置设计隔直电容，容值推荐 4.7uF。

AC_OUT 音频输出信号必须在靠近芯片的位置设计下拉电阻，阻值推荐 470k Ω 。

AC_OUT, AC_LINE 在 PCB 设计时注意进行包地处理，并保证相邻的 GND 铜箔上均匀放置 GND 过孔。

7. 网口

TXCK 和 RXCK 建议在源端串联 33 Ω 电阻。MDCK 建议在源端串联 33 Ω 电阻。

推荐客户在设计时使用 EPHY_CLK（引脚号：E19）作为 ETH PHY 的工作时钟。

8. 配置管脚

Hi3516A 的配置管脚在芯片内部有默认的上下拉电阻，下表列出了各个管脚在悬空时上电默认状态。如果 Hi3516A 所需的配置状态和默认值相同的话，那么这个管脚可以悬空处理。

管脚名称	默认状态	默认功能
JTAG_EN	0	Disable JTAG
TEST_MODE	0	Normal mode
POR_SEL	0	Enable POR
SFC_BOOT_MODE	0	Spi Flash 以 3Byte mode 启动。该管脚建议保留上下拉电阻的设计，以便兼容不同的 flash 器件。
BOOT_SEL	0	从 SPI Flash 启动 boot
BOOTROM_SEL	0	Disable BOOTROM
SFC_DEVICE_MODE	0	SPI Flash 的类型选择 SPI Nor Flash
SFC_NAND_BOOT[1:0]	01	SPI NAND FLASH 8bits ECC
SFC_NAND_BOOT2	0	SPI NAND FLASH 2KB page size

9. 风险

- 海思参考设计四层板的 DDR 地址线和控制线上未串匹配电阻，信号质量存在风险。建议串接匹配电阻。
- 海思参考设计四层板的 RGMII 的 TX 和 RX 数据线上未串匹配电阻，信号质量存在风险。数据走线较长的情况下，建议串接匹配电阻。



- c. 海思参考设计四层板 AC_VREF 管脚上使用 1 个 4.7uF 和 1 个 100nF 电容。为了获取更好的音频质量，建议将 4.7uF 电容改为 10uF 电容。
- d. 海思参考设计四层板的部分 GPIO 和 PWM 信号存在跨分割现象，但是因为都是低速信号，风险较小。