



Hi3516A/Hi3516D 电源功耗、PCB 板层设计以及小型化设计说明

文档版本 01

发布日期 2015-05-18

版权所有 © 深圳市海思半导体有限公司 2015。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com



前 言

概述

本文档主要着重在 Hi3516A/Hi3516D 芯片和整机电源设计方案、PCB 板层和小型化设计方面进行阐述，旨在为客户基于 Hi3516A/Hi3516D 产品硬件设计提供参考。



说明

本文档以 Hi3516A 为例，未有特殊说明，Hi3516D 与 Hi3516A 完全一致。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3516A	V100
Hi3516D	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

文档版本 01 (2015-05-18)

第 1 次发布。



目 录

前 言.....	i
1 背景.....	5
2 详细说明.....	6
2.1 Hi3516A 内核电源设计方案.....	6
2.2 芯片低功耗说明.....	7
2.2.1 芯片降功耗措施.....	7
2.2.2 SPC030 版本中软件低功耗的说明.....	7
2.3 整机系统电源设计建议.....	8
2.4 单板电容数量裁减.....	9
2.5 Hi3516A 单板 PCB 板层与小型化设计说明.....	11
2.5.1 38*38 单板尺寸的设计约束.....	11
2.5.2 DDR 走线面积裁减以及线间距 2W 的挑战尝试.....	11
3 小结.....	13



插图目录

图 2-1 Hi3516A 整机电源结构主芯片部分电源转换树图	9
图 2-2 Hi3516AREFB VER.D 单板主芯片侧合并后的 1V1 电源滤波电路.....	10
图 2-3 Hi3516AREFB VER.D 单板 Media Core 电源滤波电路	10
图 2-4 Hi3516A 侧 1.35V 滤波电容	10
图 2-5 DDR3L 颗粒侧滤波电容.....	11
图 2-6 Hi3516AREFB VER.D 单板 DDR3 挑战 3W 规则走线	12



表格目录

表 2-1 电源合并方案以及对应的软件控制说明 7



1 背景

Hi3516A 芯片基于降功耗的目的，将内核电源分为 4 部分；芯片可以通过 4 路 PWM 输出来实现 SVB 电压控制以达到降功耗的目的；实际硬件电路设计中，可从成本、设计复杂度等因素来综合考虑设计方案；

本文档从 Hi3516A 内核/系统电源功耗、Hi3516A 单板 PCB 板层设计以及小型化设计纬度，主要针对典型的应用场景来推荐相应的硬件解决方案；产品设计中可依据实际情况进行评估和参考。



2 详细说明

2.1 Hi3516A 内核电源设计方案

Hi3516A 内核电源分为 VDD_Core、CPU_Core、DDR_Core 以及 MEDIA_Core；经实际测试，所有场景下 MEDIA_Core 电流最大；

从功耗收益角度：

1. 4 路电源分开供电(经 SVB 控制，下同)时，主芯片功耗最低；
2. 采用 3 路电源供电，即 VDD_Core 和 DDR_Core 合并，CPU_Core 与 MEDIA_Core 独立，这种情况下，比 4 路电源分开供电，主芯片功耗增加约 70mW 左右；
3. 采用 2 路电源供电，即 VDD_Core、CPU_Core、DDR_Core 合并，MEDIA_Core 独立，这种情况下，比 4 路电源分开供电，主芯片功耗增加约 120mW 左右；
4. 采用 1 路电源供电，即四路 Core 电源合并，这种情况下，比 4 路电源分开供电，主芯片功耗增加约 400mW，**不推荐这种供电方案。**

从设计复杂度与成本角度：

4 路电源分开供电，设计复杂度最高，且 PMU 一般效率不高，会导致系统电源效率不高；而采用高转换效率的 DC/DC 器件，整机功耗可以达到最低，但设计复杂度与成本都最高；

3 路电源分开供电，相对 4 路电源，功耗收益很小；而在设计成本和复杂度上，相对 4 路电源并没有明显的优势；

2 路电源供电；采用 2 路输出的高效率 DC/DC 器件(比如：MPS2122)分别供电，设计复杂度不高，占用 PCB 面积也不大，成本上也比较合适；**我们推荐客户采用 2 路 Core 电源的方式进行设计；**

1 路电源供电，设计最简单，但功耗太大，**强烈不建议采用这种方式；**

2.2 芯片低功耗说明

2.2.1 芯片降功耗措施

Hi3516A 除了通过提高电源转换效率以便降低功耗外，还有如下一些降功耗的手段：



测试场景：

基于海思内部的整机参考设计(单板版本号：Hi3516AREFB VER.D)进行测试，业

务场景和配置：CPU：600M；2 颗 DDR3L 2Gb 颗粒（16bit 位宽）；DDR 频率：500M；

MIPI-VICAP-ISP：250M；VGS：300M；VPSS：250M；VEDU（H265）：297M；AVC（H264）：297M（未打开）；sys-axi：198M；mda1-axi：250M；mda0-axi：297M；

CVBS 自动检测、USB 关闭、Audio 单路输入输出、SDIO 关闭。

Sensor：IMX178。

编码：5M@25fps+VGA@25fps。1 路网络点播大码流，码率 12Mbps。

采用的降功耗措施以及收益如下：

1. 合入 SPC030 的降功耗软件版本，对 Core 电源进行调压，功耗收益约 300mW；
2. 采用 DDR3L 器件(1.35V)，功耗收益 87.47mW；
3. 未使用的管脚配置为输入态；
4. 空闲不使用的功能和模块关闭(如 WiFi 等)。

2.2.2 SPC030 版本中软件低功耗的说明

SPC030 版本中增加了用于降低功耗的 DVFS 以及 AVS 功能；DVFS、AVS 的使用涉及到寄存器的配置以及降功耗 KO(hi3516a_pm.ko)的使用，使用方法请参考《低功耗方案使用指南》。

DVFS、AVS 属于软件实现的功能，可看作是 SVB 功能的升级；因此，**DVFS、AVS、SVB 功能的实现都需要 SVB 电路的支撑**；Hi3516A 供电 SVB 电路具体参数要求严格按照《Hi3516A / Hi3516D SVB 设计指导》中主流 DC-DC 外围阻容参数推荐值表单的电路参数来设计。

结合之前发布的 SVB 功能，详细说明如表 2-1 所示：

表2-1 电源合并方案以及对应的软件控制说明

	MEDIA	VDD	DDR	CPU	说明
2 路电源方案	AVS+SVB 电路	SVB 调压			CPU 低频场景下，推荐方案
3 路电源方案	AVS+SVB 电路	SVB 调压		DVFS+ SVB 电路	CPU 高频场景下，推荐方案
4 路电源方案	AVS+SVB 电路	SVB 调压	SVB 调压	DVFS+ SVB 电路	可用于 CPU 高频场景，但设计复杂度高， 不推荐
1 路电源方案	SVB 调压				功耗太大，不推荐

重点说明：

- (1)、DVFS 只能针对 CPU，若要采用 DVFS，则在硬件设计上需要将 CPU 电源单独供电；且最大电压能调节到 1.3V(请参考 Hi3516ADMEB 板原理图 DC/DC 设计电路)；
- (2)、DDR 部分的 1V1 电源只能采用 SVB 调压控制；即不管哪一路电源与 DDR 的 1.1V 电源合并，则不能再采用 AVS 或 DVFS 功能；
- (3)、VDD 电压由于本身功耗很小，采用 AVS 收益不明显，因此无需采用 AVS。

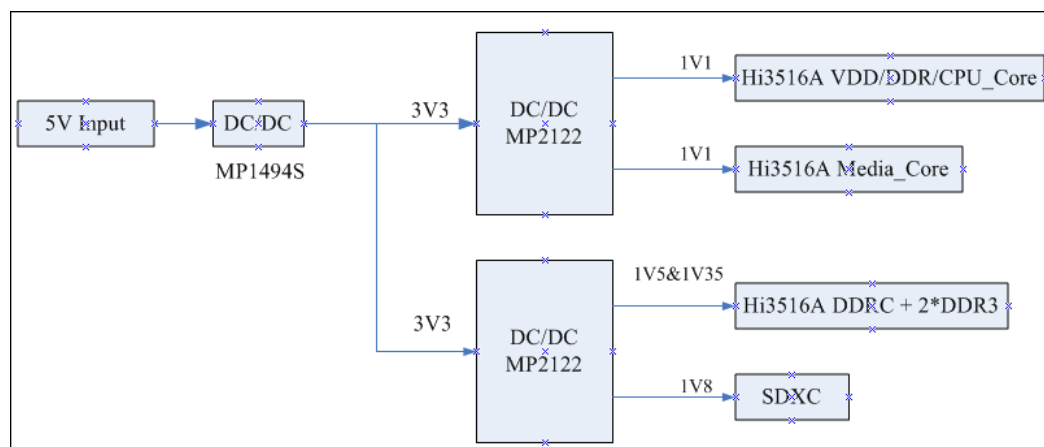
2.3 整机系统电源设计建议

系统电源功耗的设计，不仅仅只关注小系统的供电，整个系统电源效率设计也需要考虑；实际系统电源的设计，主要考虑系统电源效率和成本两个因素；从系统效率来说，采用一级 DC/DC 电源转换，整机效率会高一些，但 DC/DC 本身以及外围的电感等器件成本也相应的会升高；而从成本控制来说，二级 DC/DC 电源转换，系统电源效率相对一级转换要低，但成本相对要少；客户可自己权衡选择哪种方式。

对 Hi3516A 芯片，有四路 Core 电源，其中 Media_Core 电源最大，其余三路电源相对很小；当前 DC/DC 器件的转换效率在低负载情况下，效率基本上只能达到 80% 左右的水平，客户需要注意的是，不同的负载电流，会使得 DC/DC 器件的转换效率不一样，因此，适当选择四路 Core 电源中的几路进行合并，能在一定程度上提高整机电源转换效率，从而降低整机功耗，以我们推荐的电源方案为例(Media_Core 单独一路，其余三路电源合并)。

整机输入电压为 5V(一般当前 DC/DC 绝大多数 5V 输入相对 12V 输入，DC/DC 转换效率要高一些；12V 输入时，考虑第一级 DC/DC 转换效率)，采用 MP1494S、MP2122 作为 2 级转换，理论分析整机效率、成本是较好的方案，如图 2-1 所示。

图2-1 Hi3516A 整机电源结构主芯片部分电源转换树图



说明

若客户实际产品设计中采用二级 DC/DC 电源转换，则建议客户采用转换效率较高的 DC/DC 器件以最大限度减少效率损失。

在整机设计中，还可以通过选用低 IO 电压的外设来降低整机功耗，如，网口 PHY 的选择，在海思 DMEB 板网口 PHY 部分的功耗测试显示，选择 1.8V IO 的网口 PHY 相比 3.3V 电平网口 PHY，网口模块(含 MAC 与 PHY)共计降低功耗 110mW 左右。

2.4 单板电容数量裁减

在 Hi3516AREFB VER.D 单板上，对整个单板进行电容数量的裁减，以降低方案成本，精简电容措施如下：

1. 针对 DC-DC 的输出电容，由原来的 2 个 22uF 或 47uF 精简为 1 个 22uF，电源噪声控制在可接受的范围之内；

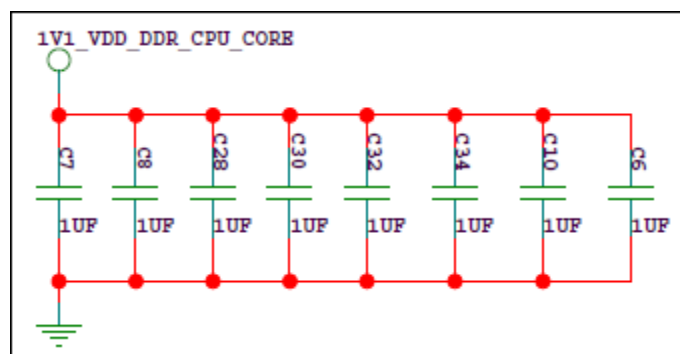


说明

该措施与 DC/DC 器件、硬件 PCB Layout 设计直接相关，某些质量不是很好的 DC/DC 器件或 Layout 设计不好的情况下，可能无法满足；Hi3516AREFB VER.D 单板上采用的 MP2122、MP1494S 等器件经测试，可支持该设计；

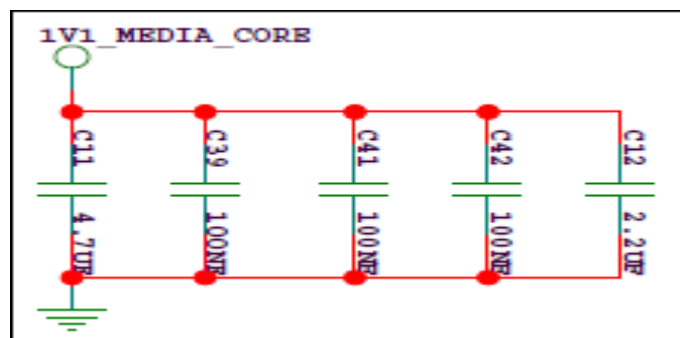
2. 针对主芯片 core 电源，使用 1uF 电容代替原来 100nF，然后减少电容数量。从实测结果来看，电容精简前后，电源噪声变化不大；

图2-2 Hi3516AREFB VER.D 单板主芯片侧合并后的 1V1 电源滤波电路



MEDIA 的负载较重，电容精简后，电源噪声变差，因此没有对其电容进行精简；

图2-3 Hi3516AREFB VER.D 单板 Media Core 电源滤波电路



3. 针对 DDR 部分的电源，保证 DDRIO 电源噪声在 Vpp 150mV，Vref 噪声在 Vpp 50mV 以下，Training 窗口合格，稳定性通过。从实测结果来看，电容精简之后 (以 1uf 电容代替 0.1uf 电容，且数量减少)，电源噪声变差，但是没有超过约束条件，如图 2-4 和图 2-5 所示。



图2-4 Hi3516A 侧 1.35V 滤波电容

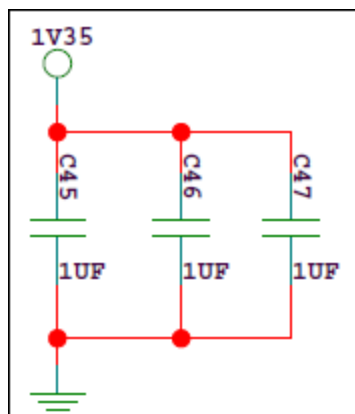
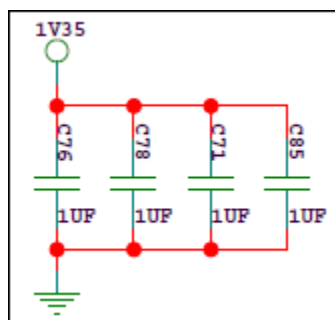


图2-5 DDR3L 颗粒侧滤波电容



精简后的具体电路请参考 Hi3516AREFB VER.D 原理图文件；相对上一版本，电容数量的裁剪带来约 **3.66 元 RMB** 的成本收益。



说明

PLL 和模拟部分的电容不要做裁减。

2.5 Hi3516A 单板 PCB 板层与小型化设计说明

Hi3516A 在不同的场景下，可以采用不同的 PCB 板层设计；

对传统枪机产品，由于 PCB 面积不会很小，有足够的空间，因此，可以采用 4 层板；DDR 设计上，若采用两个 DDR 颗粒，则建议将 2 个 DDR 颗粒在 PCB 板上采用正反两面贴片，以便走线设计；但 DDR 走线设计需严格遵循禁止跨分割、走线间距满足 3W 等设计规则，长度约束越严格越好；基于 Hi3516A 的产品，PCB 面积不会太大，因此在成本上与 6 层板其实相差不大，若客户这部分成本可接受，且评估认为自己设计 4 层板风险较大，那么建议客户参考我们发布的设计文件，采用 6 层板设计；



2.5.1 38*38 单板尺寸的设计约束

在 38*38mm 单板尺寸约束下，Hi3516A 可以采用 4 层板设计，条件：采用单颗 DDR 颗粒，供电 DC/DC 模块以及外其他外围模块需设计在另一块单板上，核心板上只存在 flash、DDR 以及网口 PHY 和变压器，且 sensor 板独立；

38*38mm 单板尺寸下，2 颗 DDR 颗粒，4 层板无法实现或风险太大，不建议采用；

38*38mm，采用 6 层板时，单颗 DDR、电源模块、所有外围放在一块单板上，sensor 板独立，问题不大，但设计上不能太随意；

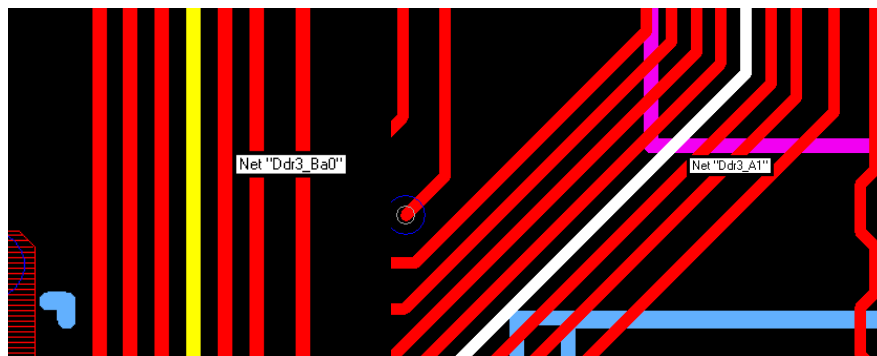
38*38mm，采用 6 层板，2 颗 DDR、电源模块、flash、网口一块单板上，sensor 板独立，如果业务跑到 5M，散热问题可能会是一个大的瓶颈，有可能无法解决，**不推荐**；

38*38mm 下，不管采用几层板，不管是一颗 DDR3 还是两颗 DDR3，都不能与 sensor 同一块板。

2.5.2 DDR 走线面积裁减以及线间距 2W 的挑战尝试

首先，我们还是要强调 DDR 走线间距需要满足 3W 设计规则；但在产品设计中受限于结构等方面因素，DDR 信号中的某几根信号会不满足 3W 规则，在理论上这是有风险的(我们也实际测试证明了这一点)。鉴于这种情况，我们在 Hi3516AREFB VER.D 单板上主要对地址、命令信号线挑战了 3W 设计规则，采用 2W 线间距(CS、CKE、ODT 三根信号必须严格按照 3W 规则来设计，具体设计请参考 Hi3516AREFB VER.D PCB 设计文件)。

图2-6 Hi3516AREFB VER.D 单板 DDR3 挑战 3W 规则走线



实际测试结果表明，A1、A7、BA0、DQ0、DQ6 存在明显串扰；抽样测试暂未发现死机问题，但我们认为依然存在较大风险；

因此客户实际设计中，若受限于结构等原因，需要部分信号线间距不满足 3W 规则，可以参考借鉴 Hi3516AREFB VER.D 的设计，并自行评估风险。具体的设计电路，客户可参考 Hi3516AREFB VER.D 单板 PCB 设计。



3 小结

本文档针对 Hi3516A 在典型应用场景下的电源功耗、电容裁减、PCB 小型化设计作了简要说明；电源功耗收益、成本收益、稳定性测试等均基于 Hi3516AREFB VER.D 单板；在 DDR 走线间距挑战 3W 设计规则上，我们明确是存在风险的，客户可以借鉴走线方式，但需要客户自行评估风险是否可控，海思不承担基于客户自行设计 2W 走线间距的单板风险。