



Hi3516A/Hi3516D DDR 配置指导说明

文档版本 02

发布日期 2015-06-23

版权所有 © 深圳市海思半导体有限公司 2015。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com



前言

概述

本文档主要介绍 Hi316A/Hi3516D 芯片的常用 DDR 配置的修改方法。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3516A	V100
Hi3516D	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

文档版本 02 (2015-06-23)

新增 1.3 小节

文档版本 01 (2015-03-12)

第 1 次正式发布



1 修改点



注意

3516A 默认发布包中的 ddr 参数基于 32bit、4Gbit 的 DDR 颗粒（demo 板）进行配置；
3516D 默认发布包中的 ddr 参数基于 16bit、4Gbit 的 DDR 颗粒（demo 板）进行配置；

所以，假如客户需要对接 16bit、2Gbit 的 DDR 颗粒，需要做如下所示的改动，分为两部分。假如客户只需要单独修改 DDR 位宽或者颗粒大小，请分别参考一、二点修改（本表中需要重点修改的 bit 位重点关注，其他 bit 位以发布包中数据为准，切不可随意改动，具体描述可以参见芯片 datasheet 中 DDR 相关章节信息，如果客户是 32bit ddr，只是容量变更为 2Gbit，请基于 16A uboot 表格进行修改，若使用 16bit DDR，容量为 2Gbit，请基于 16D 的 uboot 表格进行修改）

1.1 16bit 的 ddr 位宽修改点

有如下 3 个改动点：

1. 在 mddrc_dmc1 页，设置为 16bit 位宽，地址和相应 bit 位：0x2011_1050 【5:4】，见 datasheet；

DDRC_CFG_DDRMODE	0x50	0x16	0	write	31	0	0x000000FD
------------------	------	------	---	-------	----	---	------------

2. 在 mddrc_dmc2 页，修改配置 AXI_CONFIG 【3:0】：0xb，设置为 2k bank 位宽；



Register	Offset Address	Value Written to or Read from Register	delay	Read or Write	Bits to Be Read or Written	Start Bit to Be Read or Written	Register Attribute
AXI_CONFIG	0x0	0x2000b	0	write	31	0	0x0000000FD
PHYINITCTRL	0x8004	0x1429	0	write	31	0	0x0000000FD

0x2000C 修改为->0x2000**b**.

3. 在 mddrc_phy 页，屏蔽高 16 位的写数据。

PLLCTRL	0x18	0x7	0	write	31	0	0x0000000FD
DXNCTRL2	0x308	0x3	0	write	31	0	0x0000000FD
DXNCTRL3	0x388	0x3	0	write	31	0	0x0000000FD
PLLCTRL	0x18	0x0	0	write	31	0	0x0000000FD

1.2 容量大小为 2Gbit 的修改点

1. xls 表格中 mddrc_dmc1 页面

DDRC_CFG_RNKVOL	0x60	0x142	0	write	31	0	0x0000000FD
-----------------	------	-------	---	-------	----	---	-------------

修改方法：0x142 -> 0x132

2. xls 表格中 mddrc_dmc1 页面：0x412680**4c** -----> 0x412680**28**

DDRC_CFG_TIMING1	0x84	0x4126804c	0	write	31	0	0x0000000FD
------------------	------	------------	---	-------	----	---	-------------

【7:0】进行修改：我们的 uboot 默认发布 DDRC 总线 250M：160/4 = 40 =0x28

3. xls 表格中 mddrc_phy 页面：0x08**97**26c4 -----> 0x08**50**26c4



DRAMTIMER1	0x34	0x089726c4	0	write	31	0	0x0000000FD
------------	------	------------	---	-------	----	---	-------------

【24:16】进行修改：修改为 $160/2 = 80 = 0x50$;

1.3 容量大小为 1Gbit 的修改点

1. xls 表格中 mddrc_dmc1 页面

DDRC_CFG_RNKVOL	0x60	0x142	0	write	31	0	0x0000000FD
-----------------	------	-------	---	-------	----	---	-------------

修改方法：0x142 -> 0x122

2. xls 表格中 mddrc_dmc1 页面 : 0x4126804c -----> 0x4126801c

DDRC_CFG_TIMING1	0x84	0x4126804c	0	write	31	0	0x0000000FD
------------------	------	------------	---	-------	----	---	-------------

【7:0】进行修改：我们的 uboot 默认发布 DDRC 总线 250M，DDR PHY 的时钟为 500MHz： $110\text{ns}/4 = 27.5$ ，有小数进一，取 28，即 0x1c。

3. xls 表格中 mddrc_phy 页面 : 0x089726c4 -----> 0x083826c4

DRAMTIMER1	0x34	0x089726c4	0	write	31	0	0x0000000FD
------------	------	------------	---	-------	----	---	-------------

【24:16】进行修改：PHY 的频率是 DDRC 的 2 倍，故 PHY 的配置值应为 DDRC 的配置的 2 倍，即 $0x1c * 2 = 0x38$ 。