

Министерство образования Республики Беларусь  
Учреждение образования  
БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ  
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Лабораторные работы №8, №9

Студент

М.А. Бекетова

Руководитель

А.И. Стракович

МИНСК 2025

## 1 ЗАДАНИЕ И РАСЧЕТЫ

Разработать кэш-память заданного типа и размера.

Вариант 21:

- Тип кэш-памяти: полностью ассоциативное отображение.
- Количество строк кэша: 8 строк.
- Количество байт в строке: 4 байта.
- Замещение строк: наименьшего использования.
- Кратность размера ОЗУ объему кэш-памяти: 8.
- Разрядность ШД: 5 бит.
- Запись в память: флаговая отложенная.

Размер кэш-памяти в байтах (ячейках) равен 8 строк по 4 байта и равен 32 байта.

Размер ОЗУ исходя из кратности его объёму кэша равен 32 байтам, умноженным на кратность 8, что равно 256 байтам.

Размер ША исходя из объёма ОЗУ равна  $\log_2(256) = 8$ .

В адресе 1-0 биты – это смещение ( $4 = 2^2$ ), 7-2 биты – тэг.

## 2 СХЕМЫ

### 2.1 Общая схема проекта

Схема проекта соответствует структурной схеме на рисунке 2.1.

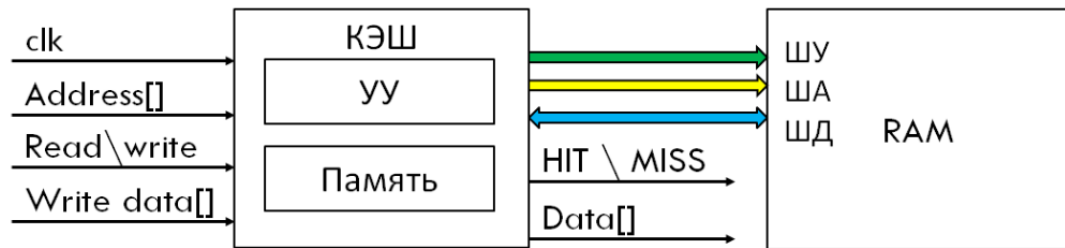


Рисунок 2.1 – Структурная схема

Схема состоит из блоков RAM и кэша. Блоки соединены шиной адреса (ША), шиной данных (ШД) и шиной управления (ШУ).

Общая схема проекта показана на рисунке 2.2.

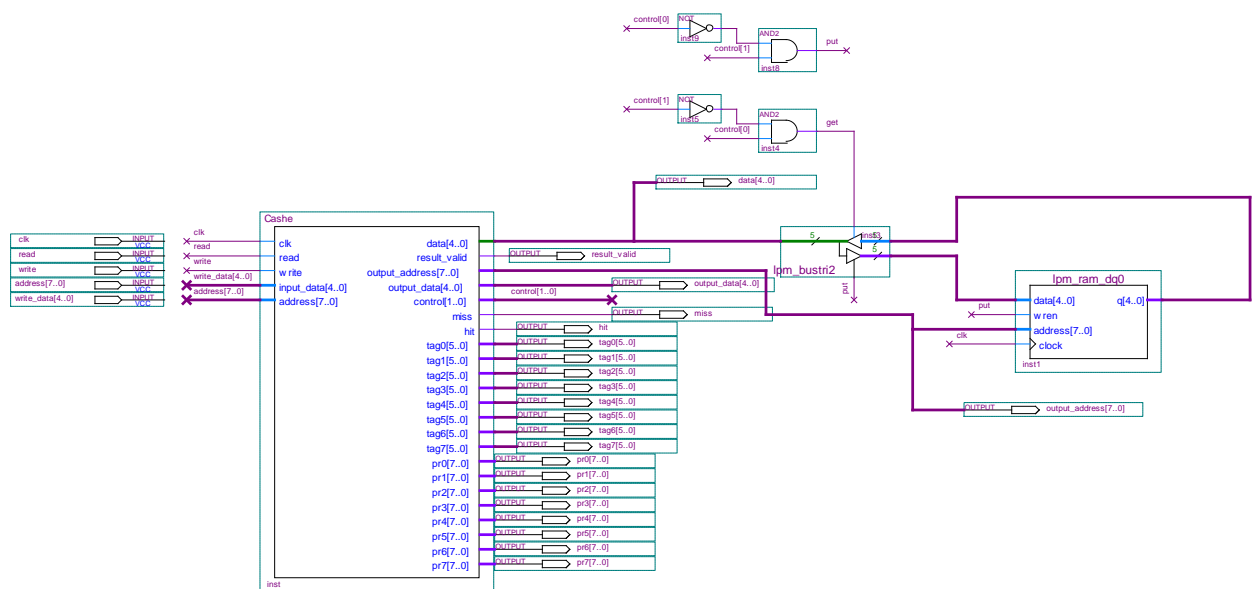


Рисунок 2.2 – Общая схема проекта

### 2.2 Блок кэша

На рисунках 2.3-2.7 изображены части схемы кэша.

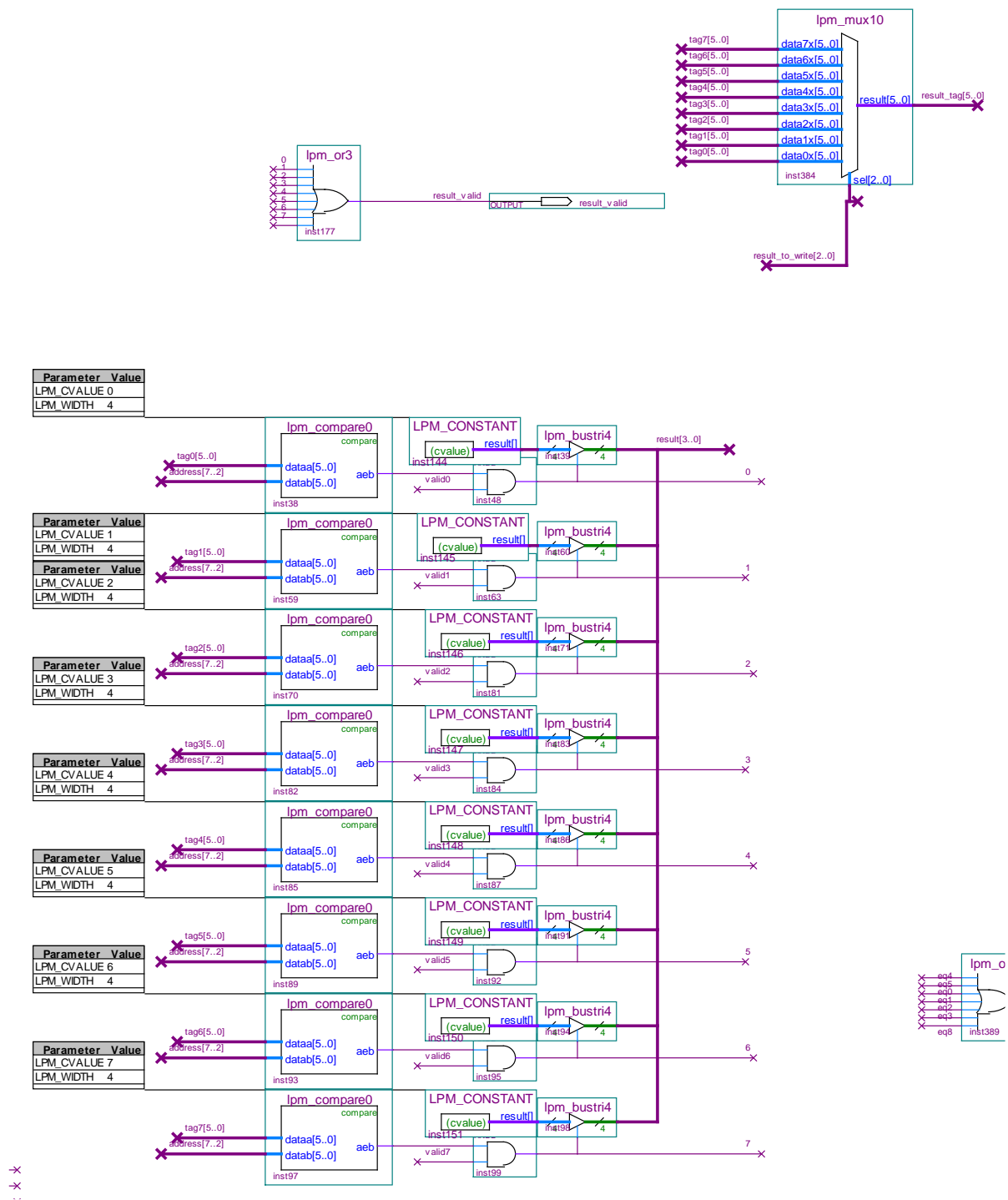


Рисунок 2.3 – Схема кэша. Часть 1

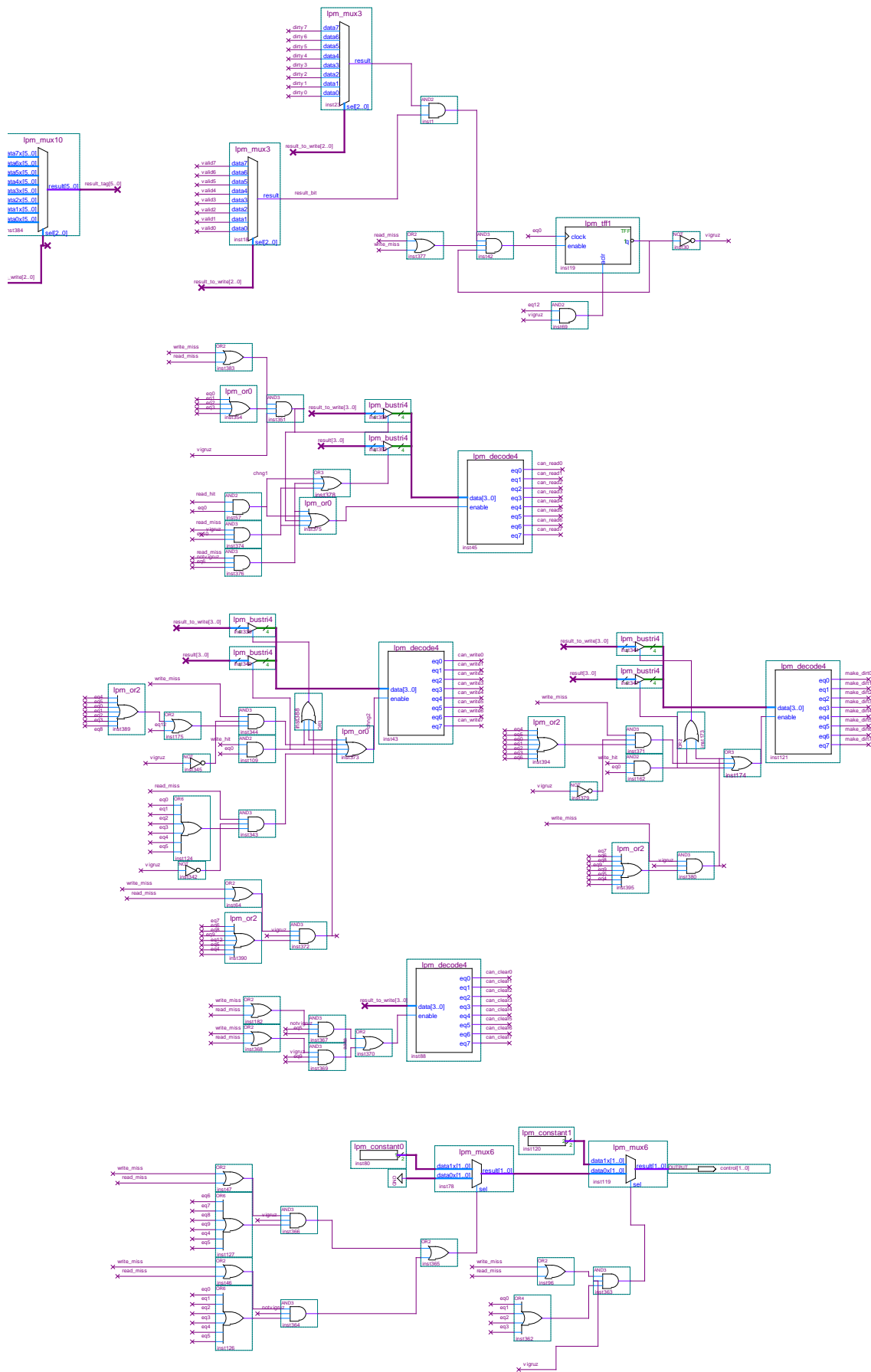


Рисунок 2.4 – Схема кэша. Часть 2

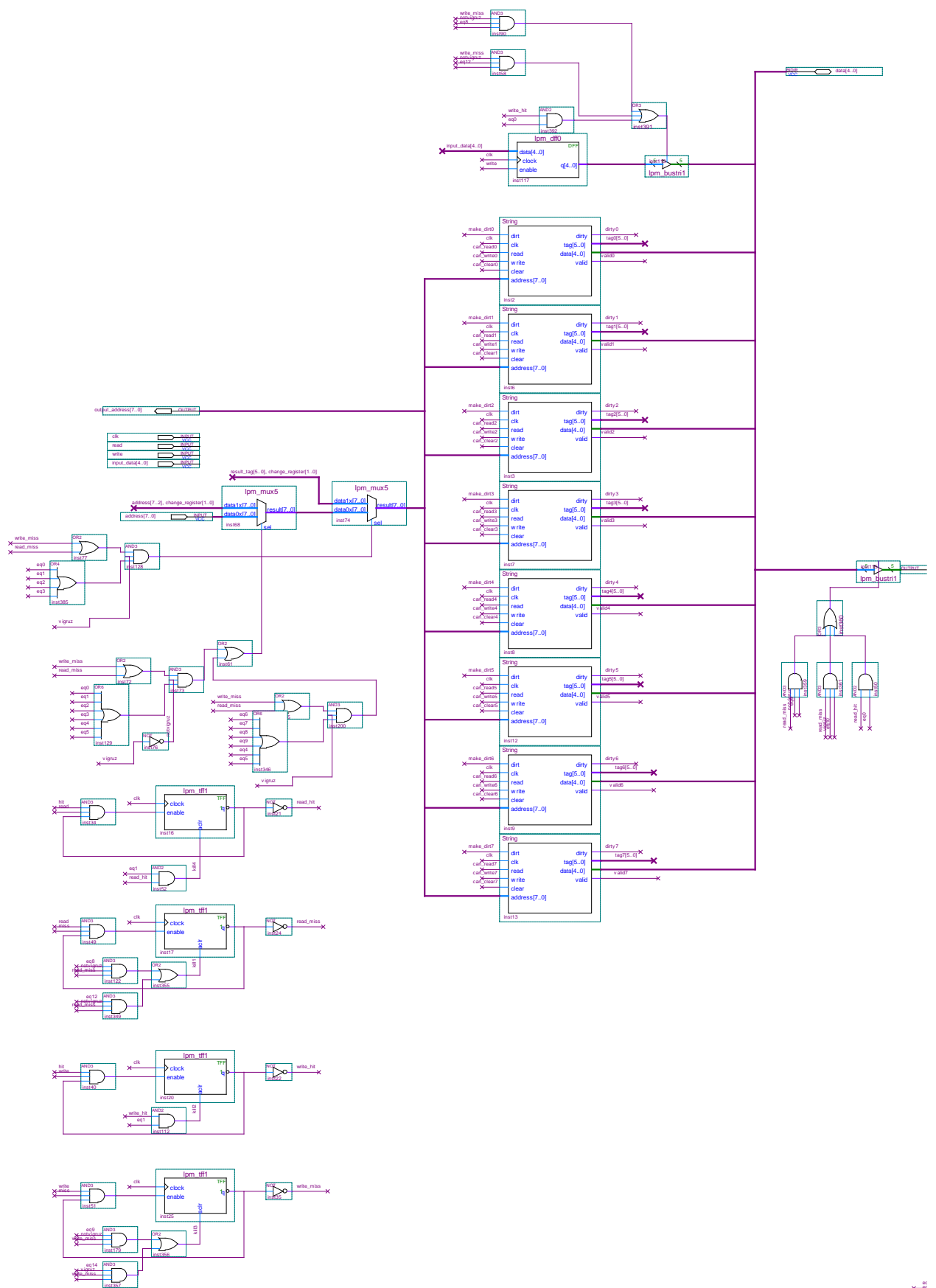


Рисунок 2.5 – Схема кэша. Часть 3

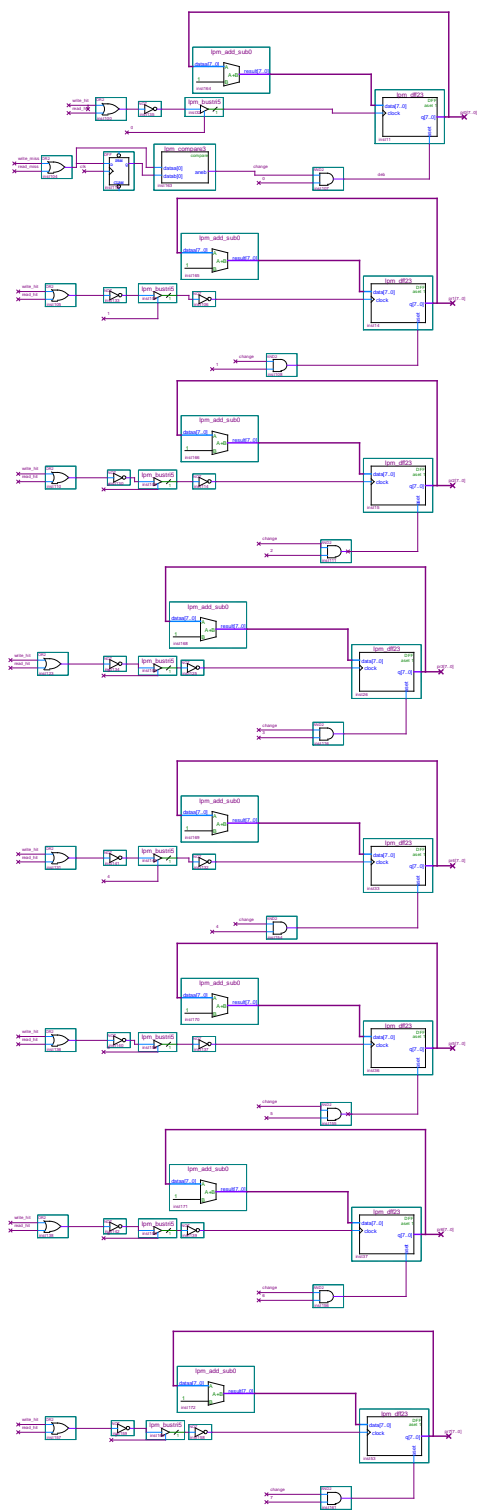


Рисунок 2.6 – Схема кэша. Часть 4

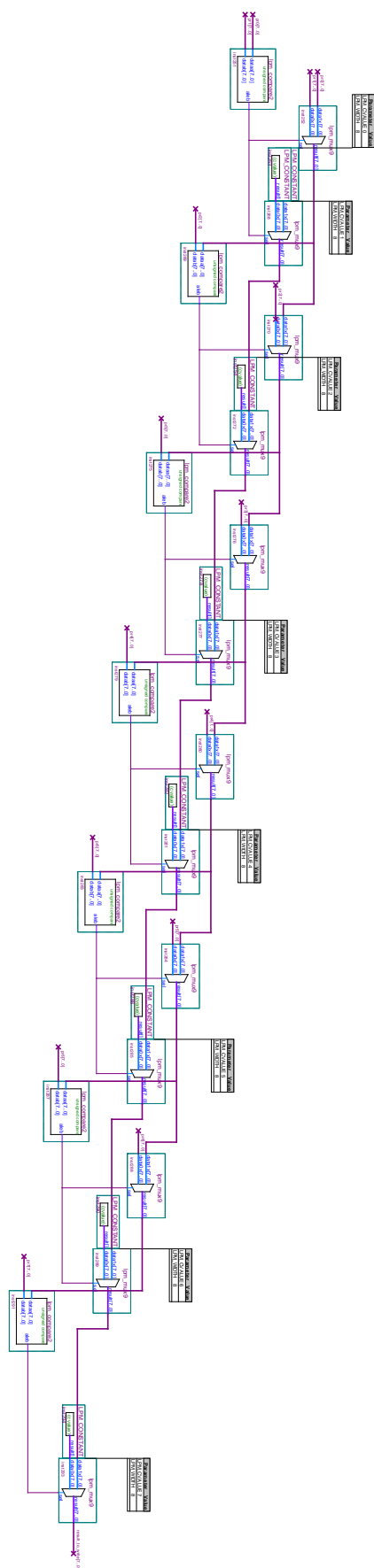


Рисунок 2.7 – Схема кэша. Часть 5



## 2.3 Память

Содержание памяти до моделирования и после представлено на рисунках 2.4 и 2.5 соответственно.

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	1	2	3	4	5	6	7	8
8	9	10	11	12	13	14	15	16
16	17	18	19	20	21	22	23	24
24	25	26	27	28	29	30	31	0
32	1	2	3	4	5	6	7	8
40	9	10	11	12	13	14	15	16
48	17	18	19	20	21	22	23	24
56	25	26	27	28	29	30	31	10
64	1	2	3	4	5	6	7	8
72	9	10	11	12	13	14	15	16
80	17	18	19	20	21	22	23	24
88	25	26	27	28	29	30	31	10
96	1	2	3	4	5	6	7	8
104	9	10	11	12	13	14	15	16
112	17	18	19	20	21	22	23	24
120	25	26	27	28	29	30	31	10
128	1	2	3	4	5	6	7	8
136	9	10	11	12	13	14	15	16
144	17	18	19	20	21	22	23	24
152	25	26	27	28	29	30	31	10
160	1	2	3	4	5	6	7	8
168	9	10	11	12	13	14	15	16
176	17	18	19	20	21	22	23	24
184	25	26	27	28	29	30	31	10
192	1	2	3	4	5	6	7	8
200	9	10	11	12	13	14	15	16
208	17	18	19	20	21	22	23	24
216	25	26	27	28	29	30	31	10
224	1	2	3	4	5	6	7	8
232	9	10	11	12	13	14	15	16
240	17	18	19	20	21	22	23	24
248	25	26	27	28	29	30	31	0

Рисунок 2.8 – Память до моделирования

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	1	2	3	4	22	6	7	8
8	9	10	11	12	13	14	15	16
16	17	18	19	20	21	22	23	24
24	25	26	27	28	29	30	31	0
32	1	2	3	4	5	6	7	8
40	9	10	11	12	13	14	15	16
48	17	18	19	20	21	22	23	24
56	25	26	27	28	29	30	31	10
64	1	2	3	4	5	6	7	8
72	9	10	11	30	13	14	15	16
80	17	18	19	20	21	22	23	24
88	25	26	27	28	29	30	31	10
96	1	2	3	4	5	6	7	8
104	9	10	11	12	13	14	15	16
112	17	18	19	20	21	22	23	24
120	25	26	27	28	29	30	31	10
128	1	2	3	4	5	6	7	8
136	9	10	11	12	13	14	15	16
144	17	18	19	20	21	22	23	24
152	25	26	27	28	29	30	31	10
160	1	2	3	4	5	6	7	8
168	9	10	11	12	13	14	15	16
176	17	18	19	20	21	22	23	24
184	25	26	27	28	29	30	31	10
192	1	2	3	4	5	6	7	8
200	9	10	11	12	13	14	15	16

Рисунок 2.9 – Память после моделирования

### 3 МОДЕЛИРОВАНИЕ СХЕМЫ

На рисунках 3.1-3.8 показано моделирование.

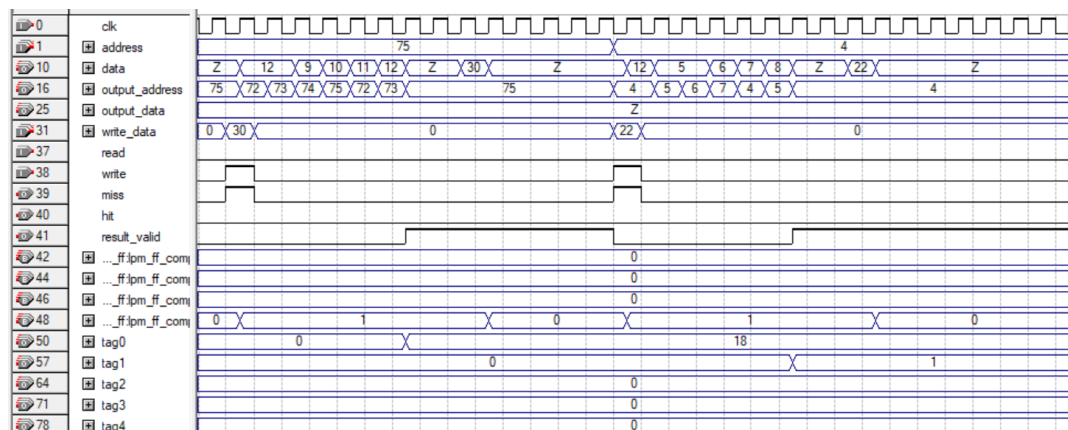


Рисунок 3.1 – Write miss (кэш пустой) 2 раза

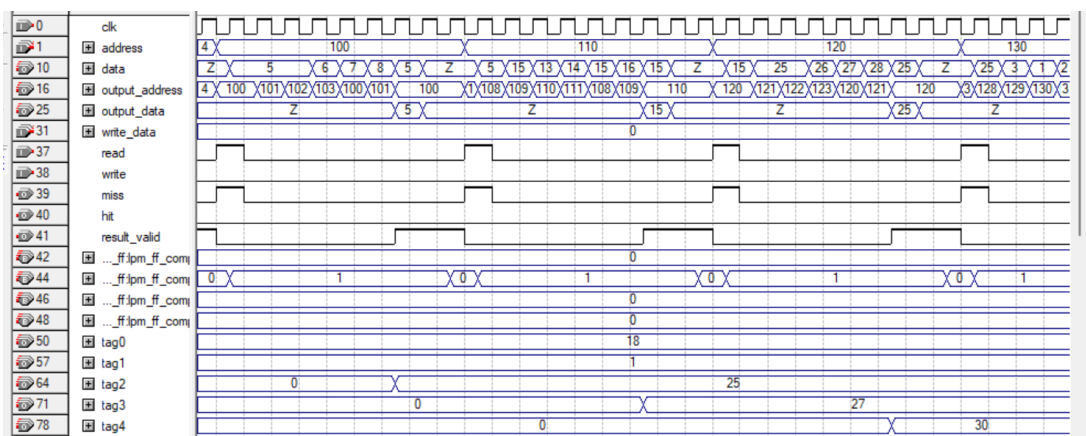


Рисунок 3.2 – Read miss (кэш пустой) 6 раз

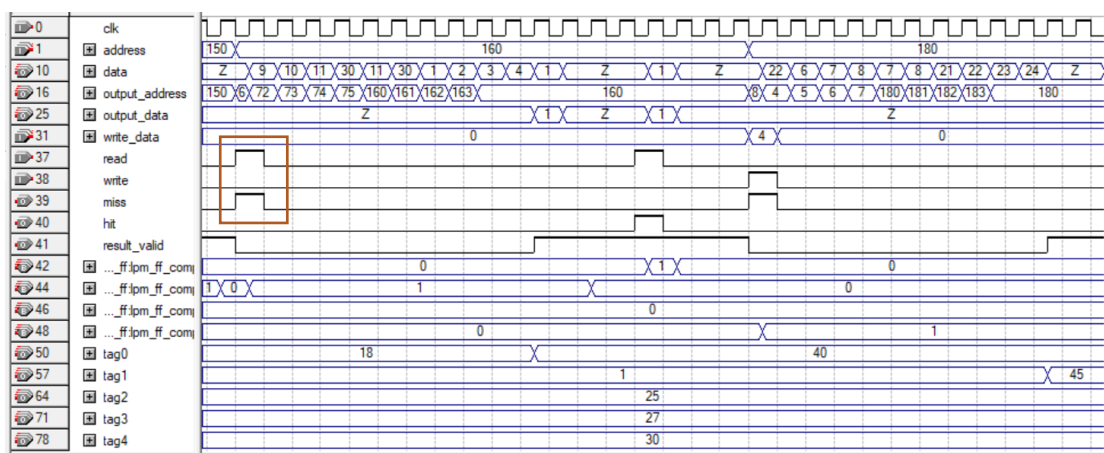


Рисунок 3.3 – Read miss (выгрузка кэш-линии)

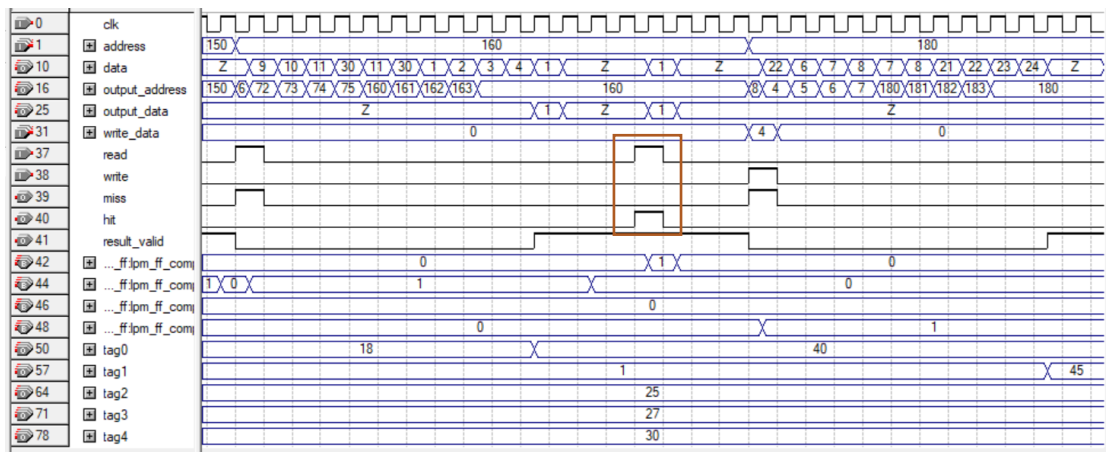


Рисунок 3.4 – Read hit

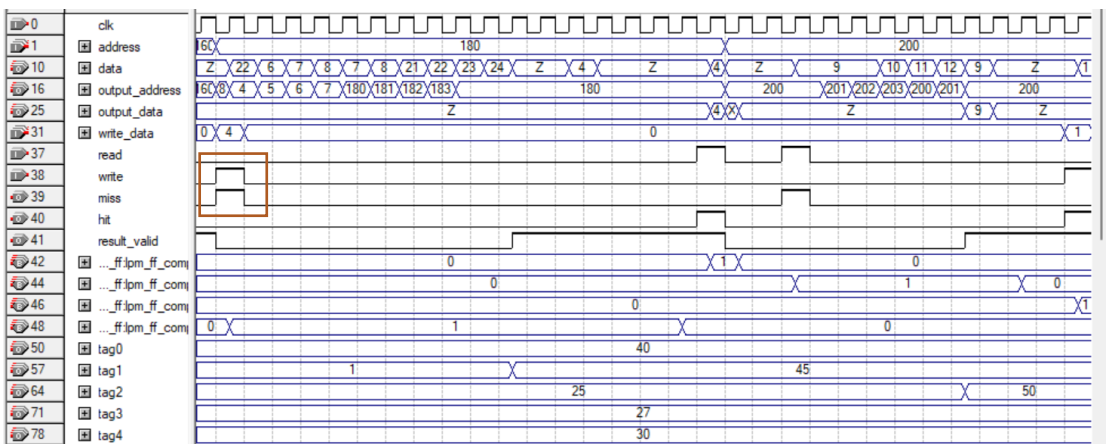


Рисунок 3.5 –Write miss (выгрузка кэш-линии)

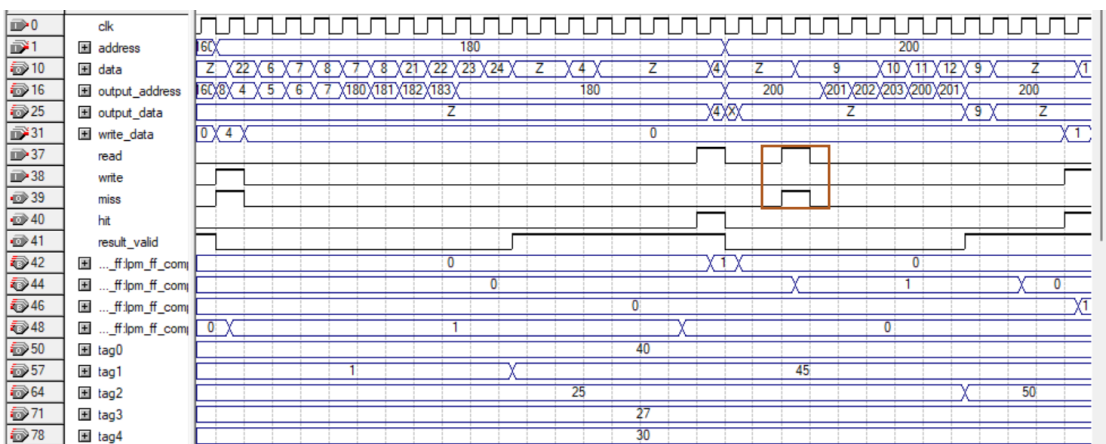


Рисунок 3.6 – Read miss (без выгрузки)

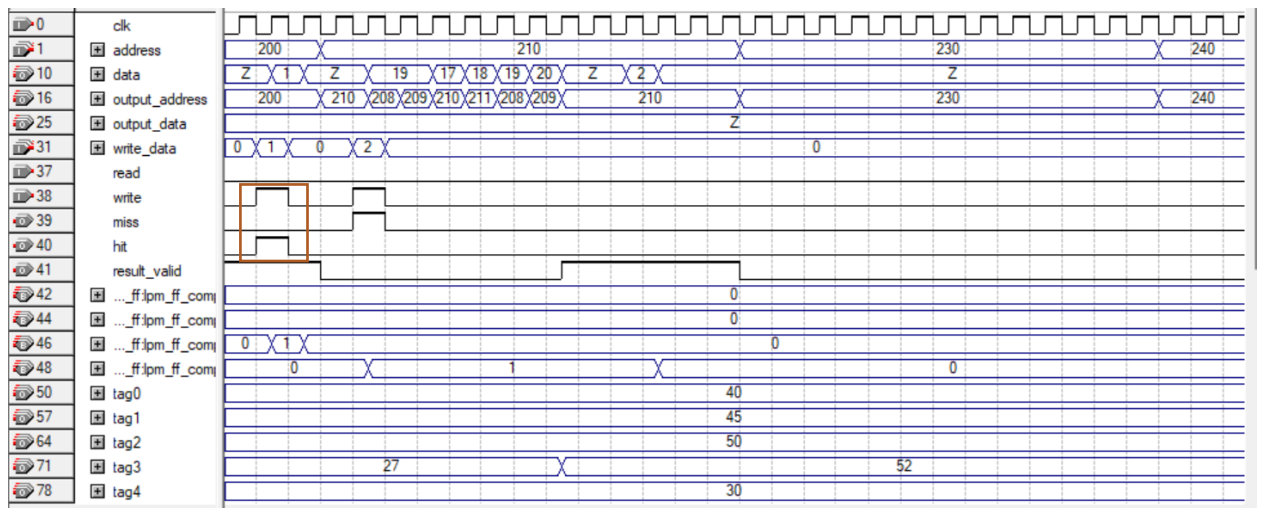


Рисунок 3.7 – Write hit

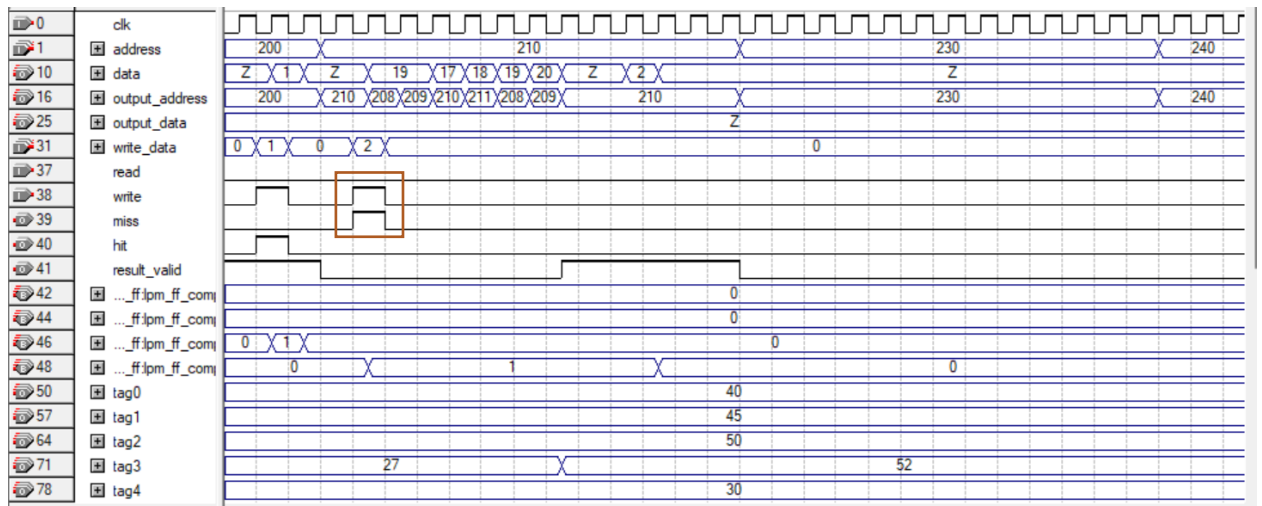


Рисунок 3.8 – Write miss (без выгрузки)