



СиФО ВМ Л.Р. №2

Стракович Андрей Иванович

БГУИР, кафедра ЭВМ

а. 508-5

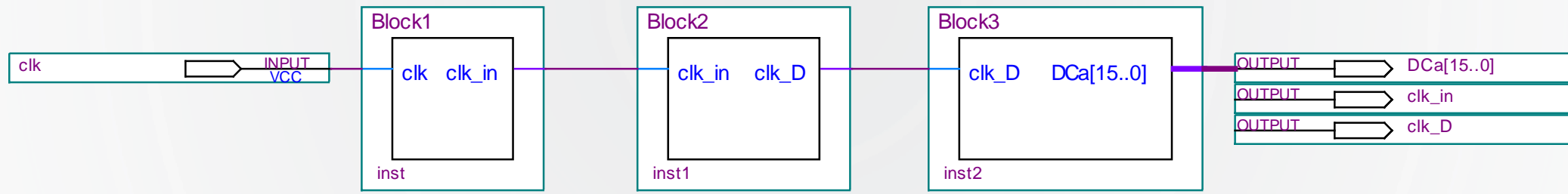
2024

The background features a light gray gradient with faint, concentric circular patterns. In the four corners, there are decorative black line art elements resembling circuit traces or stylized trees, each ending in small circles.

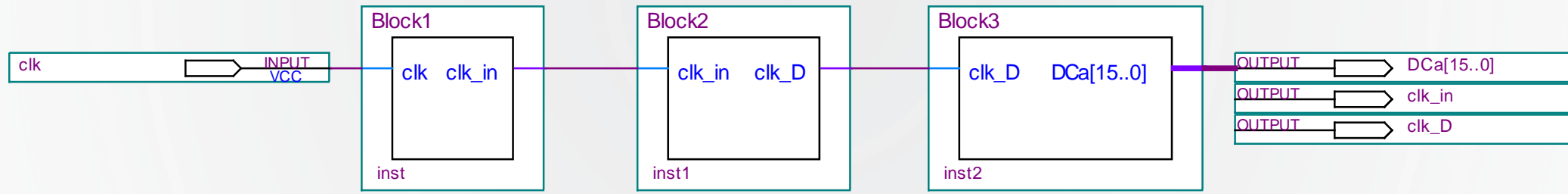
УПРАВЛЯЕМЫЙ ГЕНЕРАТОР СИНХРОСИГНАЛОВ

SIFO LAB PRACTICUM PART 1 – Л.Р. 2

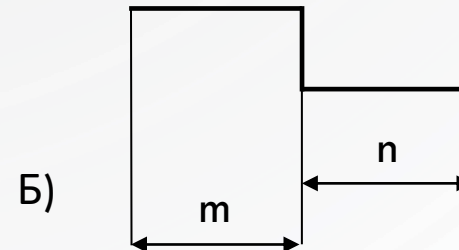
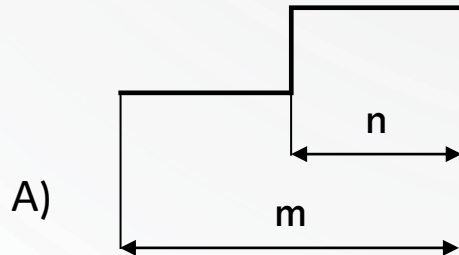
СТРУКТУРНАЯ СХЕМА



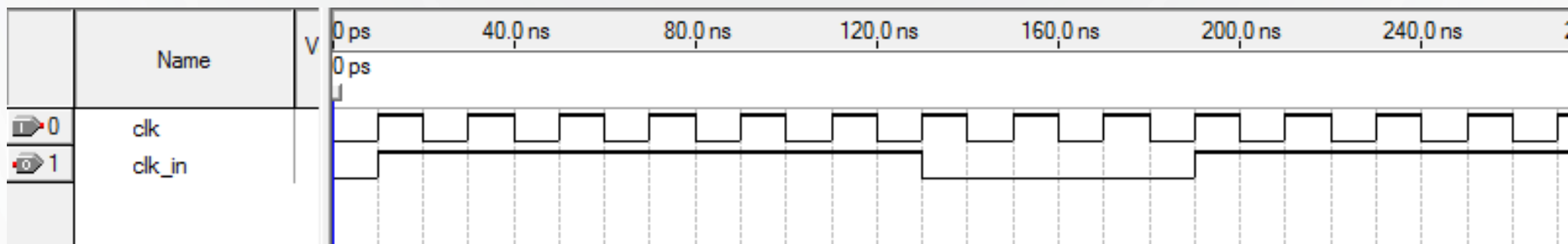
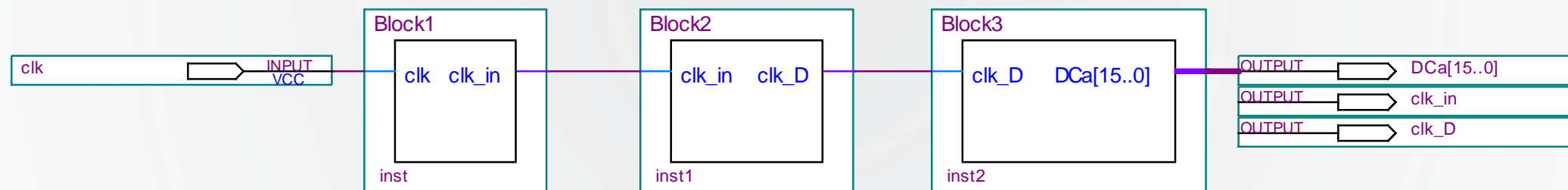
БЛОК №1



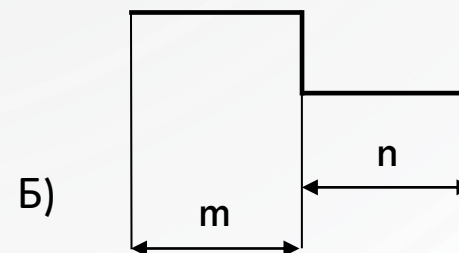
- На вход поступает синхросигнал *clk*
- На выходе формируется сигнал с формой и указанными по варианту параметрами \underline{m} и \underline{n} , где \underline{m} и \underline{n} – количество тактов внешнего синхросигнала *clk*



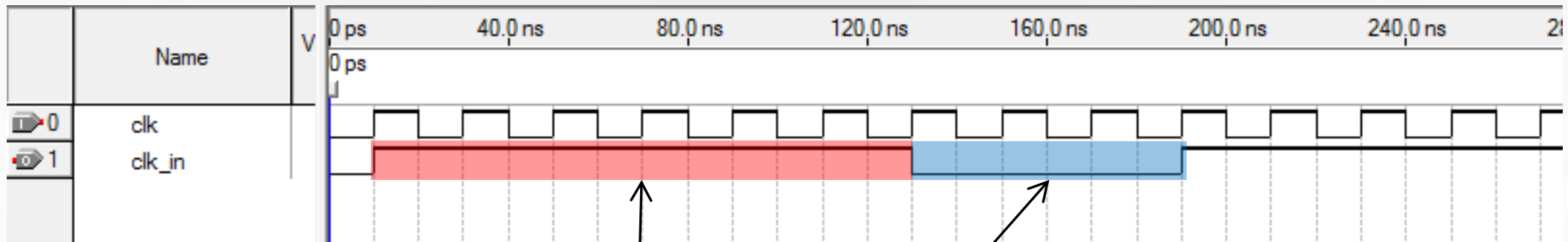
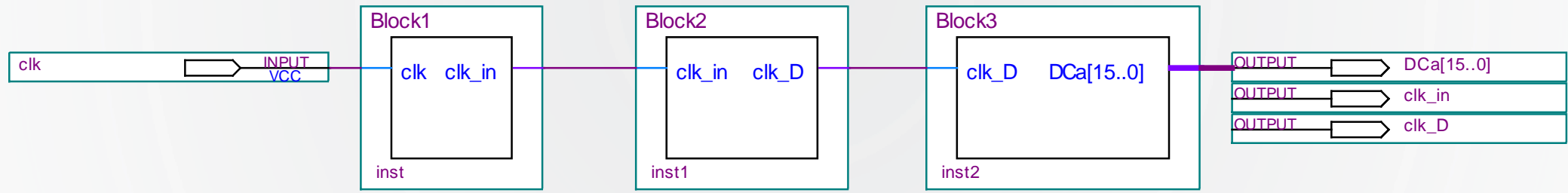
БЛОК №1



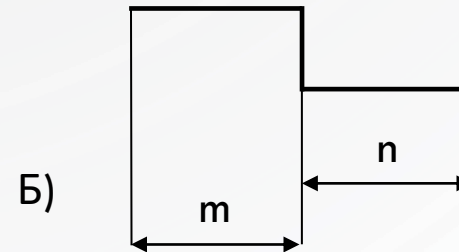
Пример:
Вариант Б
 $m = 6$
 $n = 3$



БЛОК №1



Пример:
Вариант Б
 $m = 6$
 $n = 3$

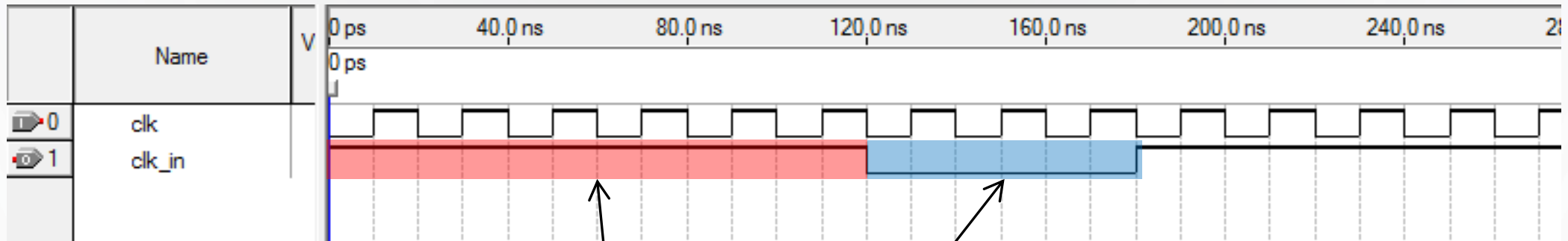
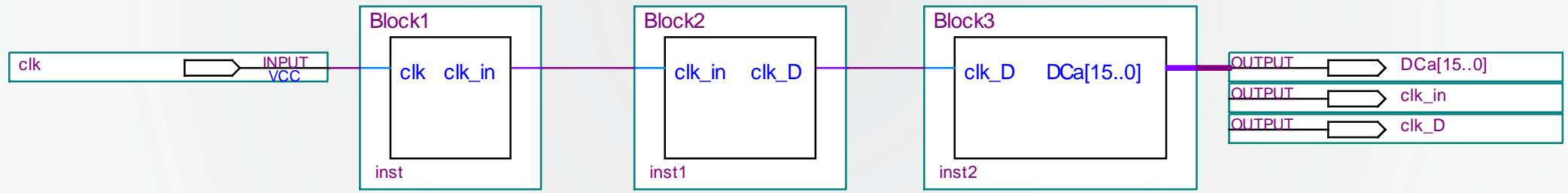


$$T_{clk} = 20 \text{ ns}$$

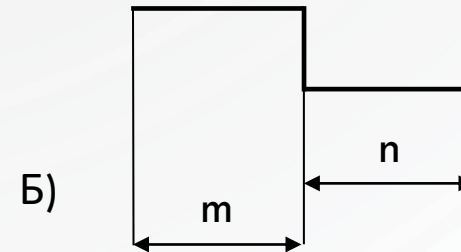
$$"1"_{clk_in} = T_{clk} \cdot m = 20 \text{ ns} \cdot 6 = 120 \text{ ns}$$

$$"0"_{clk_in} = T_{clk} \cdot n = 20 \text{ ns} \cdot 3 = 60 \text{ ns}$$

БЛОК №1



Пример:
Вариант Б
 $m = 6$
 $n = 3$

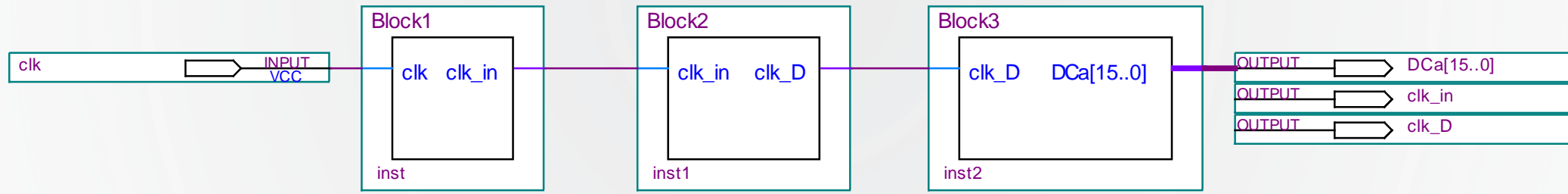


$$T_{clk} = 20 \text{ ns}$$

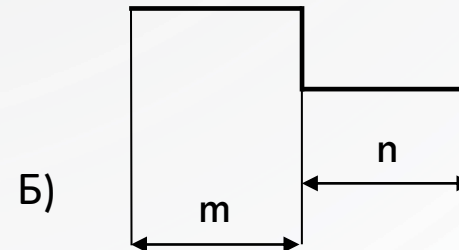
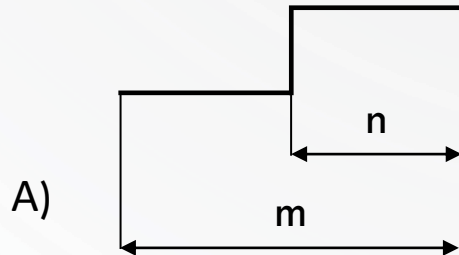
$$"1"_{clk_in} = T_{clk} \cdot m = 20 \text{ ns} \cdot 6 = 120 \text{ ns}$$

$$"0"_{clk_in} = T_{clk} \cdot n = 20 \text{ ns} \cdot 3 = 60 \text{ ns}$$

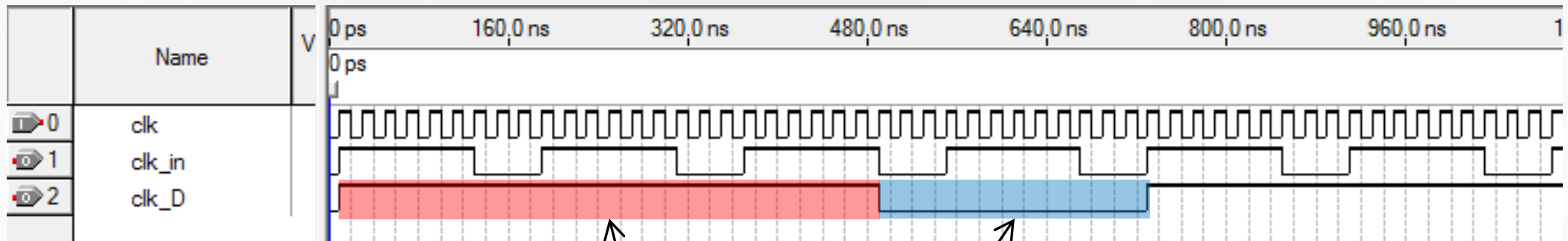
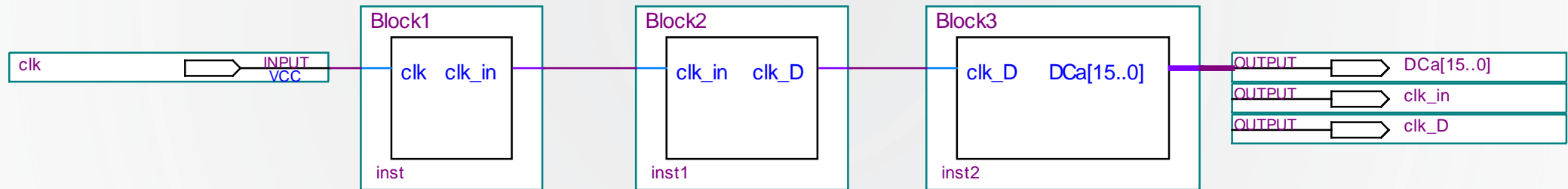
БЛОК №2



- На вход поступает синхросигнал `clk_in` с блока №1
- На выходе формируется сигнал `clk_D` уменьшенный по частоте в `D` раз
- Делитель частоты `D` задан по варианту



БЛОК №2



Пример:
Вариант Б

$$m = 6$$

$$n = 3$$

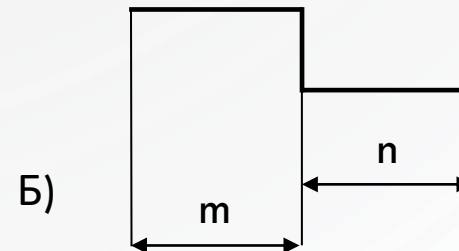
$$D = 4$$

$$"1"_{clk_in} = 120 \text{ ns}$$

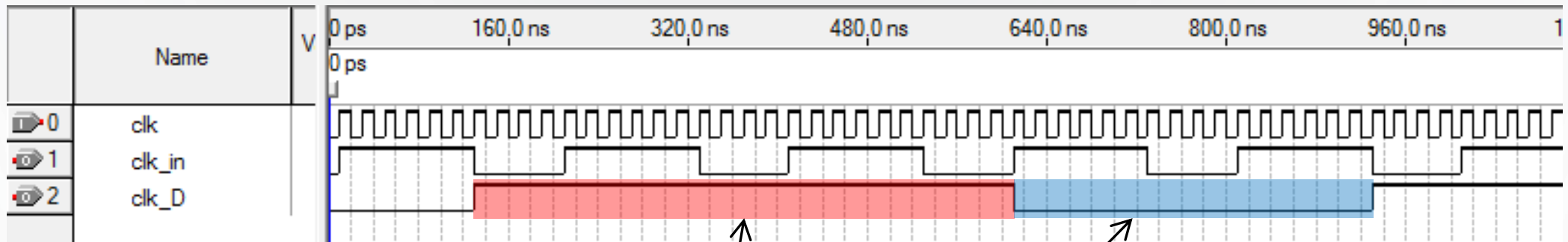
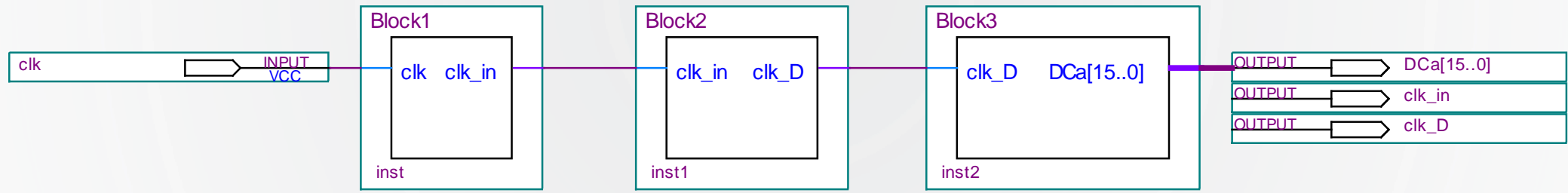
$$"0"_{clk_in} = 60 \text{ ns}$$

$$"1"_{clk_D} = "1"_{clk_in} \cdot D = 120 \text{ ns} \cdot 4 = 480 \text{ ns}$$

$$"0"_{clk_D} = "0"_{clk_in} \cdot D = 60 \text{ ns} \cdot 4 = 240 \text{ ns}$$



БЛОК №2



Пример:
Вариант Б

$$m = 6$$

$$n = 4$$

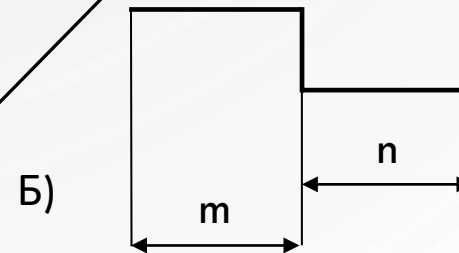
$$D = 4$$

$$"1"_{clk_in} = 120 \text{ ns}$$

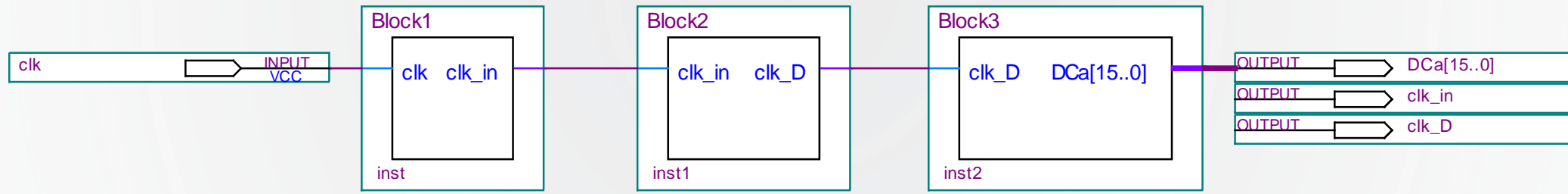
$$"0"_{clk_in} = 80 \text{ ns}$$

$$"1"_{clk_D} = "1"_{clk_in} \cdot D = 120 \text{ ns} \cdot 4 = 480 \text{ ns}$$

$$"0"_{clk_D} = "0"_{clk_in} \cdot D = 80 \text{ ns} \cdot 4 = 320 \text{ ns}$$



БЛОК №3



- На вход поступает синхросигнал clk_D с блока №2
- На выходе формируется 16-разрядный сигнал, представляющий собой 16 опорных синхроимпульсов $DCa[15..0]$
- Форма сигнала любая из представленных вариантов В, Г, Д, И

БЛОК №3

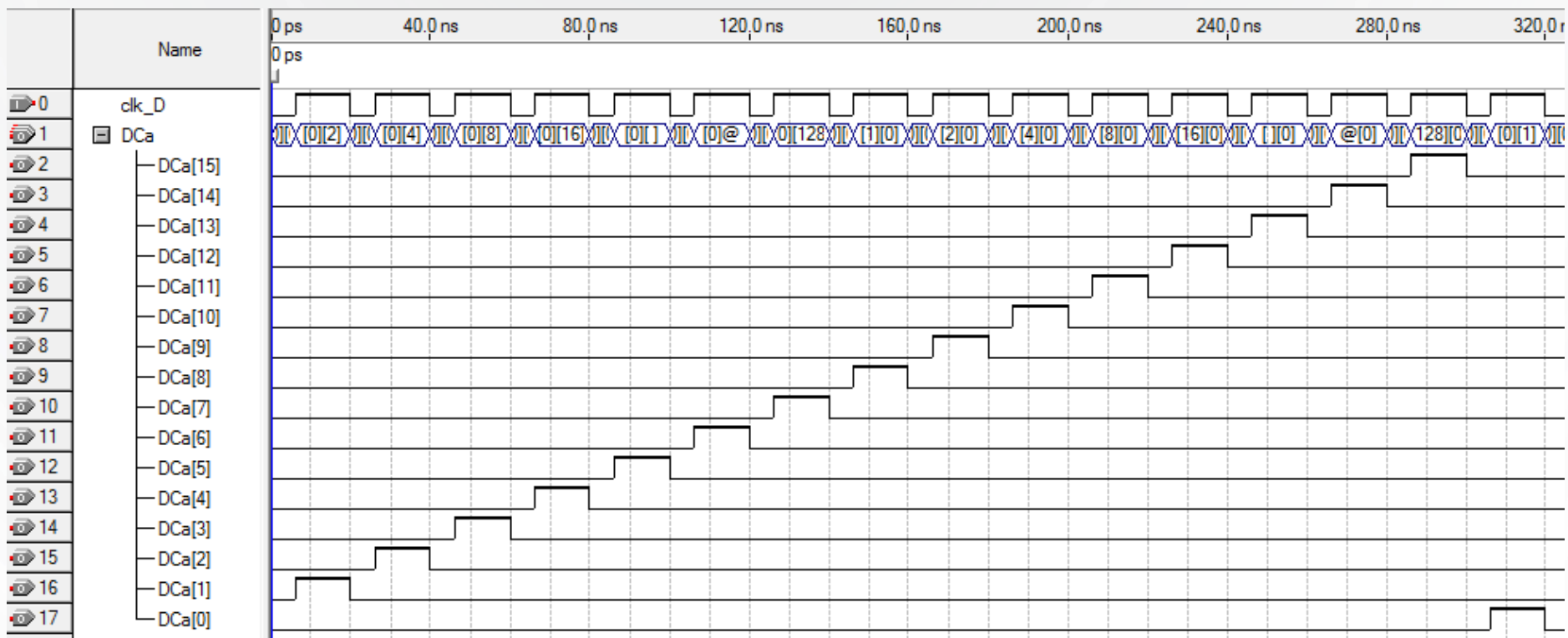
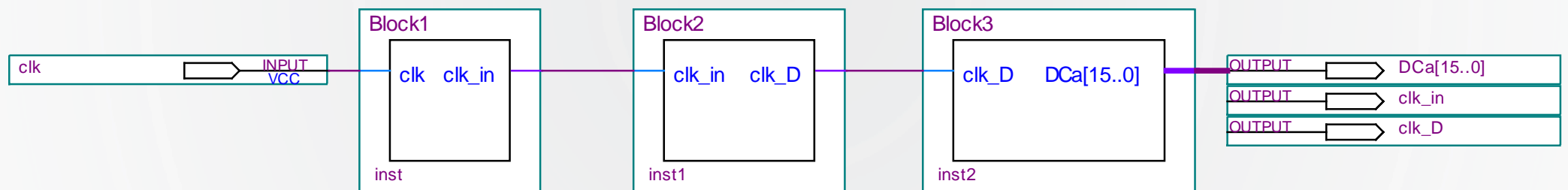
The diagram illustrates the internal structure and timing of Block No. 3. It consists of three main blocks: Block1 (inst), Block2 (inst1), and Block3 (inst2).

Block Diagram:

- Block1 (inst):** Receives `clk` and `VCC` as inputs. Its output is `clk_in`.
- Block2 (inst1):** Receives `clk_in` and `clk_D` as inputs. Its output is `clk_D`.
- Block3 (inst2):** Receives `clk_D` and `DCa[15..0]` as inputs. It has three outputs: `DCa[15..0]`, `clk_in`, and `clk_D`.

Timing Diagram (B):

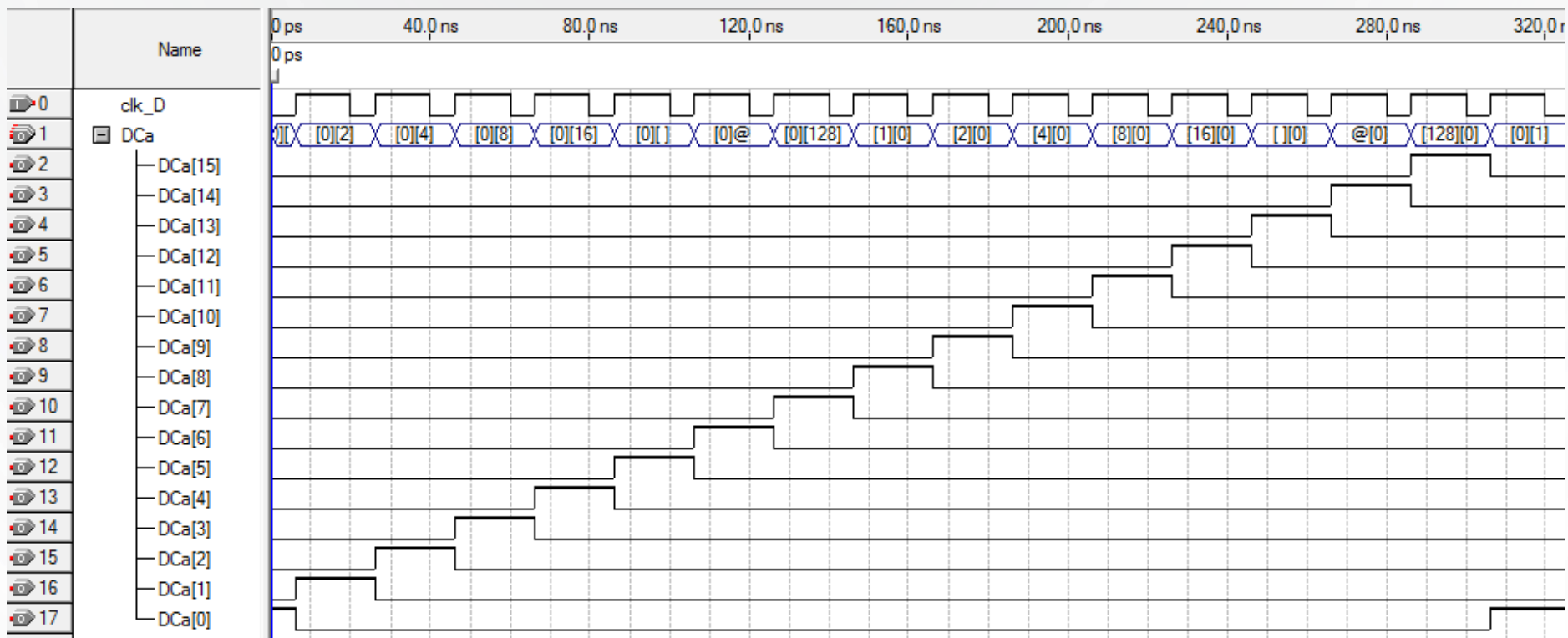
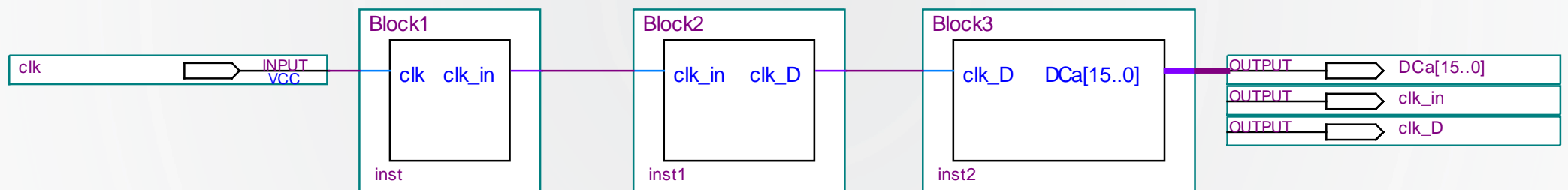
The timing diagram shows the signals over a 320 ns period. The top signal is a clock signal. Below it is a 16-bit data bus `DCa[15..0]` with hexadecimal values: `02`, `04`, `08`, `16`, `1`, `0e`, `128`, `110`, `20`, `40`, `80`, `160`, `110`, `e0`, `128`, `01`. The bottom 16 signals are individual bits of `DCa`, showing a staircase pattern where bits transition from 0 to 1 sequentially.



БЛОК №3

Г)

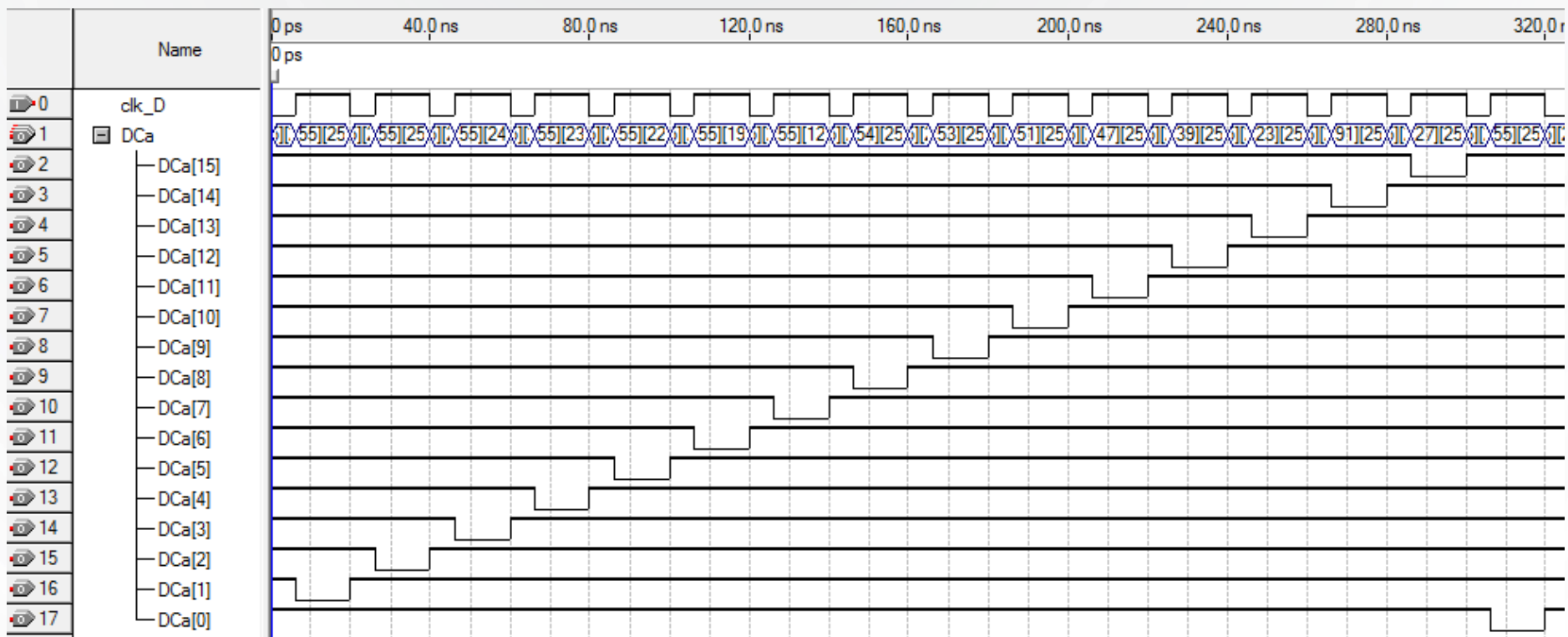
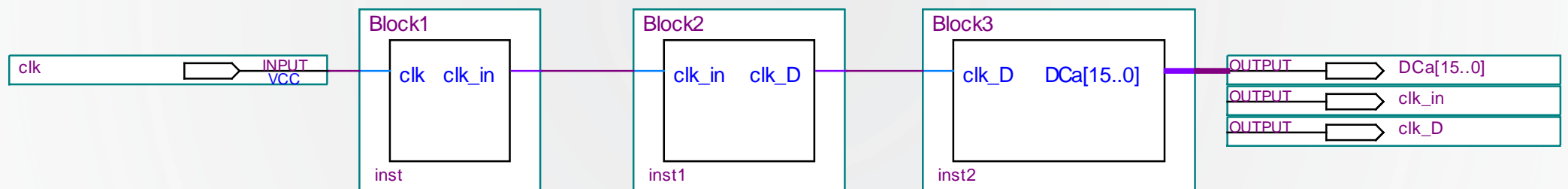
Time (ps)	DCa[15..0]
0	[0][15]
40	[0][2]
80	[0][4]
120	[0][8]
160	[0][16]
200	[0][1]
240	[0][@]
280	[0][128]
320	[1][0]
360	[2][0]
400	[4][0]
440	[8][0]
480	[16][0]
520	[][0]
560	@[0]
600	[128][0]
640	[0][1]



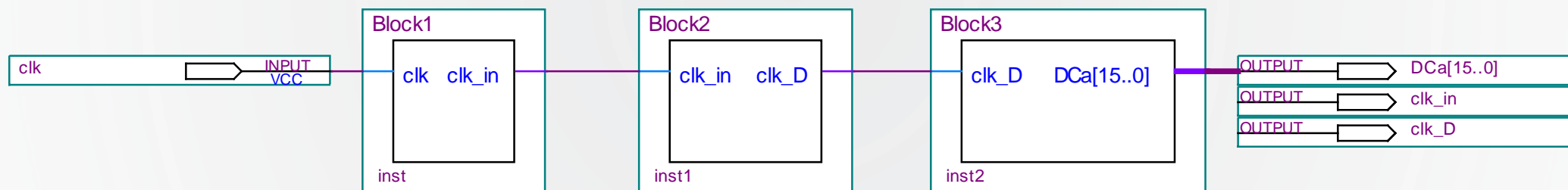
БЛОК №3

The schematic diagram shows three blocks: Block1, Block2, and Block3. Block1 (inst) has inputs `clk` and `VCC`, and output `clk_in`. Block2 (inst1) has inputs `clk_in` and `clk_D`, and output `clk_D`. Block3 (inst2) has inputs `clk_D` and `DCa[15..0]`, and output `DCa[15..0]`. The output `DCa[15..0]` is also connected to the `clk_D` input of Block2. The timing diagram shows the signals `clk_D` and `DCa` over 320.0 ns. The `clk_D` signal is a periodic clock. The `DCa` signal is a 16-bit bus, with each bit `DCa[i]` showing a step-like transition at specific clock edges. The transitions for `DCa[15]` to `DCa[0]` occur at approximately 10 ns intervals, starting from 0 ns and ending at 320 ns.

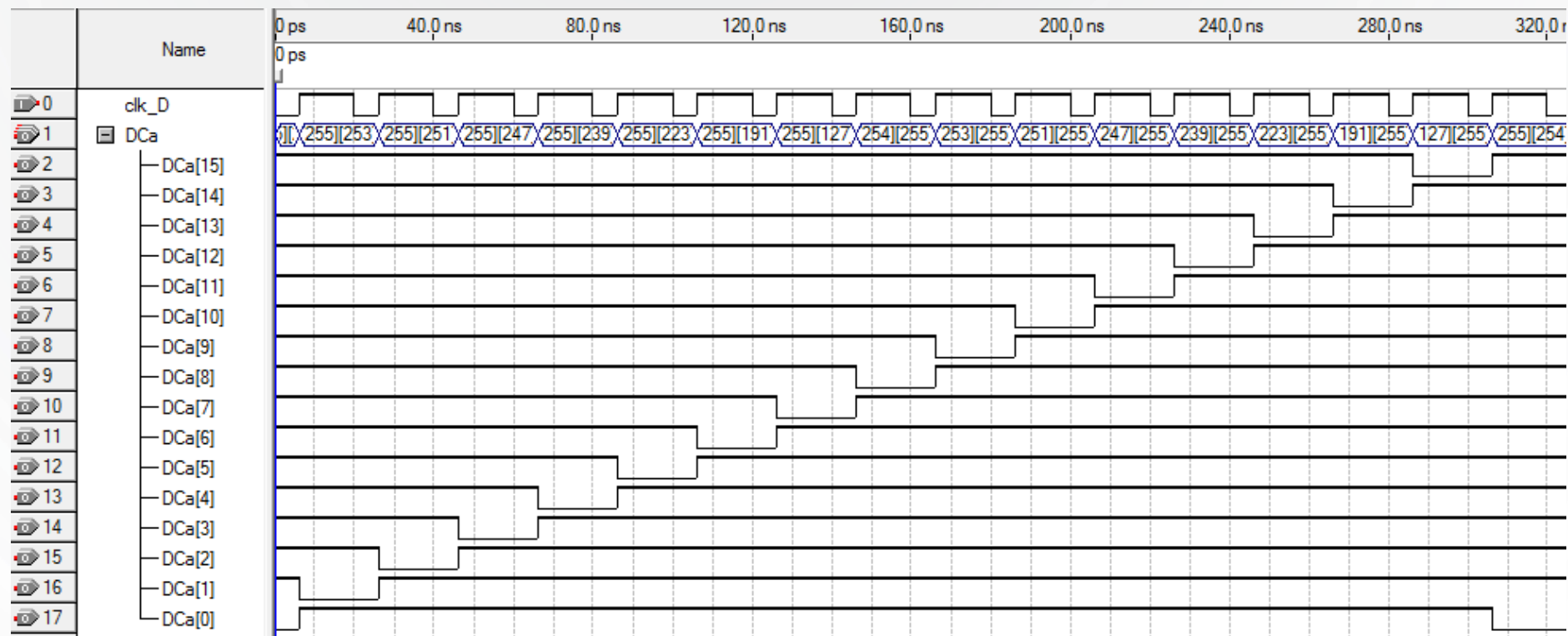
Д)



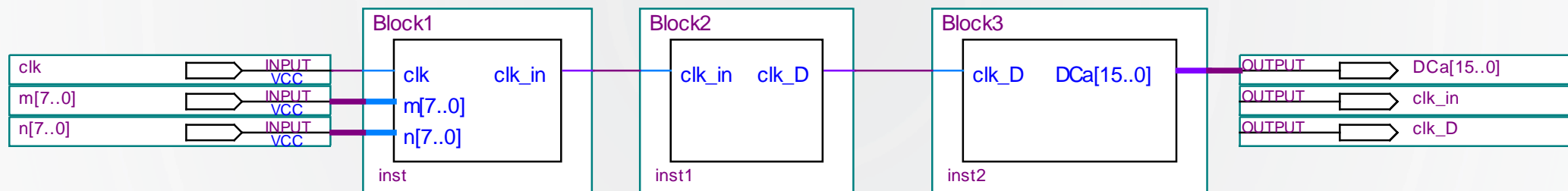
БЛОК №3



И)



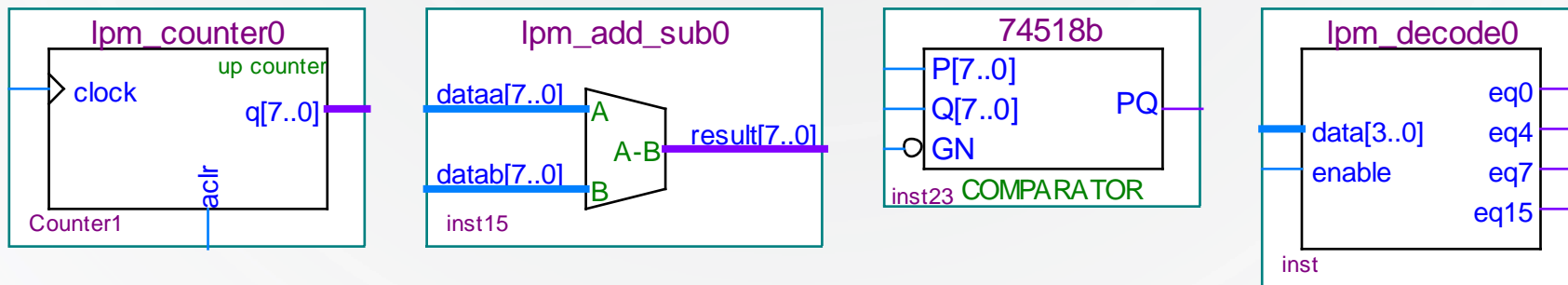
БАЛЛЫ ЗА Л.Р.



- 4-8 – за выполнение
- 1 – за скорость сдачи

НЕОБХОДИМЫЕ ЭЛЕМЕНТЫ

На 2 л.р. использование готового делителя частоты запрещено



QUARTUS

- Увеличить время моделирования: Edit -> End Time...
- В моделировании для шин можно выбрать представление в нужном формате
- Создание символа: SIFO lab practicum part 1 (стр 16)
- Схему в виде блока пересохранять нужно только при изменении пинов

Горячие клавиши:

- Ctrl + Space - увеличить масштаб
- Ctrl + Shift + Space - уменьшить масштаб
- Ctrl + Alt + Space - полноэкранный режим