

Раздел 1. Лекция 4.

Системные и периферийные
шины. Часть 2

Основные вопросы лекции

1. Шина PCI-X: архитектура, топология; уровни протокола; форматы пакетов.
2. Шина PCI Express: архитектура, топология; уровни протокола; форматы пакетов, кодирование; коммутаторы; физический интерфейс; перспективы развития.

1. Версии спецификаций PCI

Стандарт	Разрядность, биты	Напряжение, В	Частота, МГц	Пропускная способность, Мб/с
PCI 2.0	32	5	33	133
PCI 2.1-3.0	32	5 или 3,3	33 или 66	133 (если частота 33 МГц) 266 (если частота 66 МГц)
PCI 64	64	3,3 или 5	33	266
PCI 66	64	3,3	66	533
PCI-X	64	1,5 или 3,3	66-533	1024-4096

Стандарт PCI 66 – это развитие PCI 64. Главное отличие – 66 МГц, слотов только с напряжением 3,3 В. Благодаря повышенной частоте выросла и пропускная способность, которая составляет 533 Мб/с.

1. Версии спецификаций PCI

После стандарта PCI 66 появился гибридный стандарт PCI 64/66. Он совместим со следующими платами:

- PCI 64 3,3 В;
- PCI 32 3,3 В.

PCI-X – это еще одна модификация стандарта PCI 64. Основное отличие – зависимость частоты шины от количества устройств:

66 МГц – 4, 100 МГц – 2, выше 133 МГц – 1.

Существуют две версии PCI-X. У первой пропускная способность 1024 МБ/с, у второй – 4096 МБ/с. Напряжение у PCI-X – 1,5 В, но данная шина совместима с платами PCI 64 3,3 В.

1. История создания шины PCI-X

Шина PCI-X разработана в 1998 году компаниями IBM, HP и Compaq как расширение шины PCI.

PCI-X 1.0

PCI-X 2.0 – 2003 г.

Основная цель создания шины – улучшить ключевые характеристики шины PCI, прежде всего пропускную способность и надежность, за счет усложнения протокола обмена данными и увеличения тактовой частоты.

Шина PCI-X применяется только в рабочих станциях и серверах.

Совместимость с устройствами PCI – механическая, электрическая, логическая – сохранена в полном объеме, но при наличии устройства PCI вся шина работает в режиме совместимости.

На сегодня практически полностью вытеснена шиной PCI Express.

1. Совместимость с PCI

Первоначально были разработаны три варианта — PCI-X66, PCI-X100 и PCI-X133 с частотами 66, 100 и 133 МГц соответственно, ширина шины 32 или (чаще) 64 бита.

PCI-X является 64-битной шиной. В результате пропускная способность автоматически удваивается, равно как число дорожек/контактов и размеры слота.

Но все остальное, включая протоколы передачи, сигналы и типы разъемов, обратно совместимо. То есть в слот PCI-X можно установить 32-битную карту PCI (3,3 В). Кроме того, многие 64-битные карты PCI-X могут работать в 32-битных слотах PCI, но, конечно, с заметно сниженной пропускной способностью.

1. Шина PCI-X 1.0

Основные отличия от PCI

- возможность работы на тактовой частоте шины в 100 и 133 МГц;
- возможно использование различных слотов для разных скоростей обмена данными; зависимость частоты шины от количества устройств:
 - 66 МГц – 4;
 - 100 МГц – 2;
 - 133 МГц – 1 (2, если одно или оба устройства не находятся на платах расширения, а уже интегрированы на одну плату вместе с контроллером).
- значительно уменьшено время, выделяемое на операции в PCI-X (все времена в наносекундах);
- разрядность шин данных/адреса 64 бита;
- максимальная пропускная способность возросла до 1064 МБ/с.
- механизм отдельных транзакций для улучшения производительности при одновременной работе нескольких устройств.

1. Шина PCI-X 2.0

Основные отличия от PCI

- Режимы PCI-X266 и PCI-X533: частота 133 МГц, обмен данными с частотой 2х и 4х соответственно.
- Технология удвоенной передачи данных (**DDR - Double Data Rate**), когда данные передаются на спаде и возрастании тактового импульса.
- Максимальная пропускная способность - 2128 МБ/с.
- Технология учетверенной передачи данных (**QDR - Quad Data Rate**). Intel использует ее для FSB процессоров Pentium 4 и Xeon. Максимальная пропускная способность - 4256 МБ/с.
- Понижение напряжения питания и уровней сигналов до 1.5 В.
- Добавление механизма коррекции ошибок четности при передаче данных (ECC – Error Checking and Correction, Error Correction Code).
- Новый 16-битный интерфейс для микросхем на материнской плате.
- Расширение конфигурационного пространства до 4 Кб.
- Добавление механизма обмена сообщениями между устройствами (DIM – Device ID Message).
- Допускает расщепление на 4 независимых 16-битных шины, что применяется исключительно во встраиваемых и промышленных системах.

1. Модификация сигналов и протокола PCI

Направлена на снижение задержек и устранение накладных расходов.

Для определения возможностей карты добавлен новый контакт PCIXCAP – поддержка протокола PCI-X (на PCI заземлен, на PCI-X133 соединен с землей через конденсатор (0,01мкФ), на PCI-X66 – параллельной цепочкой RC (10 кОм, 0,01мкФ)).

Назначения остальных сигналов остались без изменений, кроме C/BE# - они не действуют в пакетных транзакциях (кроме MW - Memory Write).

Ввели дополнения, позволяющие устройствам «предвидеть» грядущие события и выбирать адекватное поведение.

В обычной PCI все транзакции начинаются одинаково (с фазы адреса) как пакетные с заранее неизвестной длиной. При этом реально транзакции ввода/вывода всегда имеют лишь одну фазу данных; длинные пакеты эффективны (и используются) только для обращений к памяти.

1. Длина транзакций PCI-X

В PCI-X транзакции по длине разделены на два типа:

- пакетные (Burst) — все команды, обращенные к памяти, кроме Memory Read DWORD;
- одиночные размером в двойное слово (DWORD) — остальные команды.

Введено понятие **последовательности (Sequence)** — одной или нескольких логически связанных пакетных транзакций (чтение или запись в память), в рамках которых передается единый блок данных.

Сколько байт передается в рамках одной транзакции, не определено (она может быть прервана в любой момент), но для последовательности инициатор заявляет суммарный объем в байтах.

Последовательность определяется:

- *идентификатором (RBN : RDN : RFN) инициатора*, а именно:

RBN — *номер шины,*

RDN — *номер устройства,*

RFN — *номер функции,*

- *тэгом (ярлыком) — уникальным 5-битным номером.*

1. Модификация сигналов и протокола PCI

Добавлена *фаза атрибутов*, следующая за фазой адресации перед фазами данных, в которой инициатор сообщает свой идентификатор.

По шине AD в фазе атрибутов передается:

- 8 бит – младшая часть счетчика байт последовательности LBC (сколько байт осталось передать до конца).
- RFN (3 бита), RDN – (5 бит), RBN – (8 бит).
- Тэг (5 бит). Благодаря тегу каждый инициатор может одновременно выполнять до 32 логических передач (повторное назначение тега другой логической передаче возможно только после завершения предшествующей, с тем же тегом).
- Дополнительные биты-признаки RO и NS области памяти, к которой относится транзакция. RO (Relaxed Order) – допустим произвольный порядок операций чтения и записи (для возможности переупорядочивания этих операций в целях оптимизации). NS (No Snop) – отсутствие кэширования.

По шине C/BE# передается старшая часть счетчика байтов UBC; итого макс. размер последовательности составляет 4096 байт.

12-битный счетчик байтов - только для пакетных транзакций.

1. Расщепленные (Split) транзакции

Если целевое устройство не успевает начать обработку транзакции, оно должно не откладывать ее и запрашивать повторение (завершение типа Delay), а выполнять расщепление (Split) – выполнение с обменом ролями.

В PCI-X отложенные транзакции (Delayed Transaction) заменены на расщепленные транзакции (Split Transaction).

Любую транзакцию, кроме транзакций записи в память, целевое устройство может завершать либо немедленно, либо с использованием протокола расщепленных транзакций. В последнем случае целевое устройство подает сигнал *Split Response* (расщепление), внутренне исполняет команду, а потом инициирует собственную транзакцию (команда *Split Completion*) для пересылки данных или сообщения о завершении инициатору исходной (расщепленной) транзакции.

1. Расщепление

Транзакция чтения разбивается на:

- транзакцию запроса чтения, которая содержит адрес;
- транзакцию ответа исполнителя, которая содержит данные.

Каждая транзакция теперь должна быть **помечена (тегирована)** соответствующим образом, чтобы ЦП и исполнители могли сообщить, что есть что.

1. Режимы PCI-X

Каждый сегмент PCI-X (физическая шина) должен работать в самом прогрессивном режиме, доступном всем его абонентам, включая и главный для этой шины мост. В стандартной шине PCI «прогрессивность» определяется только допустимой тактовой частотой (33 или 66 МГц), и свои способности карта сообщает по контакту B49 (M66EN).

В шине PCI-X появляются новые возможности: поддержка собственно протокола PCI-X (Mode 1 в терминах PCI-X 2.0) и ускоренных передач (Mode 2). Эти возможности карта сообщает через контакт B38 (PCIXCAP).

Мост, которому подчиняется данная шина, проверяет состояние линий M66EN и PCIXCAP по началу сигнала сброса. В соответствии с увиденными возможностями (они будут соответствовать самому слабому абоненту) мост выбирает режим работы шины. Этот режим доводится до всех абонентов с помощью шаблона инициализации (PCI-X Initialization Pattern) — уровней сигналов PERR#, DEVSEL#, STOP# и TRDY# в момент окончания сигнала RST# (по его нарастающему фронту). К этому моменту на слоты уже подается соответствующее напряжение +V_{I/O}.

PCI	33 66	МГц
-----	-------	-----

PCI-X	66 133 266 533	МГц
-------	----------------	-----

1. Электрический интерфейс PCI-X

Напряжение питания и уровни сигналов – 3.3 В, с возможностью работы на 1.5 В при поддержке режима Mode 2.

Щелевой разъем имеет ту же конфигурацию, но иное назначение некоторых контактов. В частности, добавлены сигналы ECC.

Режим работы шины определяется мостом по началу сигнала сброса (RST#).

Помимо линии M66EN, проверяется контакт PCIXCAP, по сопротивлению резистора определяется максимальная частота каждого устройства.

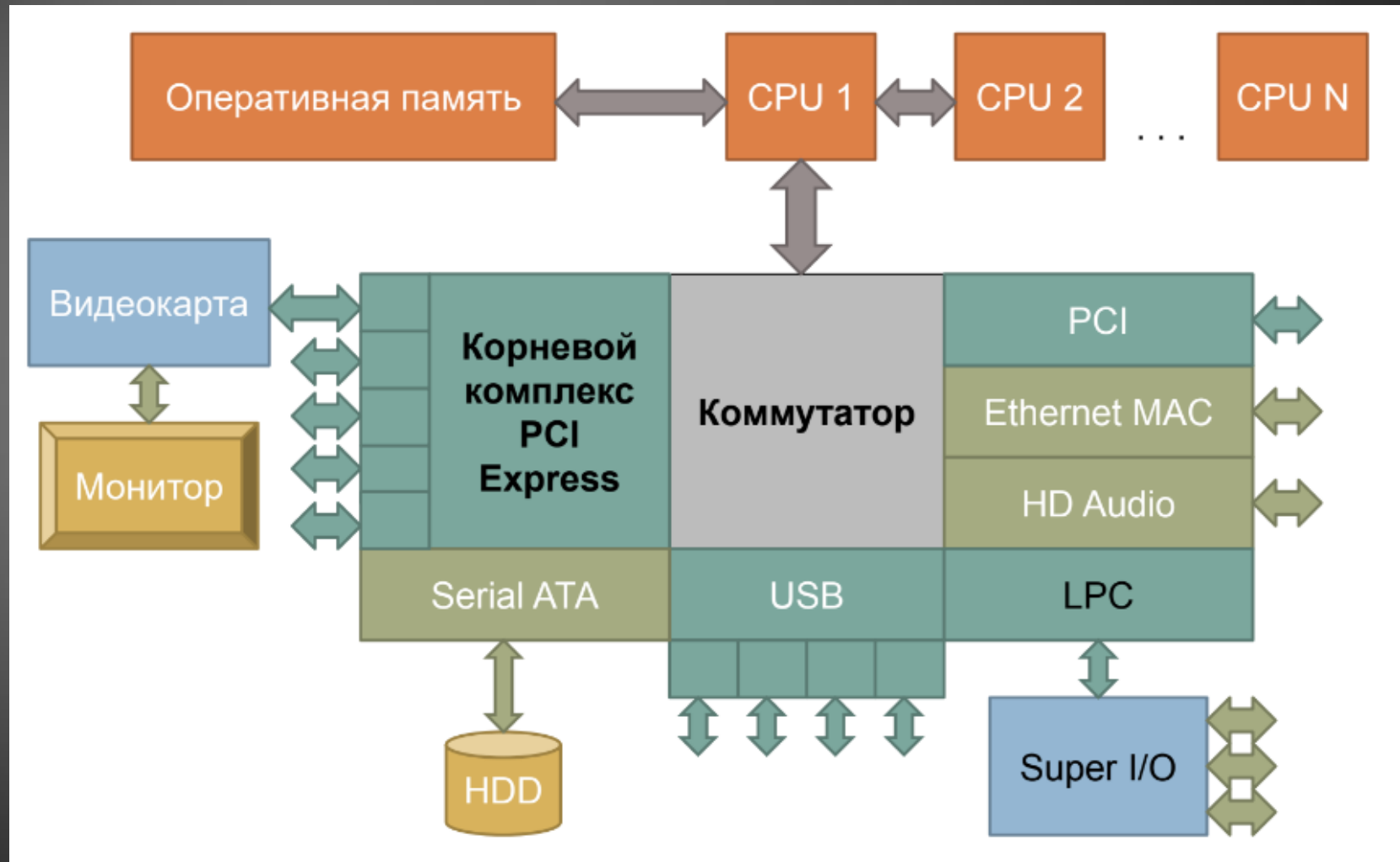
Проверив устройства, мост выбирает режим работы шины (частота, режим PCI-X или PCI, контроль достоверности данных) и сообщает его всем устройствам двоичным кодом по линиям PERR#, DEVSEL#, STOP# и TRDY# по спаду сигнала RST#.

1. Заключение PCI-X

PCI-X является существенно доработанной версией параллельной шины Peripheral Components Interconnect (PCI). Она построена на классической шинной топологии и требует для подключения большое число дорожек/контактов. Как мы уже упоминали выше, доступная пропускная способность разделяется между всеми устройствами.

PCI-X 1066 / PCI-X 2133 – планировались будущие варианты шины PCI-X, с результирующими частотами работы 1066 и 2133МГц соответственно, изначально предназначенные для подключения 10 и 40 Гбит Ethernet адаптеров.

2. Архитектура современного ПК



2. Почему PCI Express

Суть проблемы заключается в том, что со временем появляется все больше устройств ввода-вывода, требования по быстродействию которых не соответствуют возможностям шины PCI:

- скорость & частота;
- коммутация каналов & пакетов;
- еще один недостаток шины PCI состоит в чрезмерных габаритах плат.

2. Шина PCI Express

Шина PCI Express (проект Arapahoe) была разработана в 2002 году как универсальный периферийный интерфейс системного уровня.

Первая общепринятая спецификация имеет версию 1.0a, она была принята комитетом PCI SIG в 2003 году.

Позднее была принята спецификация 1.1, в 2007 году одобрена спецификация 2.0, а в 2010 году - версия 3.0, в 2017 году – версия 4.0, далее была реализована версия 5.0 в 2019 году, но она практически не используется. На текущий момент готовится к выходу версия шины 6.0.

При разработке PCI Express особое внимание было уделено совместимости с PCI на уровне механизма конфигурирования, программного доступа и поддержки со стороны ОС и драйверов.

При этом требовалось сохранить или уменьшить стоимость реализации при значительном улучшении всех характеристик, прежде всего пропускной способности.

2. Шина PCI Express. Версии шины

Версия PCI Express	Год выхода	Схема кодирования	Скорость передачи	Пропускная способность на x линий			
				x1	x4	x8	x16
PCIe 1.0	2002	8b/10b	2,5 ГТ/с	250 Мб/с	1 Гб/с	2 Гб/с	4 Гб/с
PCIe 2.0	2007	8b/10b	5 ГТ/с	500 Мб/с	2 Гб/с	4 Гб/с	8 Гб/с
PCIe 3.0	2010	128b/130b	8 ГТ/с	984,6 Мб/с	3,94 Гб/с	7,88 Гб/с	15,8 Гб/с
PCIe 4.0	2017	128b/130b	16 ГТ/с	1,969 Гб/с	7,88 Гб/с	15,8 Гб/с	31,5 Гб/с
PCIe 5.0	2019	128b/130b	32 ГТ/с	3,938 Гб/с	15,75 Гб/с	31,5 Гб/с	63 Гб/с

2. PCI Express Link

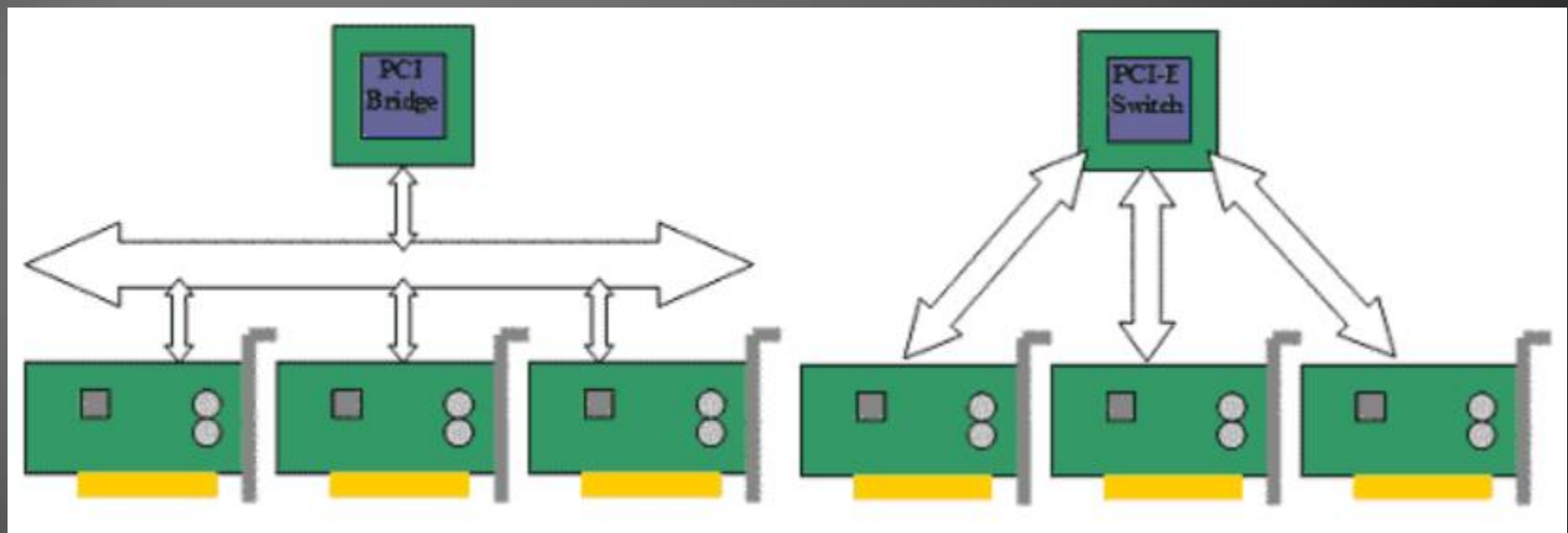
Вместо шинного соединения PCI в PCI Express применена схема объединенных через коммутаторы двухточечных каналов связи между устройствами и портами.

Соединение (Link) – это пара встречных симплексных каналов - передающий (Transmitting) и принимающий (Receiving). Каждый канал является низковольтной дифференциальной парой сигналов (LVDS, $\leq 2,6$ v). Сигналы идут одновременно в противоположных направлениях.

Скорость соединения (Signaling Rate) устанавливается в начале работы шины; определены две скорости – 2.5 Гбит/с и 5.0 Гбит/с (PCIe 2.0).



2. Сравнение топологий PCI и PCI Express



2. Соединение PCI Express

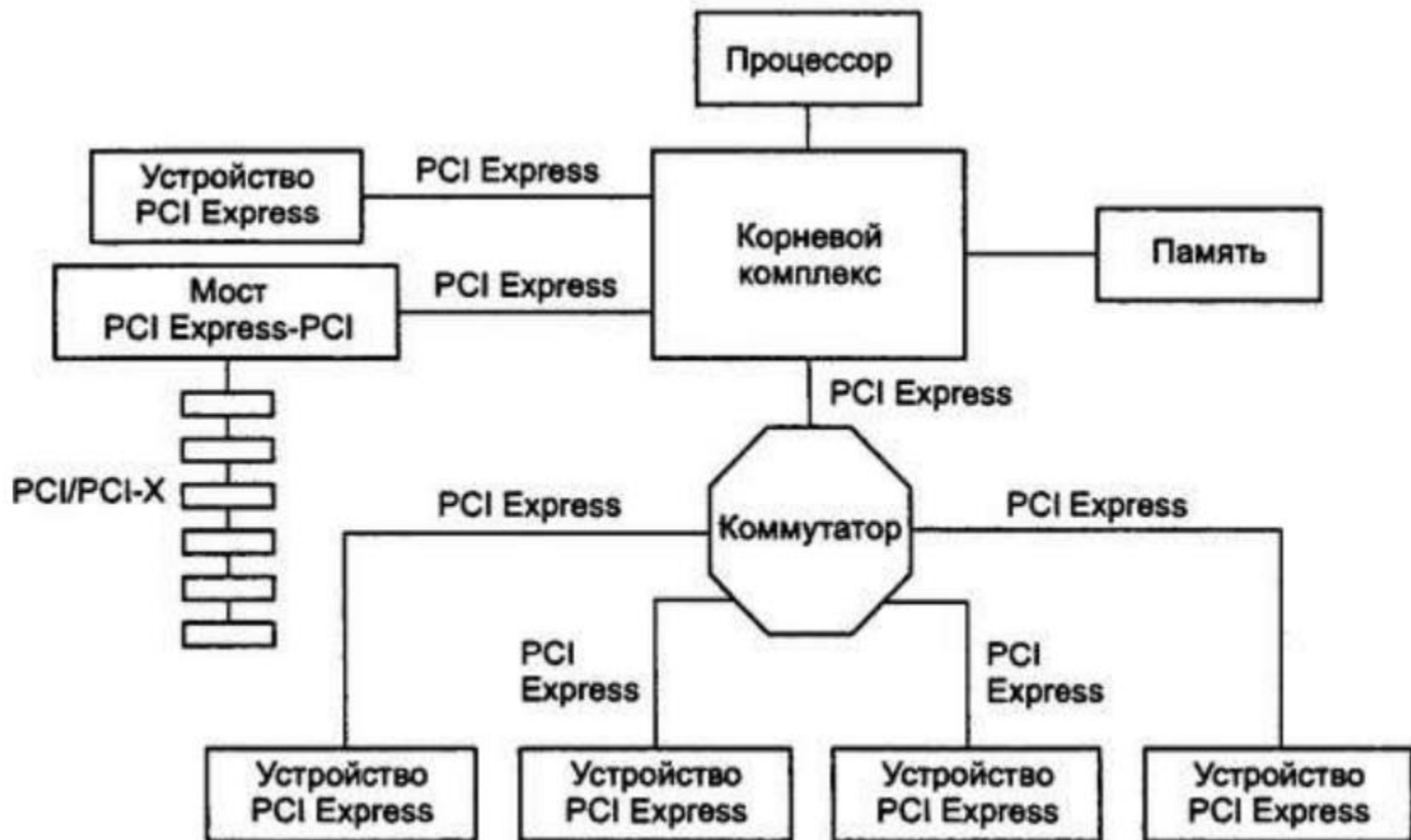
Соединение может включать одну или несколько линий, каждая из которых будет представлять собой пару дифференцированных сигналов:

- передающую (transmitting);
- принимающую (receiving).

Количество дифференциальных пар на прием и передачу должно быть одинаково, несимметричные соединения невозможны.

Данные по разным линиям передаются побайтно, общий поток делится на блоки, кратные количеству линий.

2. Коммутационная фабрика PCI Express



2. Корневой комплекс (RC)

Это аналог главного моста (Host Bridge) в шине PCI – инициализирует и управляет фабрикой). Он отвечает за связь с процессором и системной памятью, а также за конфигурирование всей фабрики.

RC содержит несколько портов PCI Express (Root ports), которые могут (необязательно) взаимодействовать между собой посредством виртуального коммутатора. К каждому из портов RC может подключаться:

- коммутатор (switch),
- мост для другой шины (напр., PCI),
- конечное устройство (Endpoint).

RC отвечает за конфигурационные циклы, может выполнять циклы доступа к портам и пространству памяти.

RC может запрашивать заблокированные (Locked) операции, **но не может отвечать на запросы с блокировкой.**

2. Конечное устройство (Endpoint)

Каждое конечное устройство подключается к порту либо RC, либо к коммутатору.

Устройство выполняет транзакции от своего имени либо от имени подключенной к нему шины, устройства или контроллера другого интерфейса.

Устройства могут быть: *полноценными* и *устаревшего* типа (Legacy).

Полноценное устройство:

- не работает через порты – только через диапазон памяти.
- не работает с заблокированными запросами.
- поддерживает 64-битное адресное пространство по умолчанию.
- поддерживает механизм прерываний MSI, причем с 64-битным пространством.
- имеет расширенное пространство конфигурирования.

2. Механизм конфигурирования

Позаимствован у PCI-X 2.0. Стандартный способ доступа – через конфигурационный цикл – сохранен для совместимости. Полное конфигурационное пространство каждого устройства занимает 4 Кб.

Для упрощения доступа к конфигурационным регистрам предусмотрен механизм их отображения на пространство памяти. По заданному базовому адресу находится пространство для всех возможных устройств в рамках системной шины.

Memory Address ⁶²	PCI Express Configuration Space
A[27:20]	Bus Number
A[19:15]	Device Number
A[14:12]	Function Number
A[11:8]	Extended Register Number
A[7:2]	Register Number
A[1:0]	Along with size of the access, used to generate Byte Enables

2. Порт PCI Express

Порт – это логическая точка подключения соединения (Link) в памяти, которая отвечает за управление линиями, сборку в пакеты исходящих данных и разборку входящих. Портами оснащены РС и коммутаторы (если они имеются).

С точки зрения программирования порт представляет собой виртуальный мост PCI-PCI, а его Link – виртуальную подчиненную (вторичную) шину PCI.

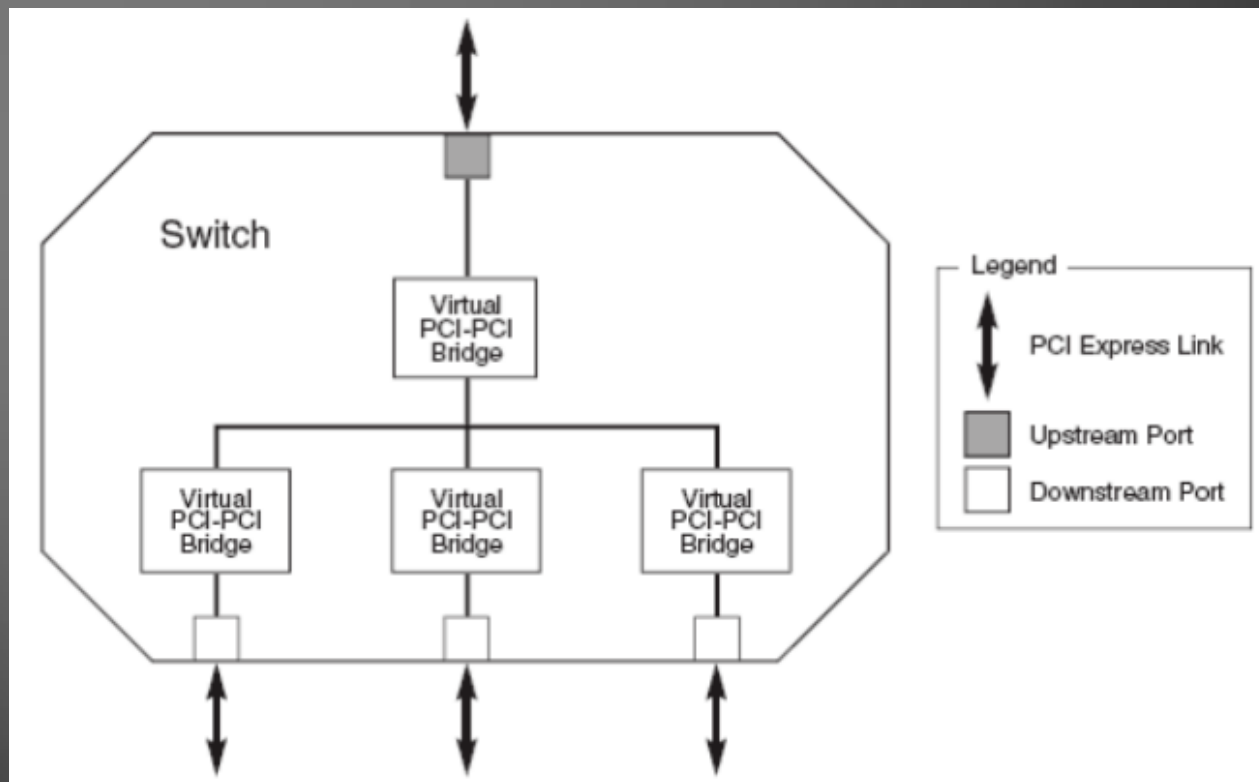
Все порты делятся на:

- корневые (принадлежат РС);
- нисходящие;
- восходящие (только у коммутаторов).

2. Коммутатор PCI Express

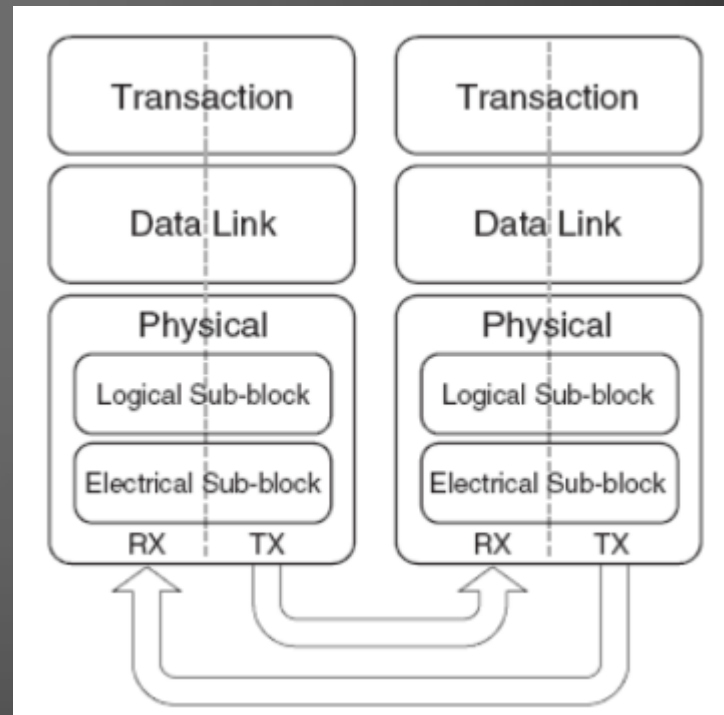
Коммутатор служит для расширения количества подключаемых устройств, это аналог моста дополнительных шин PCI.

Программно коммутатор представляет собой набор мостов PCI-PCI. Один из портов коммутатора ведет к порту RC или другого коммутатора.



3. Уровни протокола PCI Express

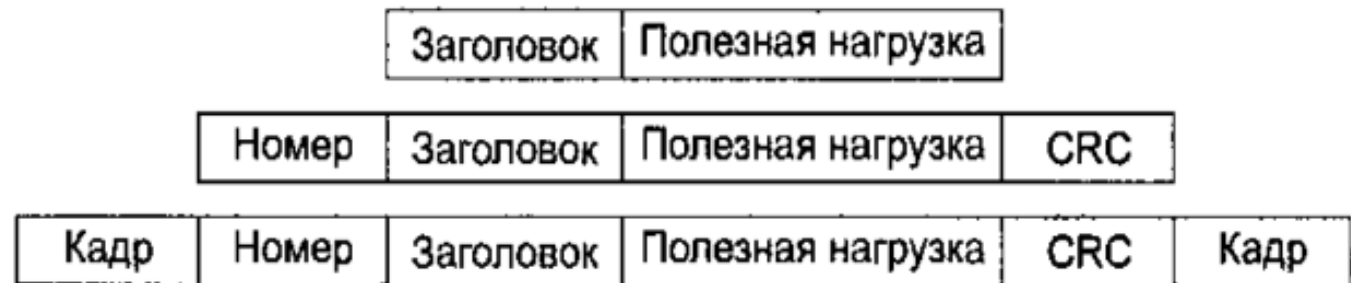
В отличие от PCI протокол PCI Express условно разделен на уровни, без уточнения способов их реализации. Уровней всего три, на каждом выполняется сборка и разборка пакетов и их обрамление необходимыми заголовками и контрольными суммами. **Не все пакеты относятся к уровню транзакций, существуют пакеты только канального уровня, служащие для управления.**



2. Стек протоколов и форматы пакетов

Программный уровень
Уровень транзакции
Канальный уровень
Физический уровень

а



б

2. Уровень транзакций

Этот уровень отвечает в основном за выполнение операций чтения и записи в память либо в порты ввода-вывода.

Все транзакции, требующие ответа (обычно чтение), выполняются как расщепленные (Split): их инициатор получает статус запросчика (Requester), а целевое устройство – статус исполнителя (Completer).

Уровень транзакций отвечает и за управление потоком, реализованное на основе механизма кредитов.

На уровне транзакций поддерживается 4 адресных пространства:

- Памяти (основное) (при выполнении стандартных операций чтения и записи).
- Портов ввода-вывода (для совместимости) (для адресации регистров устройств).
- Конфигурационное (для инициализации системы и т. д.).
- Пространство сообщений (Message Space) (для отправки сигналов, прерываний и т. д. - для эмуляции сигналов шины PCI (INTx#, PME# и др.) – т.н. «виртуальные провода».

2. Адресные пространства

Пространства памяти и ввода-вывода аналогичны традиционным - тем, что реализованы в современных системах.

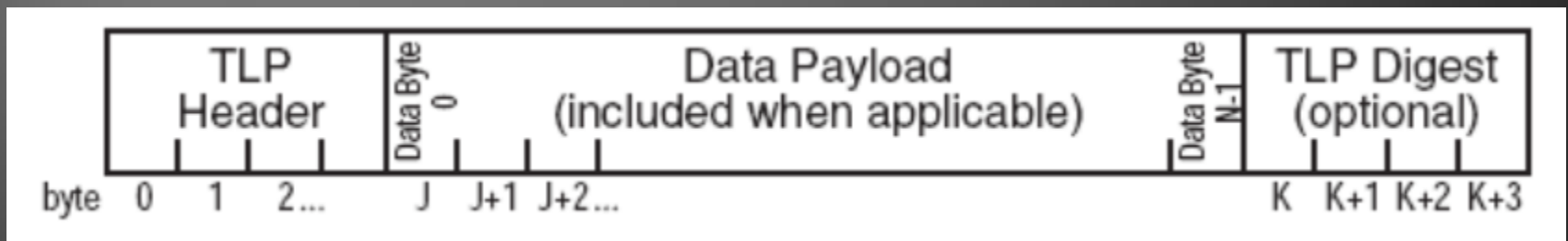
- в конфигурационном пространстве возможна реализация разного рода механизмов, например автоматического конфигурирования (PpP).
- пространство сообщений принимает на себя функции многочисленных ныне управляющих сигналов. Обойтись без этого пространства нельзя, ведь в PCI Express отсутствуют предусмотренные в шине PCI линии управления.

2. Пакеты уровня транзакций

Пакеты шины PCI Express оптимизированы для передачи по высокоскоростным последовательным линиям. Они имеют переменный формат, в том числе длину, чтобы исключить передачу незадействованных полей.

Первым передается наиболее значимый байт, обычно старший байт, чтобы приемное устройство могло начать его обработку до прихода остальных байтов.

Формат (обобщенный) пакета TLP следующий:



Длина пакета выровнена по границе dword.

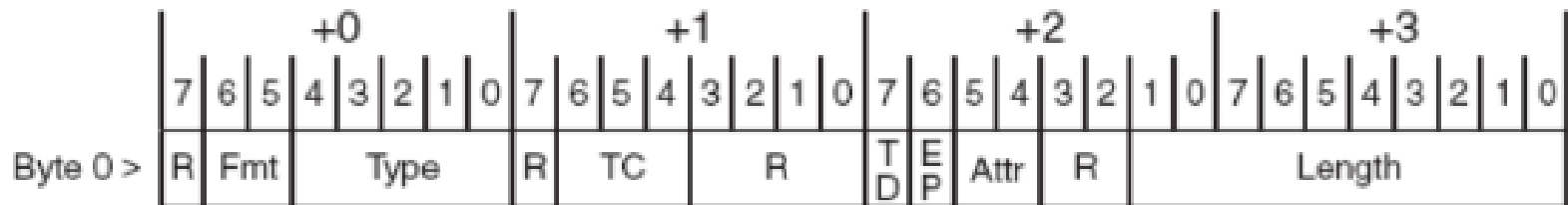
Код CRC обеспечивает защиту инвариантных областей TLP.

2. Пакеты уровня транзакций

Пакеты уровня транзакций несут признак одной из двух фаз транзакции – запрос (Request) и выполнение (Complete), последняя нужна не для всех типов транзакций.

Связь между запросами и выполнениями – по идентификатору транзакции (Transaction ID) из поля заголовка TLP.

Стандартный заголовок:



- TC – класс трафика;
- TD – признак наличия дайджеста (CRC);
- EP – «отравленные» данные - признак ошибки данных и данные могут быть недействительными (poisoned data);
- Length – длина поля данных в dword.

2. Качество обслуживания и виртуальные каналы

В PCI Express имеется поддержка дифференцированных классов по качеству обслуживания (QoS), обеспечивающая следующие возможности:

- выделять ресурсы соединения для потока каждого класса (виртуальные каналы);
- конфигурировать политику по QoS для каждого компонента;
- указывать QoS для каждого пакета;
- создавать изохронные соединения.

Для поддержки QoS применяется маркировка трафика: каждый пакет TLP имеет трехбитное поле метки класса трафика TC (Traffic Class). Это позволяет различать передаваемые данные по типам, создавать дифференцированные условия передачи трафика для разных классов. Порядок исполнения транзакций соблюдается в пределах одного класса, но не между разными классами.

2. Виртуальные каналы

Виртуальный канал (VC, Virtual Channel) представляет собой физически обособленные наборы буферов и средств маршрутизации пакетов, которые загружаются только обработкой трафика своего виртуального канала.

На основе номеров виртуальных каналов и их приоритетов производится арбитраж при маршрутизации входящих пакетов.

Каждый порт, поддерживающий виртуальные каналы, выполняет отображение пакетов определенных классов на соответствующие виртуальные каналы. При этом на один канал может отображаться произвольное число классов.

По умолчанию весь трафик маркируется нулевым классом (TC0) и передается дежурным каналом (VC0). Виртуальные каналы вводятся по мере необходимости.

2. Уровень транзакций

Уровень транзакций отвечает и за управление потоком, реализованное на основе механизмов доверия.

Формы заголовков:

- для запросов чтения памяти;
- для запросов портов в-в;
- для запросов конфигурационных данных;
- для запросов типа *Message*;
- для ответов завершений.

2. Поле «дайджеста»

Digest — 32-битный CRC-код. Длина всего пакета перечисленных полей кратна двойному слову (32 бит).

Признак «дайджеста» TD: единичное значение указывает на применение 32-битного CRC-кода в конце пакета, защищающего все поля пакета, не изменяемые в процессе его путешествия через коммутаторы PCI Express.

2. CRC-контроль

CRC - Cyclical Redundancy Check - Контроль с помощью циклического избыточного кода. Способ контроля целостности данных при их передаче и хранении.

При помощи специального алгоритма вычисляется контрольная сумма пакета данных, которая передается вместе с ним. Алгоритм расчета контрольной суммы определяется используемым протоколом передачи данных.

Принимающее устройство повторно вычисляет контрольную сумму пакета данных.

Несовпадение рассчитанной и принятой контрольной суммы расценивается как ошибка передачи данных, при этом, как правило, принимающее устройство производит запрос повторной передачи ошибочного пакета.

2. Использование сообщений

Сообщения могут применяться для различных управляющих целей.

Эмуляция прерываний $INTx\#$ выполняется с помощью посылки сообщения с кодом установки либо снятия одного из 4 флагов прерываний (INTA-INTD). Эмуляция PME#, а также других состояний энергопотребления, включая события недостатка питания, также выполняется с помощью сообщений.

Сообщения об ошибках передают один из трех кодов: исправимая (Correctable), не фатальная (Non-fatal) и фатальная (Fatal) ошибка.

Есть также сообщения о событиях Hot-plug (индикаторы Power и Attention, кнопка отключения и т.п.), а также событиях, определенных производителем.

2. Канальный уровень (Data Link Layer)

Отвечает за обеспечение целостности и достоверности данных, а также управление соединением.

На этом уровне пакеты уровня транзакций (TLP – Transaction Layer Packet) дополняются уникальным номером и контрольной суммой CRC.

Уровень проверяет порядок пакетов и контролирует их содержание, запрашивает пропущенные пакеты, сигнализирует о сбоях соединения, управляет состояниями соединения (неактивно, режим ожидания/инициализации, активно), служит для подачи сигналов энергопотребления, индикации ошибок и журналирования, обмена информацией управления потоком и т.д.

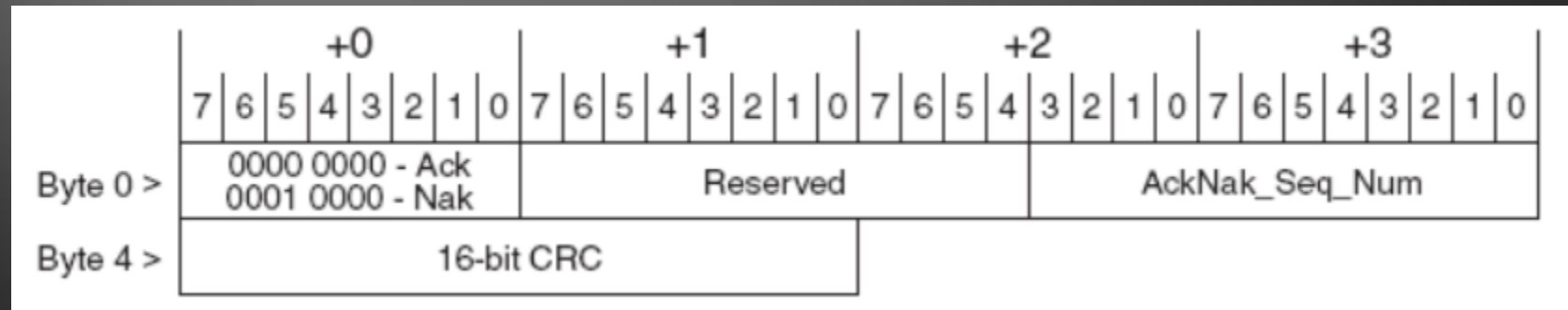
2. Пакеты DLLP

Специальные пакеты DLLP (Data Link Layer Packet) – служебные, данных не содержат, служат для управления соединением. Они не проходят через промежуточные узлы, распространяются только между портами.

Подразделяются на следующие типы:

- Ask – подтверждение прихода TLP с заданным номером;
- Nask – запрос на повтор TLP с заданным номером;
- пакеты управления кредитами и VC;
- пакеты управления PM.

DLLP содержит заголовок с типом пакета, информационное поле и 16-битный CRC (LCRC).



2. Кредиты доверия

В протоколе PCIe для передачи пакетов по каналу связи используется механизм управления потоками на основе кредитов доверия:

- Принимающее устройство выдает кредиты доверия на основе объема буферной памяти, имеющейся у принимающего устройства.
- Передающему устройству запрещено начинать транзакции, для которых может потребоваться больше кредитов доверия, чем их заявило принимающее устройство.
- Для осуществления транзакции длина полезных данных, указываемая в заголовке запроса передающего устройства, должна точно совпадать с объемом передаваемых полезных данных и быть меньше или равна количеству кредитов доверия, имеющихся у принимающего устройства. Это может неоправданно ограничивать гибкость при передаче данных.

2. Физический уровень

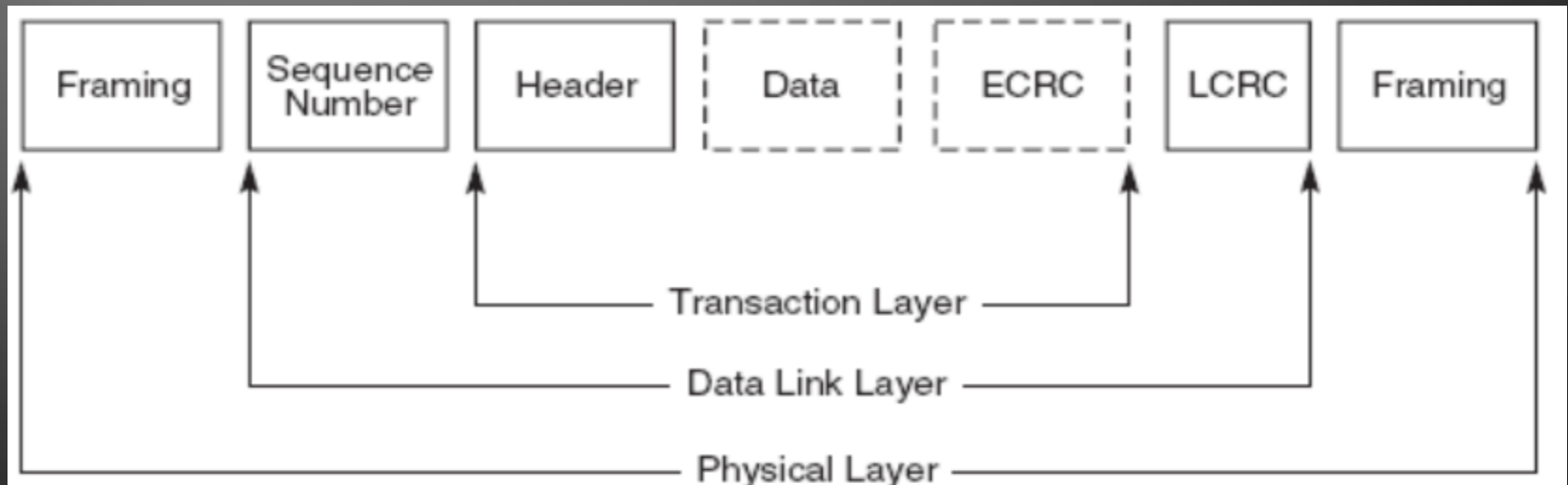
Делится на два подуровня:

- логический;
- электрический.

На логическом уровне байты полученных данных кодируются по схеме 8b/10b и преобразуются в 10-битные символы.

Выполняется также скрэмблирование (если необходимо), распределение по линиям, кадрирование, обрамление служебными символами.

В результате данные принимают следующий вид:



2. Кодирование 8b/10b

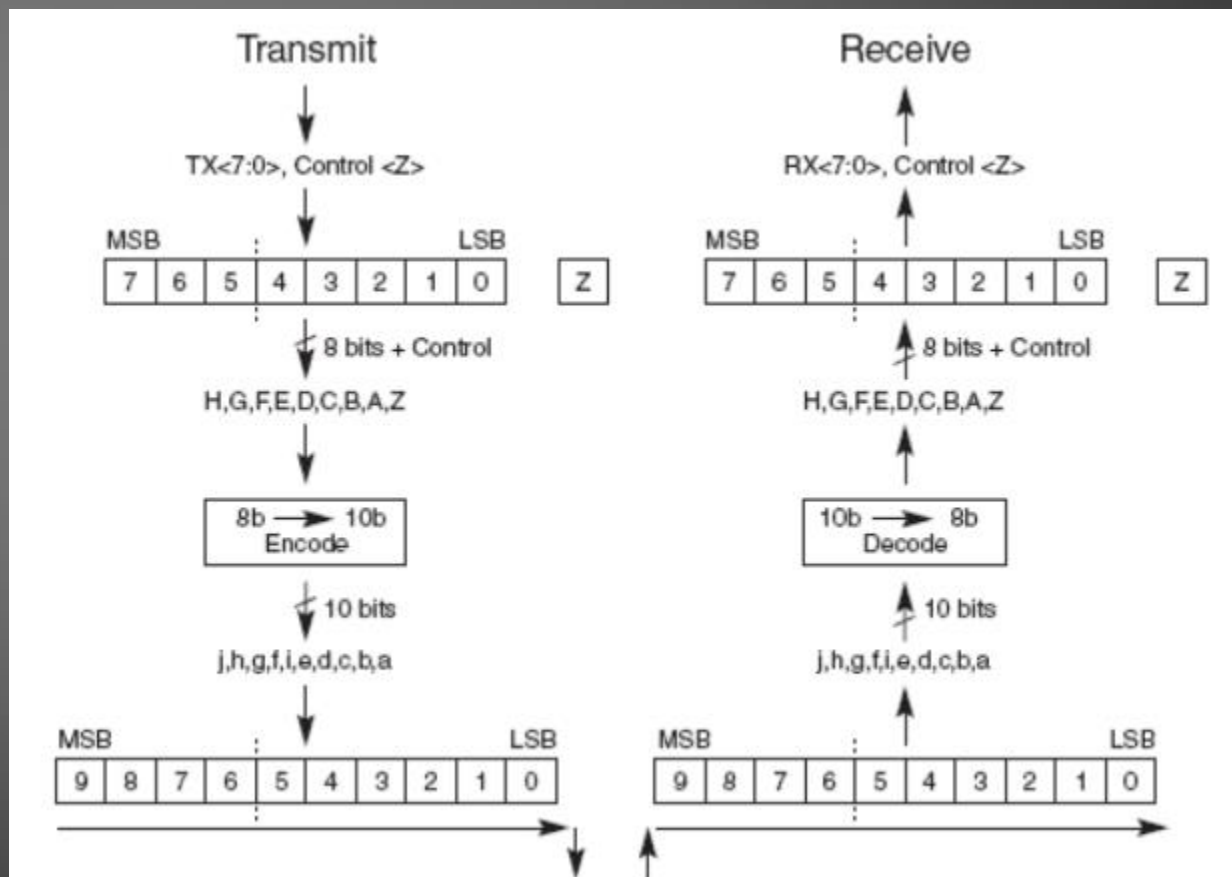
В отличие от шин ISA, EISA и PCI, в технологии PCI Express не предусмотрен тактовый генератор. Устройства вправе начинать передачу в любой момент, как только им будет, что передавать. Такая свобода, с одной стороны, повышает быстродействие, с другой, порождает проблему. Предположим, что 1 кодируется напряжением +3 В, а 0 - напряжением 0 В.

Если первые несколько байтов равны нулю, как получатель узнает о том, что ему передаются данные? Действительно - последовательность нулевых битов трудно отличить от простоя канала. Эта проблема решается при помощи так называемой 8/10-разрядной кодировки.

Согласно этой схеме, 1 байт фактических данных кодируется при помощи 10-разрядного символа. Из 1024 возможных 10-разрядных символов выбираются такие, которые за счет достаточного количества фронтов без задающего генератора обеспечивают синхронизацию отправителя и получателя по границам битов. В силу применения 8/10-разрядной кодировки суммарная пропускная способность канала, равная 2,5 Гбайт/с, сужается до фактической пропускной способности 2 Гбайт/с.

2. Кодирование 8b/10b

Кодирование 8b/10b выполняется по стандарту ANSI X3.230-1994 (или IEEE 802.3z). Младшие 5 бит отображаются на 6 бит, старшие 3 бита – на 4 бита, передаются младшим битом вперед.



2. Заключение

- возможность эффективно работать с различными структурами данных;
- низкое энергопотребление и поддержку функций энергосбережения;
- качество стратегий обслуживания;
- поддержку "горячей замены" и "горячей установки" устройств;
- обеспечение целостности данных и обнаружение ошибок на нескольких уровнях;
- изохронную передачу данных;
- узловую передачу при использовании чипов-мостов и одноранговую передачу с помощью коммутаторов;
- многоуровневую технологию с поддержкой пакетной коммутации.

Итоги развития шины PCI

Спецификации PCI

Спецификация PCI	Дата выпуска	Основные изменения
PCI 1.0	Июнь 1992 г.	Оригинальная 32/64-разрядная спецификация
PCI 2.0	Апрель 1993 г.	Определенные соединители и платы расширения
PCI 2.1	Июнь 1995 г.	Рабочая частота — 66 МГц, порядок групповых операций, изменение времени задержек
PCI 2.2	Январь 1999 г.	Управление режимом электропитания, механические изменения
PCI-X 1.0	Сентябрь 1999 г.	Рабочая частота — 133 МГц, дополнение к спецификации 2.2
Mini-PCI	Ноябрь 1999 г.	Уменьшенный формфактор плат, дополнение к спецификации 2.2
PCI 2.3	Март 2002 г.	Напряжение — 3,3 В, предназначена для низкопрофильных плат расширения
PCI-X 2.0	Июль 2002 г.	Рабочая частота — 266 или 533 МГц, подразделение 64-разрядной шины данных на 32- и 16-разрядные сегменты для использования с различными устройствами, имеющими напряжение 3,3/1,5 В
PCI-Express 1.0	Июль 2002 г.	Общее быстродействие — 2,5 Гбайт/с, рабочее напряжение — 0,8 В, 250 Мбайт/с на каждую пропускную полосу
PCI-Express 2.0	Январь 2007 г.	Общее быстродействие — 5 Гбайт/с, рабочее напряжение — 0,8 В, 500 Мбайт/с на каждую пропускную полосу

Версия PCI Express	Год выхода	Схема кодирования	Скорость передачи	Пропускная способность на x линий			
				x1	x4	x8	x16
PCIe 1.0	2002	8b/10b	2,5 ГТ/с	250 Мб/с	1 Гб/с	2 Гб/с	4 Гб/с
PCIe 2.0	2007	8b/10b	5 ГТ/с	500 Мб/с	2 Гб/с	4 Гб/с	8 Гб/с
PCIe 3.0	2010	128b/130b	8 ГТ/с	984,6 Мб/с	3,94 Гб/с	7,88 Гб/с	15,8 Гб/с
PCIe 4.0	2017	128b/130b	16 ГТ/с	1,969 Гб/с	7,88 Гб/с	15,8 Гб/с	31,5 Гб/с
PCIe 5.0	2019	128b/130b	32 ГТ/с	3,938 Гб/с	15,75 Гб/с	31,5 Гб/с	63 Гб/с