

Thành viên nhóm :

Vũ Quốc Bảo – 20225694

Vương Quốc Huy – 20225637

Bùi Minh Bá – 20225788

Nguyễn Đình Lượng – 20225878

BÀI 13: FLIP FLOP

1. Mục tiêu

- Hiểu nguyên lý hoạt động của flip flop loại D và J-K.
- Biết cách xây dựng flip flop loại D và J-K từ các cổng logic cơ bản.

2. Bài thực hành

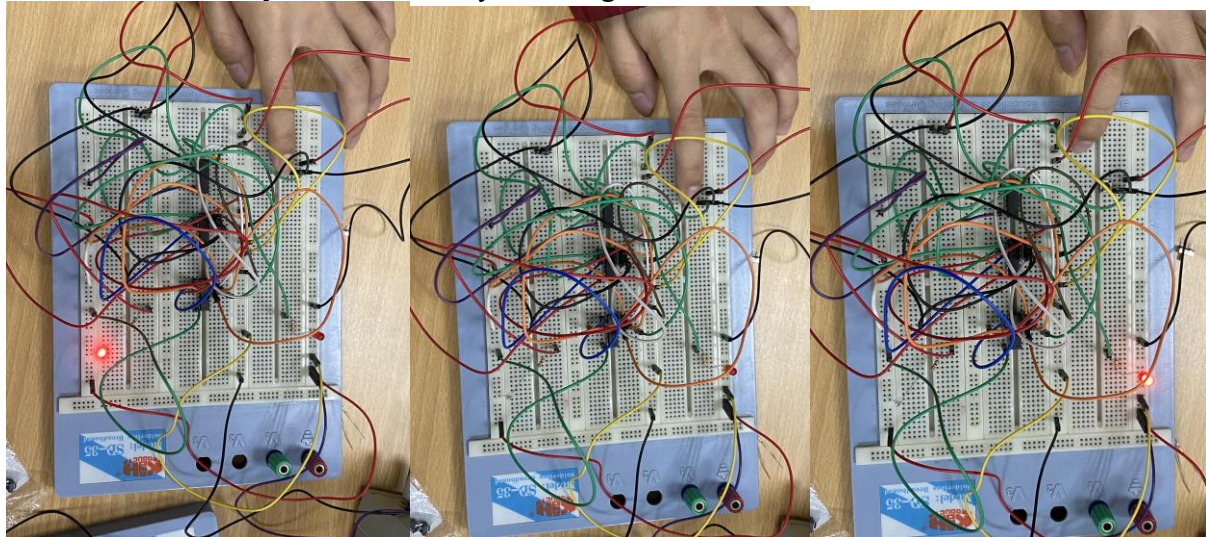
Bài 1. Xây dựng flip flop loại D theo sơ đồ logic ở Hình 1, sử dụng các IC 74LS00 (NAND) và IC 74LS04 (NOT).

Yêu cầu:

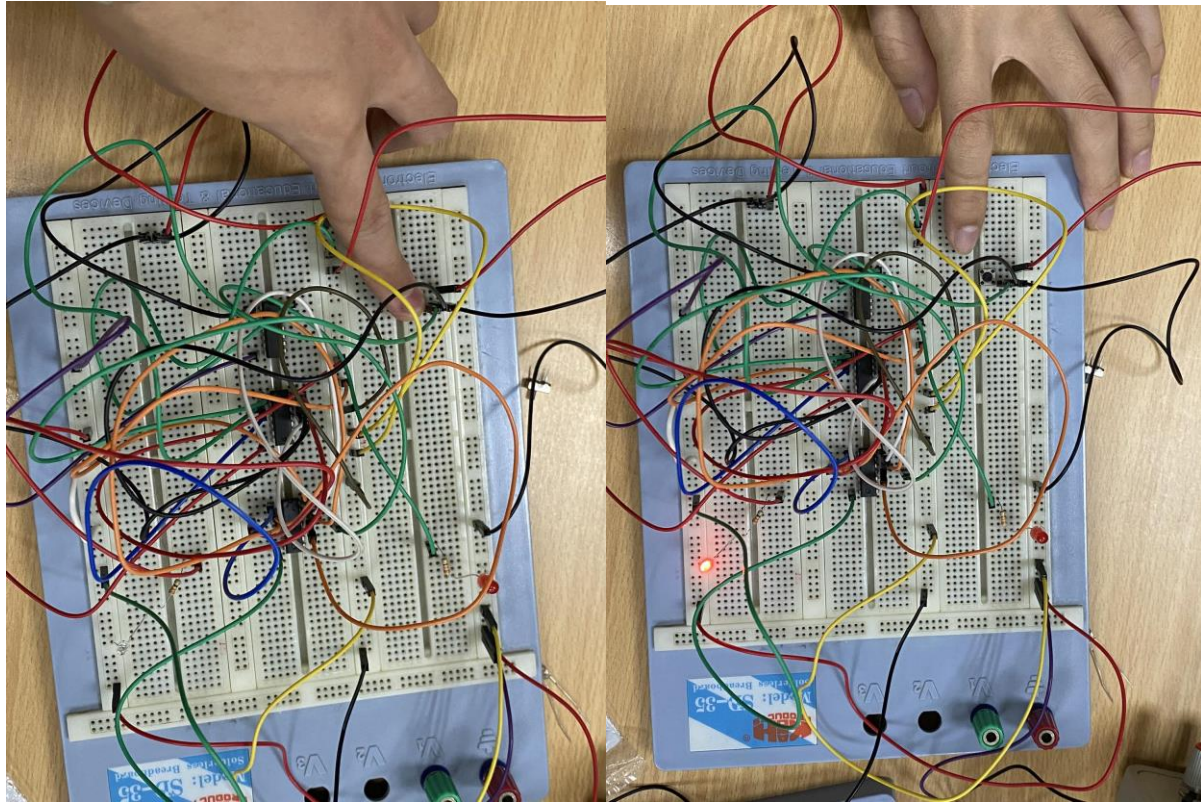
- Kiểm tra hoạt động các IC, thiết bị trước khi lắp mạch.
- Lắp mạch flip flop loại D trên bo mạch từ các linh kiện được cung cấp.
- Sử dụng 1 công tắc gạt (slide switch) để tạo tín hiệu ở đầu vào D và 1 nút bấm (button) để tạo tín hiệu ở đầu vào Clock.
- Sử dụng điện trở và LED để minh họa trạng thái của các đầu ra Q và \bar{Q} của flipflop.
- Sử dụng máy tạo nguồn để cấp nguồn 5V/GND cho mạch.
- Dựa vào bảng thật flip flop loại D để kiểm tra chức năng của mạch đã lắp và viết báo cáo về kết quả thu được.

Bài làm:

TH: D=1, 2 đèn nhấp nháy liên tục khi thay đổi trạng thái của clock.



TH: D=0, chỉ có đèn nhấp nháy khi thay đổi trạng thái của clock tại vị trí: \bar{Q}



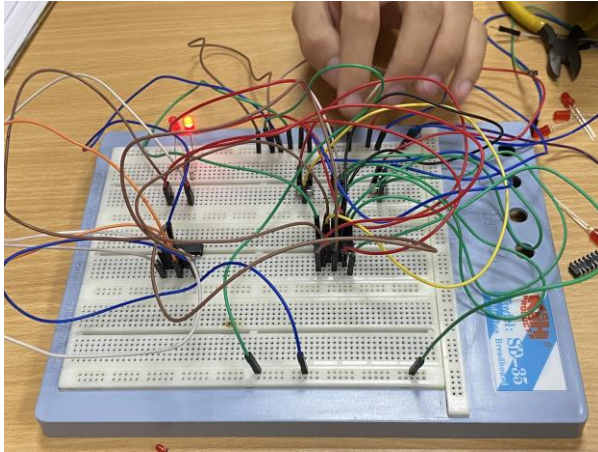
Bài 2. Xây dựng flip flop loại J-K theo sơ đồ logic ở Hình 2, sử dụng các IC 74LS08 (AND) và IC 74LS00 (NAND) hoặc chỉ sử dụng IC 74LS00 (NAND).

Yêu cầu:

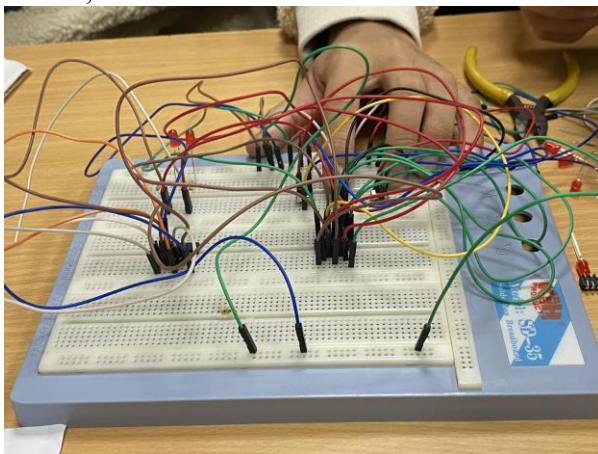
- Kiểm tra hoạt động các IC, thiết bị trước khi lắp mạch.
- Lắp mạch flip flop loại J-K trên bo mạch từ các linh kiện được cung cấp.
- Sử dụng 2 công tắc gạt (slide switch) để tạo tín hiệu ở đầu vào J, K và 1 nút bấm (button) để tạo tín hiệu ở đầu vào Clock.
- Sử dụng điện trở và LED để minh họa trạng thái của các đầu ra Q và \bar{Q} của flipflop.
- Sử dụng máy tạo nguồn để cấp nguồn 5V/GND cho mạch.
- Dựa vào bảng thật flip flop loại J-K để kiểm tra chức năng của mạch đã lắp và viết báo cáo về kết quả thu được.

Bài làm:

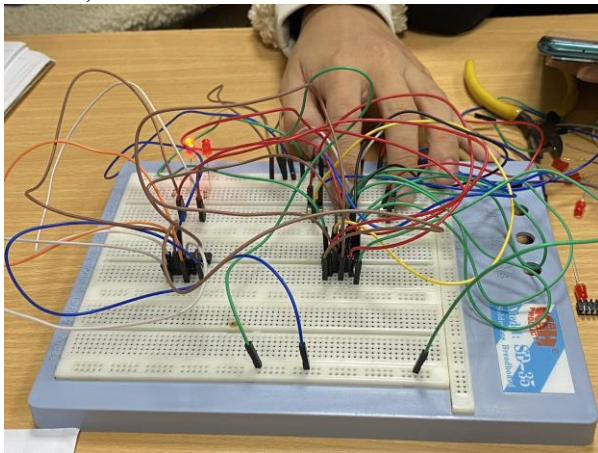
- $J = K = 0$



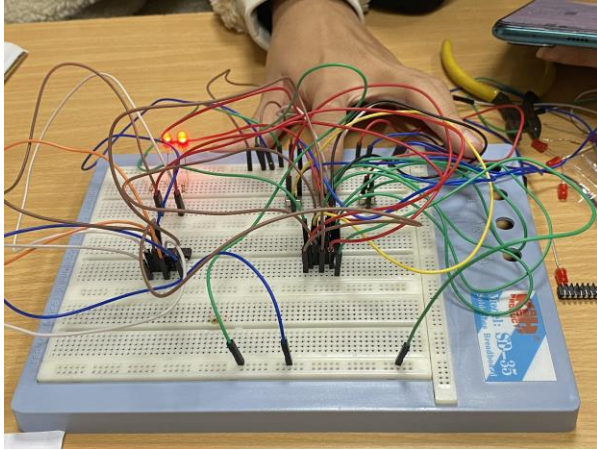
- $J = 0, K = 1$



- $J = 1, K = 0$



- $J = K = 1$



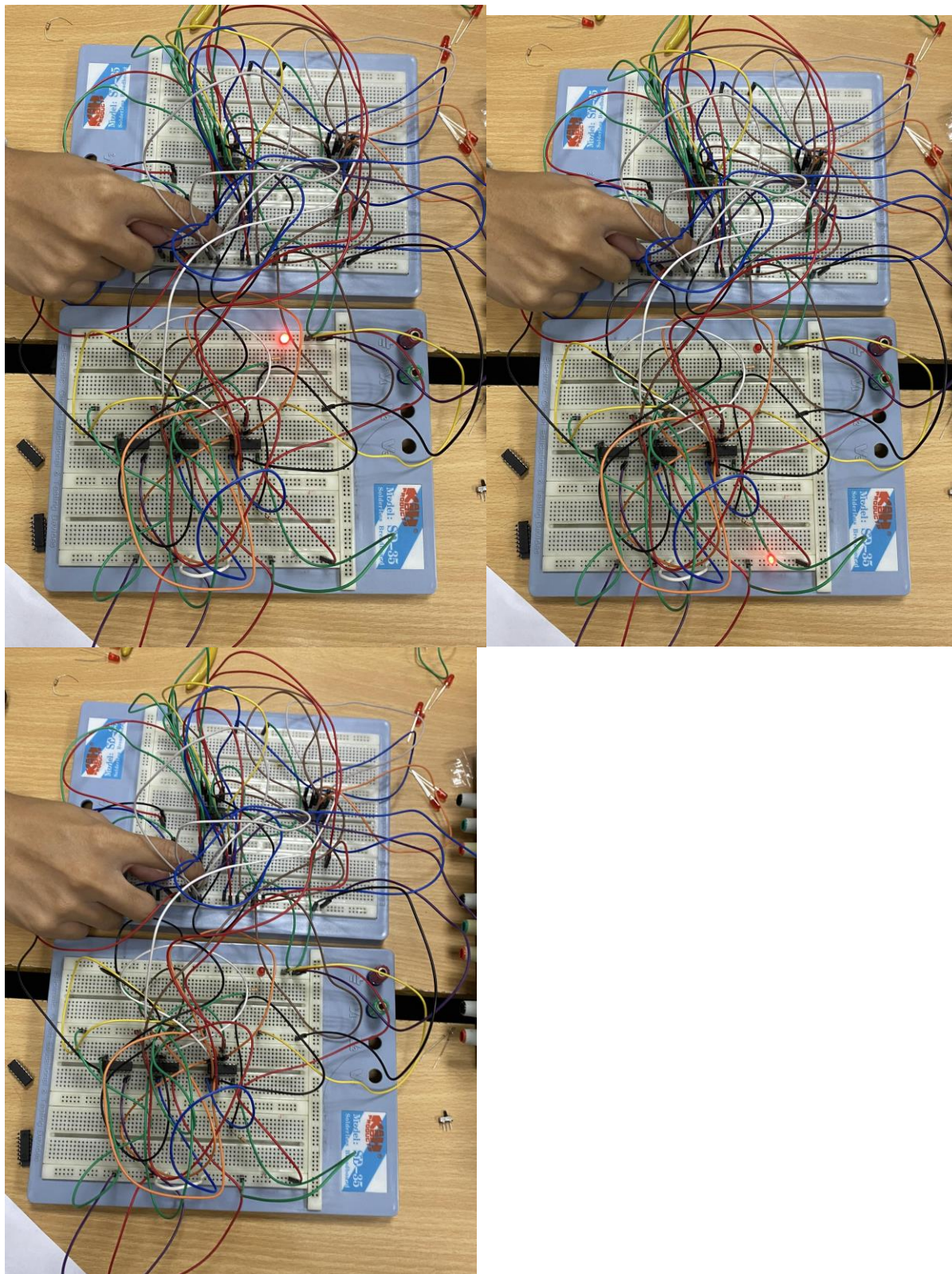
Bài 3. Flip flop loại J-K thường được thực hiện theo cấu hình Master-Slave để hạn chế sự bất ổn định ở đầu ra khi $J = K = 1$ do hiện tượng “race problem” (hay “race around condition”). Thêm vào đó, cấu hình Master-Slave cho phép các đầu vào J, K nhận giá trị mới mà không ảnh hưởng đến đầu ra Q và \bar{Q} , chừng nào tín hiệu Clock chưa chuyển trạng thái.

Xây dựng flip flop loại J-K theo cấu hình Master-Slave dựa vào sơ đồ logic ở Hình 3, chỉ sử dụng các IC 74LS00 (NAND).

Yêu cầu:

- Lắp mạch flip flop loại J-K theo cấu hình Master-Slave trên bo mạch từ các linh kiện được cung cấp. Các yêu cầu khác tương tự ở Bài 2.
- Dựa vào bảng thật flip flop loại J-K để kiểm tra chức năng của mạch đã lắp vào so sánh với chức năng của mạch đã lắp ở Bài 2. Viết báo cáo về kết quả thu được.

Bài làm:



- NHẬN XÉT :

Mạch flip flop lắp theo cấu hình Master-Slave hoạt động đúng theo bảng thật như bài 2, ổn định ở đầu ra khi $j=k=1$ (toggle).