

第一章 概论

1.1 电路基本概念

- 电路分类: 模拟电路, 数字电路
- 数字电路分类
 - 输入信号的相应规格: 组合逻辑电路, 时序逻辑电路
 - 器件: TTL, CMOS
 - 集成度: SSI(小规模), MSI, LSI, VLSI, ULSI

1.2 二进制

1.2.1 反码, 补码

原码	反码	补码
0110	0110	0110
1110	1001	1010

1.2.2 BCD 码

二进制编码十进制

- 有权码
 - 8421 码
 - 2421
 - 5421
- 无权码
 - 余 3 码 (8421 码 + 3)
 - 余 3 循环码 (格雷码首尾去除 3 位)
 - 格雷码
 - * 8421 转 BCD: `map (\a prev -> a + prev) (1011 → 1110))`
 - * BCD 转 8421: `foldl (\acc a -> (acc:(acc[-1] + a)))`
(1101 → 1001)

第二章 逻辑代数

2.1 基本定律和规则

2.1.1 常用恒等式

- $A + \bar{A} \cdot B = A + B$
- $A \cdot B + \bar{A} \cdot C + B \cdot C = A \cdot B + \bar{A} \cdot C$
- $A \cdot B + \bar{A} \cdot C + B \cdot C \cdot D = A \cdot B + \bar{A} \cdot C$

2.1.2 对偶规则

与, 或互换, 0, 1 互换

2.2 表达形式

2.2.1 基本形式

- 与-或表达式: $L = A \cdot C + \bar{C} \cdot D$
- 或-与表达式: $L = (A + C) \cdot (B + \bar{C}) \cdot D$

2.2.2 最大项和最小项

注意下定义和性质 (P46)

- 最小项

$$L(A, B, C) = \sum m(3, 5) = \bar{A}BC + A\bar{B}C$$

- 最大项

$$\begin{aligned} L(A, B, C) &= \prod M(3, 5) = \sum \overline{m(3, 5)} \\ &= (A + \bar{B} + \bar{C}) \cdot (\bar{A} + B + \bar{C}) \end{aligned}$$

2.2.3 化简

- 化简形式

$$\begin{aligned} L &= AC + \bar{C}D && \text{与-或表达式} \\ &= \overline{\overline{AC} \cdot \overline{\bar{C}D}} && \text{与非-与非表达式} \\ &= (A + \bar{C})(C + D) && \text{或-与表达式} \end{aligned}$$

- 卡诺图化简

第三章 组合逻辑电路

3.1 分析

1. 列出各级函数表达式
2. 化简
3. 真值表
4. 确定功能

3.2 设计

1. 明确功能
2. 列出真值表
3. 逻辑表达式

3.3 竞争-冒险

- $L = (A + B)(\bar{A} + C)$, B, C 为 0 时
- $L = AC + B\bar{C}$, A, B 为 1 时

竞争 $L = A \cdot \bar{A}$ 或 $L = A + \bar{A}$ 反向器引起的时差

冒险 竞争引起的脉冲干扰

3.3.1 解决方法

- 1. 化简后消去 $A \cdot \bar{A}$ 项
- 2. 增加乘积项目: $L = AC + B\bar{C} = AC + B\bar{C} + AB$ (书 P160)
- 3. 接入滤波电容
- 4. 引入选通信号

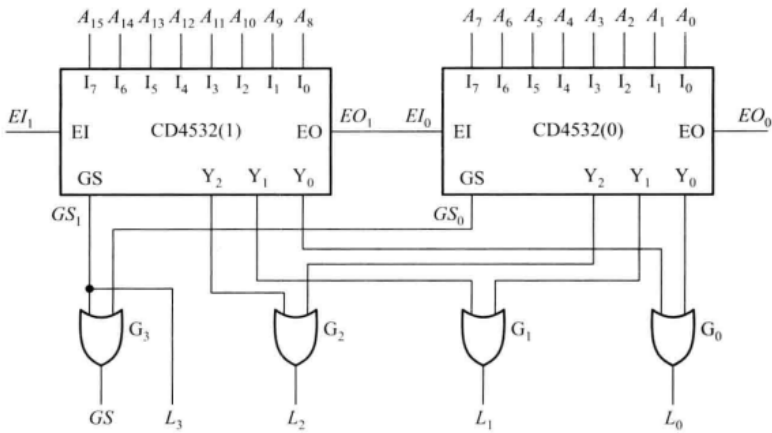
3.4 常见组合电路

3.4.1 编码器 (0100 \rightarrow 11)

优先编码器 CD4532

输 入									输 出				
EI	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	Y_2	Y_1	Y_0	GS	EO
0	x	x	x	x	x	x	x	x	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	x	x	x	x	x	x	x	1	1	1	1	0
1	0	1	x	x	x	x	x	x	1	1	0	1	0
1	0	0	1	x	x	x	x	x	1	0	1	1	0
1	0	0	0	1	x	x	x	x	1	0	0	1	0
1	0	0	0	0	1	x	x	x	0	1	1	1	0
1	0	0	0	0	0	1	x	x	0	1	0	1	0
1	0	0	0	0	0	0	1	x	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0

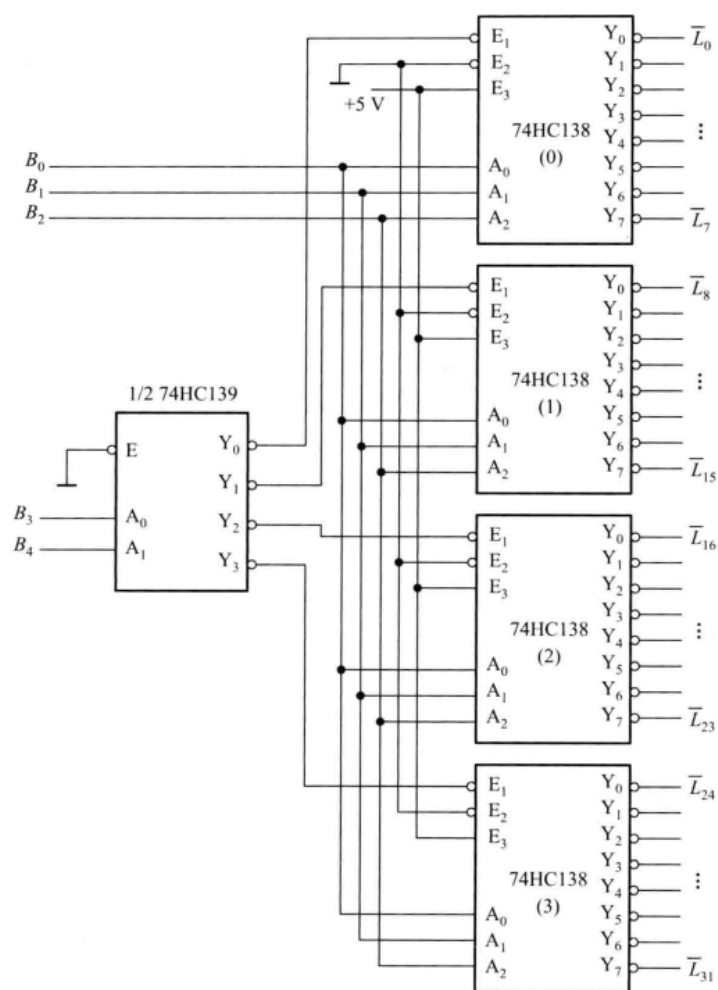
CD4532 实现 16 线-4 线编码器



3.4.2 译码器/数据分配器 ($11 \rightarrow 0100$)

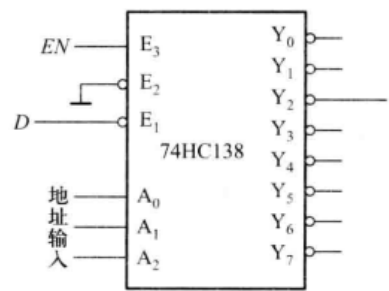
74HC138:

输 入			输 出										
E_3	\bar{E}_2	\bar{E}_1	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
×	1	×	×	×	×	1	1	1	1	1	1	1	1
×	×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0



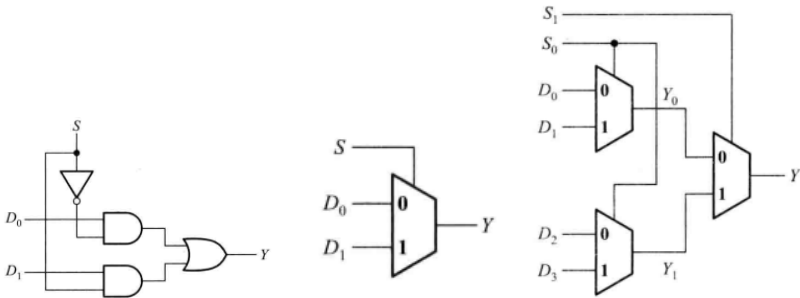
74HC4511(7 段数码管译码器) (P173)

3.4.3 数据分配器



3.4.4 数据选择器

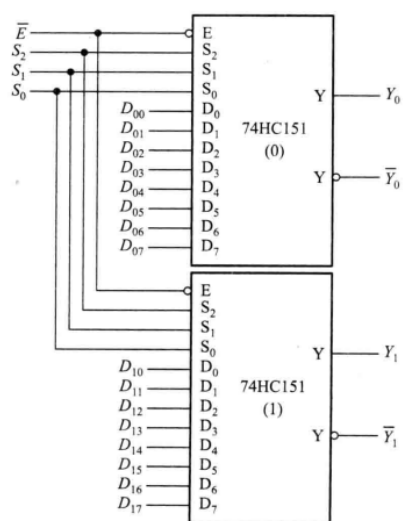
$Y = \bar{S}D_0 + SD_1$



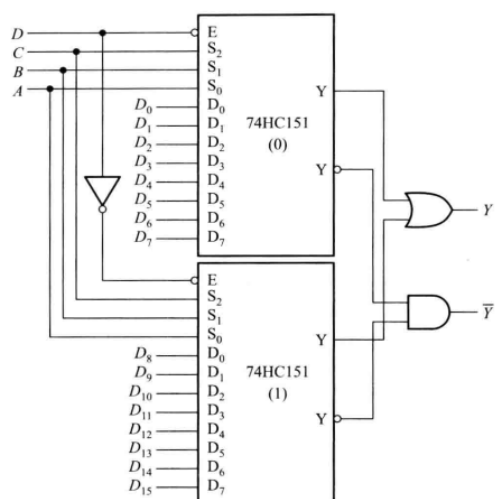
74HC151:

输 入				输 出	
使能 \bar{E}	选 择			Y	\bar{Y}
	S_2	S_1	S_0		
1	x	x	x	0	1
0	0	0	0	D_0	\bar{D}_0
0	0	0	1	D_1	\bar{D}_1
0	0	1	0	D_2	\bar{D}_2
0	0	1	1	D_3	\bar{D}_3
0	1	0	0	D_4	\bar{D}_4
0	1	0	1	D_5	\bar{D}_5
0	1	1	0	D_6	\bar{D}_6
0	1	1	1	D_7	\bar{D}_7

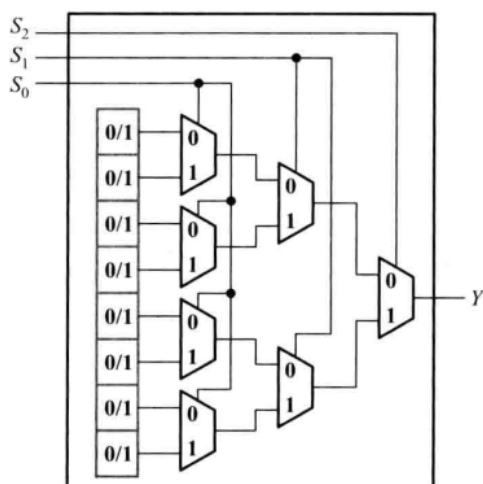
位扩展 (字长扩展)



字扩展 (字数扩展)



LUT 查找表

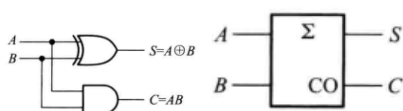


3.4.5 数值比较器

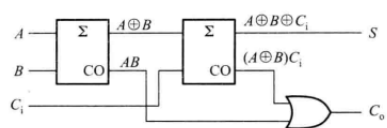
(P186)

3.4.6 加法器

半加器:



全加器:



并行多位加法器? (P192)

3.5 组合可编程逻辑器件

PLD Programmable Logic Device 可编程逻辑器件

PLD 的分类:

1. PROM 可编程只读存储器
2. PLA (Programmable Logic Array) 可编程逻辑阵列
3. PAL 可编程阵列逻辑

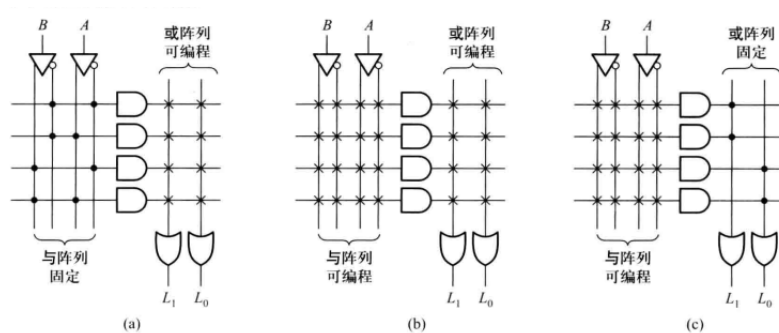


图 4.5.8 PLD 的分类

(a) PROM 的基本电路结构

(b) PLA 的基本电路结构

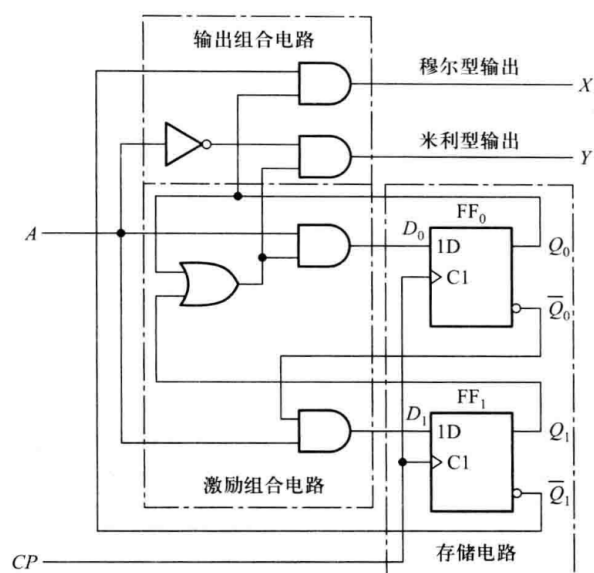
(c) PAL 的基本电路结构

第四章 锁存器和触发器

- 锁存器脉冲电平敏感
- 触发器脉冲边沿敏感

第五章 时序逻辑电路

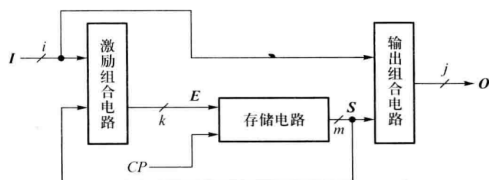
5.1 时序电路结构



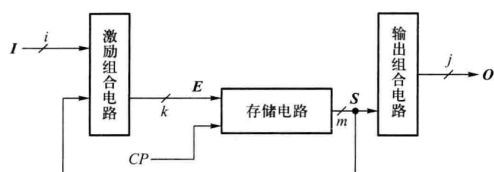
5.2 时序电路分类

1. 按时钟信号分类
 1. 同步时序电路
 2. 异步时序电路
2. 按输出变量分类

1. 米利型时序电路



2. 穆尔型时序电路



5.3 时序电路表达 (同步时序电路分析)

1. 逻辑方程组

1. 激励方程组

$$D_0 = (Q_1 + Q_0)A$$

$$D_1 = \overline{Q_0} \overline{A}$$

2. 转化方程组

$$Q_0^{n+1} = D_0 = (Q_1^n + Q_0^n)A$$

$$Q_1^{n+1} = D_1 = \overline{Q_0^n} \overline{A}$$

3. 输出方程组

$$X = \overline{Q_1} Q_0$$

$$Y = (Q_1 + Q_0) \overline{A}$$

2. 转化表

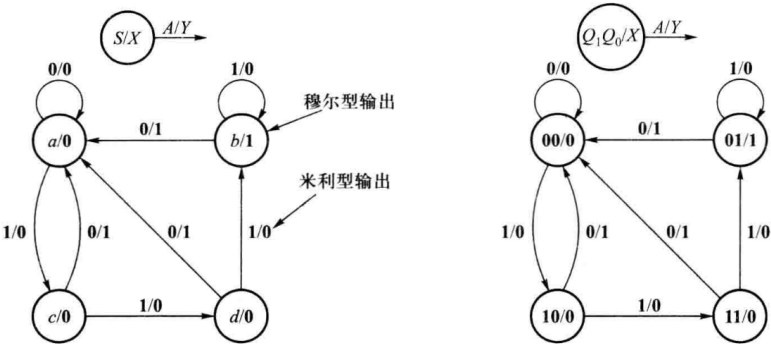
Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	X	Y
0	0	0	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	1
0	1	1	0	1	1	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	1	0	0

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$		X
	$A = 0$	$A = 1$	
00	00/0	10/0	0
01	00/1	01/0	1
10	00/1	11/0	0
11	00/1	01/0	0

3. 状态表 (分析题中不用)

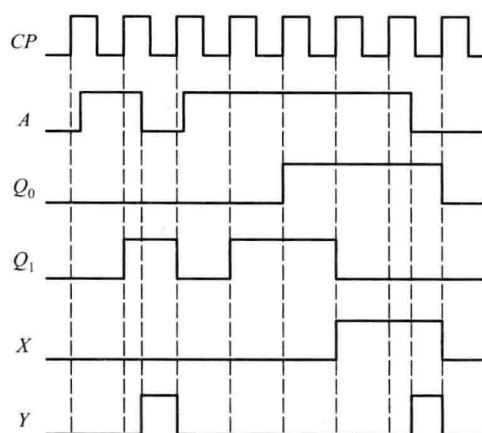
S^n	S^{n+1} / Y		X
	$A = 0$	$A = 1$	
a	$a/0$	$c/0$	0
b	$a/1$	$b/0$	1
c	$a/1$	$d/0$	0
d	$a/1$	$b/0$	0

4. 状态图



有效状态, 无效状态. 无效状态自动进入有效状态, 称具有自纠正能力.

5. 时序图

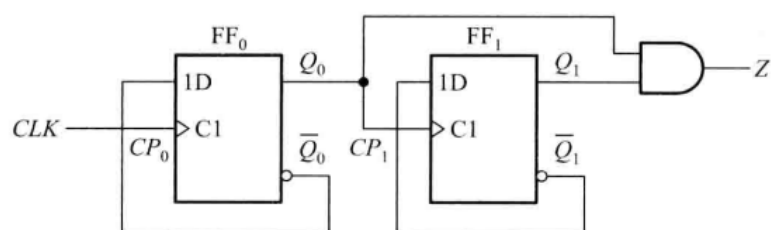


5.4 同步时序电路设计

@see P294 例 6.3.2 例 6.3.3

1. 根据逻辑功能建立原始状态图和原始状态表
2. 状态化简
3. 状态分配
4. 选择触发器类型
5. 确定激励方程组和输出方程组 (直接使用激励表或化简转化方程组凑特性方程)
6. 画出逻辑图并检查自矫正能力

5.5 异步时序电路分析



1. 逻辑方程组

1. 时钟信号方程组

$$CP_0 = CLK$$

$$CP_1 = Q_0 \text{ 上升沿触发}$$

2. 激励方程组

$$D_0 = \overline{Q_0}$$

$$D_1 = \overline{Q_1}$$

3. 转化方程组

$$Q_0^{n+1} = D_0^n$$

$$Q_1^{n+1} = D_1^n$$

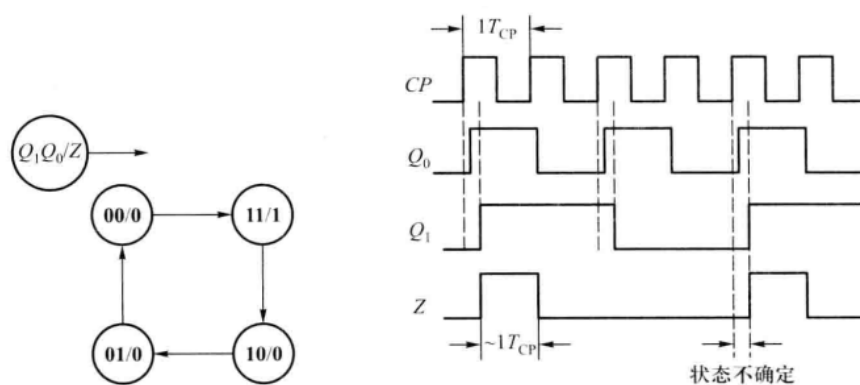
4. 输出方程组

$$Z = Q_1 Q_0$$

2. 列出转化表

Q_1^n	Q_0^n	CP_1 (3)	CP_0 (1)	Q_1^{n+1} (4)	Q_0^{n+1} (2)	Z
0	0	↑	↑	1	1	0
0	1	-	↑	0	0	0
1	0	↑	↑	0	1	0
1	1	-	↑	1	0	1

3. 画出状态图和时序图



4. 逻辑功能分析

异步二进制递减计数器

5.6 常见时序电路

- 5.6.1 序列信号检测器
- 5.6.2 脉冲分配器, 节拍脉冲产生器
- 5.6.3 寄存器

74HC374:

工作模式	输 入			内部触发器 Q_N^{n+1}	输出
	\overline{OE}	CP	D_N		$Q_n \sim Q_7$
存入和读出数据	L	\uparrow	L^*	L	相应内部触发器的状态
	L	\uparrow	H^*	H	
存入数据, 禁止输出	H	\uparrow	L^*	L	高阻
	H	\uparrow	H^*	H	高阻

注: D_N 和 Q_N^{n+1} 的下标表示第 N 位触发器。 L^* 和 H^* 表示 CP 脉冲上升沿之前瞬间 D_N 的电平。

5.6.4 移位寄存器

74HC194:

输 入							输 出				功 能			
清零	控制信号		时钟	串行输入		并行输入				Q_0^{n+1}		Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
\overline{CR}	S_1	S_0		CP	右移 D_{SR}	左移 D_{SL}	D_{B0}	D_{B1}	D_{B2}					
L	×	×	×	×	×	×	×	×	×	L	L	L	L	异步 清零
H	L	L	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n	保持
H	L	H	↑	L	×	×	×	×	×	L	Q_0^n	Q_1^n	Q_2^n	右移
H	L	H	↑	H	×	×	×	×	×	H	Q_0^n	Q_1^n	Q_2^n	右移
H	H	L	↑	×	L	×	×	×	×	Q_0^n	Q_2^n	Q_3^n	L	左移
H	H	L	↑	×	H	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	H	左移
H	H	H	↑	×	×	D_{B0}^n	D_{B1}^n	D_{B2}^n	D_{B3}^n	D_{B0}	D_{B1}	D_{B2}	D_{B3}	同步并 行置数

注: D_{B3}^* 表示 CP 脉冲上升沿之前瞬间 D_{B3} 的电平。

5.6.5 计数器

74LVC161 (同步计数器):

输 入									输 出				
清零 \overline{CR}	预置 \overline{PE}	使能 \overline{CEP} \overline{CET}		时钟 CP	预置数据输入				Q_3	Q_2	Q_1	Q_0	进位 TC
					D_3	D_2	D_1	D_0					
L	x	x	x	x	x	x	x	x	L	L	L	L	L
H	L	x	x	↑	D_3^+	D_2^+	D_1^+	D_0^+	D_3	D_2	D_1	D_0	#
H	H	L	x	x	x	x	x	x		保	持		#
H	H	x	L	x	x	x	x	x		保	持		L
H	H	H	H	↑	x	x	x	x		计	数		#

注： D_n^+ 表示 CP 脉冲上升沿之前瞬间 D_n 的电平。#表示只有当 $Q_3Q_2Q_1Q_0 \cdot CET=1$ (正逻辑体系)时, TC 输出为高电平,其余均为低电平。

使用 74LVC161 构成模 9 的方法:

1. 反馈清零法: $Q == 8$ 接 CR 清零
2. 反馈置数法: $Q == 8$ 接 PE 置数 0, $Q == 15, TC == 1$ 接 PE 置 7

5.6.6 环形计数器

5.7 时序可编程逻辑器件

SPLD 时序可编程逻辑器件

1. GAL: 通用数组逻辑 (简单, 低密度)
2. CPLD: 复杂型 PLD
3. FPGA: 现场可编程逻辑门阵列

索引

74HC138, 7
74HC139, 7
74HC151, 8
74HC194, 20
74HC374, 20
74HC4511, 8
74LVC161, 21

半法器, 10

BCD, 1

2421, 2

5421, 2

8421, 2

格雷码, 2

余 3 码, 2

余 3 循环码, 2

编码器, 6

补码, 1

CD4532, 6

储存电路, 15

触发器, 13

CMOS, 1

对偶规则, 3

反码, 1

或-与表达式, 3

激励方程组, 16, 19

激励组合电路, 15

寄存器, 20

计数器, 21

加法器, 10

节拍脉冲产生器, 20

竞争, 5

LSI, 1

逻辑方程组, 16, 18

LUT, 9

脉冲分配器, 20

冒险, 5

米利型时序电路, 16

米利型输出, 15

MSI, 1

穆尔型时序电路, 16

穆尔型输出, 15

PAL, 11

PLA, 11

PLD, 10

PROM, 11

全加器, 10

时序可编程逻辑器件, 21

时序图, 17, 19

时钟信号方程组, 19

输出方程组, 16, 19

输出组合电路, 15

数据分配器, 7, 8

数据选择器, 8

数值比较器, 10

SPLD, 21

SSI, 1

锁存器, 13

同步时序电路, 15, 16, 18

TTL, 1

ULSI, 1

VLSI, 1

序列信号检测器, 20

移位寄存器, 20

异步时序电路, 15, 18

译码器, 7

优先编码器, 6

与-或表达式, 3

转化表, 16, 19

转化方程组, 16, 19

状态表, 17

状态图, 17, 19