

放大器的共性问题

1. 放大器的封装

1. PDIP/DIP

相邻管脚之间的距离为 100mil，两列管脚之间的距离为 300mil.是最老的封装之一。焊接容易、热阻小。

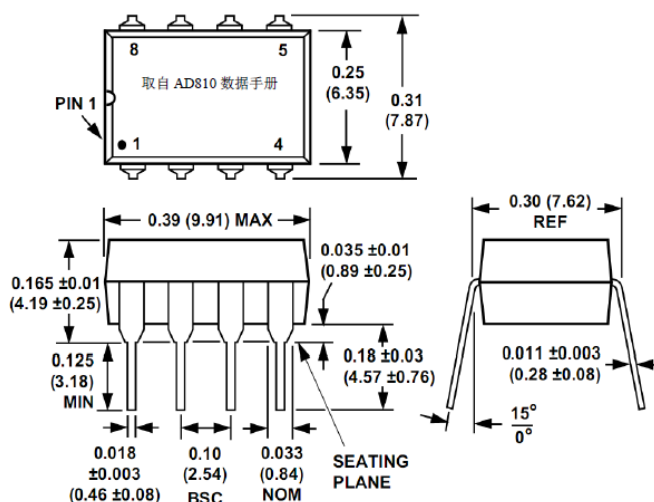
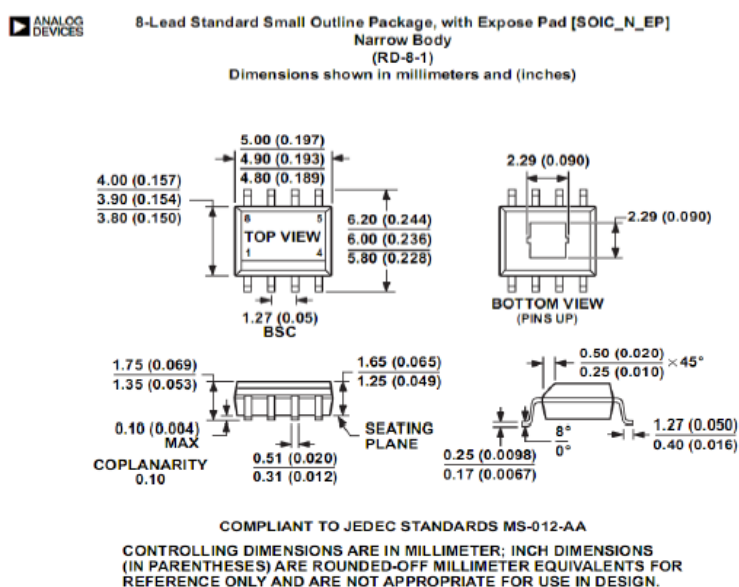


图 4-1ADI 公司 PDIP8 封装的外形视图（括号内为 mm 单位）

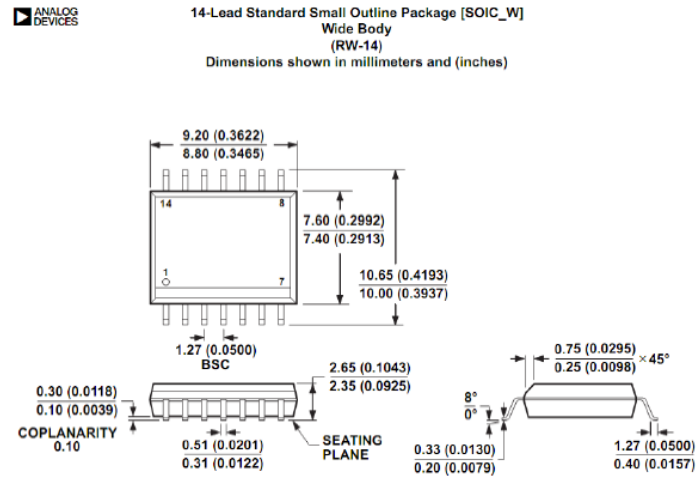
2. SOIC-N

目前最常用的封装，包括 8 管脚、10 管脚、14 管脚等。其核心定义是 150mil 宽窄，50mil 间距。



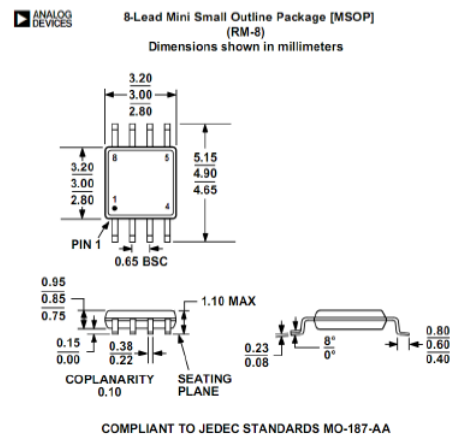
3. SOIC-W

相对少见，300mil 宽窄，50mil 间距。



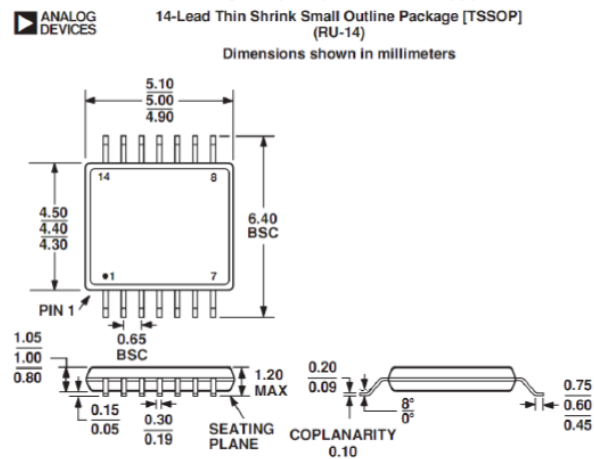
4. MSOP 封装

3mm \times 3mm 外形。8 脚间距为 0.65mm；10 脚间距为 0.5mm。



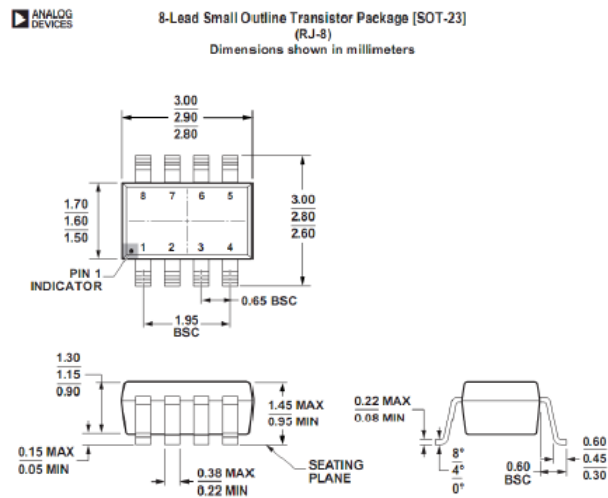
5. TSSOP

4.4mm 宽窄，0.65mm 管脚间距。



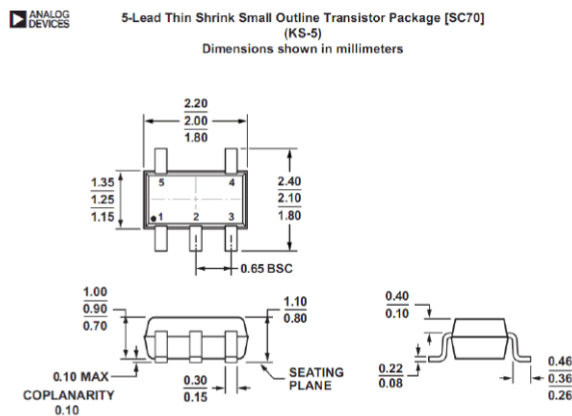
6. SOT-23

宽度 1.6mm，长度 2.9mm。有 5、6、8 管脚几种。5、6 脚管脚间距为 0.95mm。8 脚间距为 0.65mm。



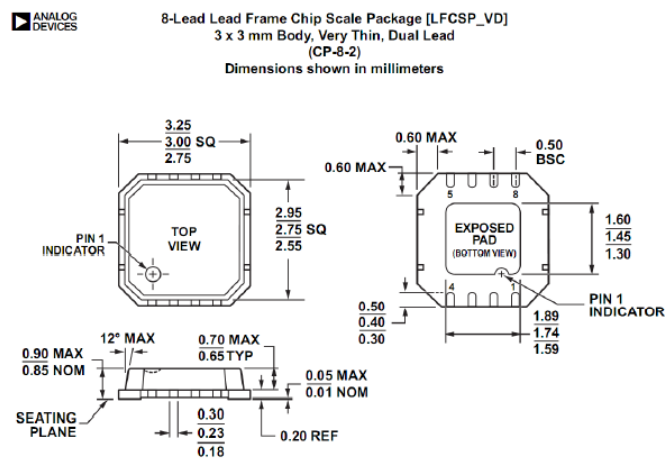
7. SC70

1.25mm 宽窄，0.65mm 管脚间距。



8. LFCSP

间距 0.5mm，且有管脚内嵌。

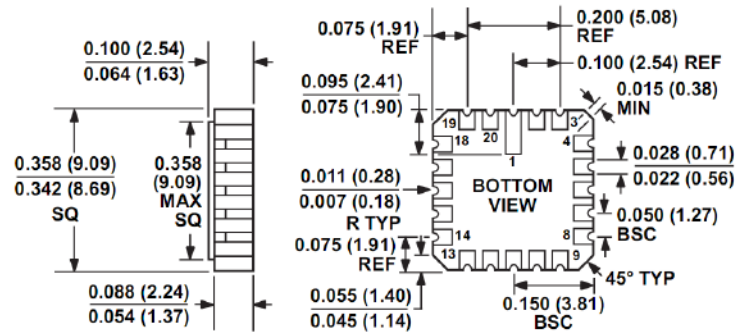


9. LCC

管教间距 1.27mm.手工焊接困难。



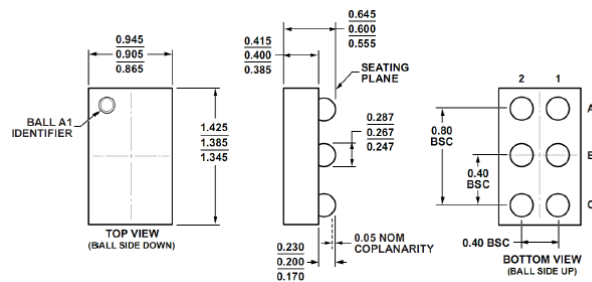
20-Terminal Ceramic Leadless Chip Carrier [LCC]
(E-20-1)
Dimensions shown in inches and (millimeters)



CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

10. WLCSP

类似于球形封装。



2. 供电和电源去耦

放大器供电需要注意：

1. 放大器的极性接反非常危险，甚至有可能爆炸！
2. 即使放大器有多个电源脚，且在内部相连，也应当全部按要求接好。
3. 给电源对地配置电容。
4. 必要时在电源进入芯片的路径中串联磁珠。

同时放大器必须配置合适的电容，否则会导致放大电路的性能指标严重下降。通常会选用库电容或是旁路电容。

库电容也就是一个百 μF 级的电解电容。这种电容的作用是防止电流出现大波动从而对电路的影响。这种电容通常会设计在电源处，且距离电运放不超过 10cm。

旁路电容一般是 $10\mu F$ - $0.1\mu F$ - $0.01\mu F$ 的电容组（大电容在 $10\mu F$ - $0.1\mu F$ ，小电容应当在 $0.1\mu F$ - $0.01\mu F$ ），通常设计在芯片电源管脚附近，从而形成一个低通滤波器，并滤除高频噪声。

双电容的设计能够比单电容覆盖更大的频率区域，在更宽的频域内有效。

常用的组合有 $10\mu F/0.1\mu F$ ， $4.7\mu F/0.01\mu F$ ， $10\mu F/0.01\mu F$ 。

旁路电路在布线时还需要注意如下原则：

1. 流经原则：电容应该放在电源进线的途中。
2. 顺序原则：电源走线应先经过 C1 大电容，再经过 C2 小电容。
3. 就近原则：小电容应该尽可能靠近芯片脚根，而大电容应该尽可能靠近小电容
4. 共地原则：一个电容组的两个电容其接地点必须是一个相同的地平面区域，而不要靠过孔相连。

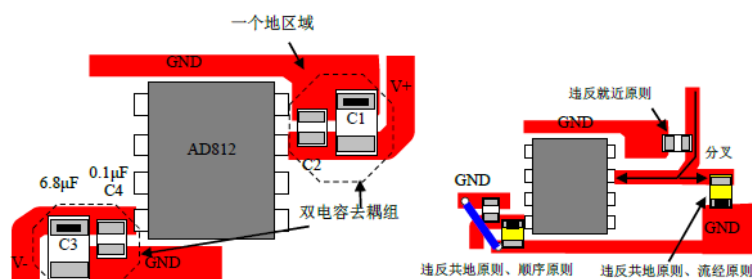


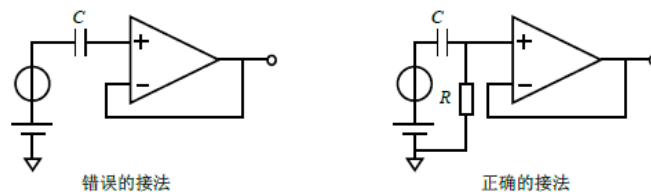
图 4-5 不考虑其它因素的运放电源理想状态下的电容配置方案，右图错误实例

5. 电源走线必须足够粗。
6. 不要节省电容，不要让其他电路干涉旁路电容的布局。
7. 注意电解电容的极性和耐压问题。钽电容的耐压较低。
8. 根据噪声分布的不同可以考虑更换电容。但是要满足 $10\mu F$ - $0.1\mu F$ - $0.01\mu F$ 。

3. 直流通路

运算放大器的入端是晶体管的基极或是栅极时，如果完全浮空，晶体管是不会导通的。也就是需要合适的静态工作点。

下图是一个实例。途中的输入信号是一个带直流分量的交变信号。左图试图通过电容隔直。但是这会导致正输入没有直流通路，理论上是无法正常工作的。但是实际情况中，由于偏置电流的存在，会缓慢的给电容充放电，导致输入级具有微弱的直流通路，也能看到理想的正弦波形，但是这个直流电平是在不确定的变化的，显然不是我们所期待的。而改成右图的电路后，就具有了明确的直流通路，可以建立起合适的静态工作点。



几种常见的浮空源

- 1、信号经过隔直电容器。
- 2、浮空变压器的负边。
- 3、差分输出的无源传感器，例如驻极体话筒、水听器等。但是如果有接地的第三端，就不算浮空。
- 4、人体。

可以用一个大电阻到 **GND** 或者上接电阻到 **VCC** 向下接电阻到 **GND** 提供直流通路。

不同的放大器对能否浮空有不同的接受度。

1、 仪表放大器不接受浮空

仪表放大器内部有两个平行的同相输入放大器，该放大器的负输入端有直流通路。但是正端需要外部信号源提供非浮空的直流电位。

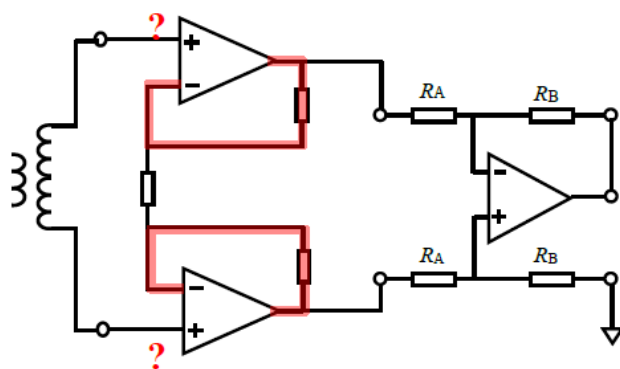


图 4-7a 仪表放大器之错误接法

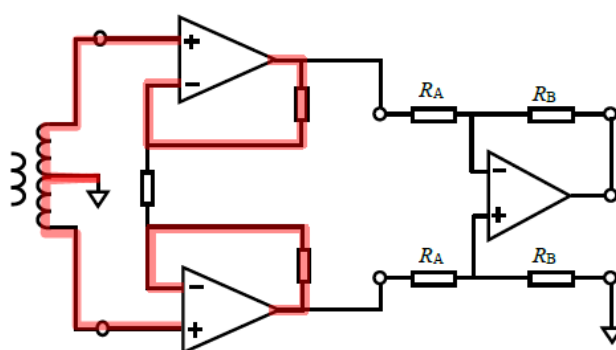


图 4-7b 仪表放大器之正确接法

2、 差动放大器可以接受浮空

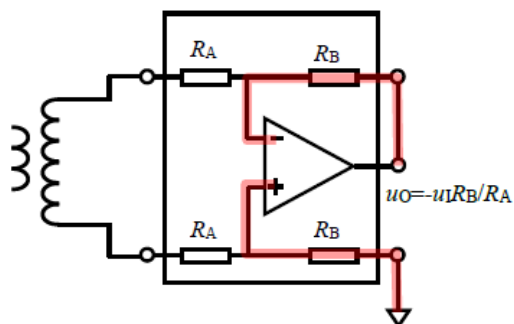


图 4-8 差动放大器自身提供直流通路，可接受浮空输入

3、 全差分放大器能接受浮空

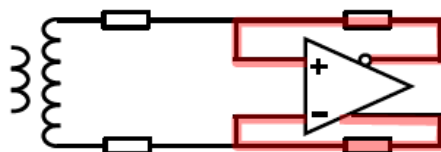


图 4-9 全差分放大器可接受浮空输入

4. 自激振荡

高频放大器更容易出现自激振荡。自激振荡将导致电路无法正常工作，甚至损坏。

理论上说，自激振荡是指放大器加电压后，还没有输入信号，输出端就出现了高频的类似于正弦波的波形；或当输入信号幅度或者频率到某些特定值时，输出波形在原基础上会叠加更高频率的振荡信号，这种现象经常发生。

发生自激振荡的根本原因是，某种频率信号在环路增益大于 1 的情况下，其环路附加相移达到了 180 度，从而使原本设计的负反馈变成了正反馈，且在环路内部不断增大。

造成运放电路振荡的客观原因主要有如下几条：

- 1、电路设计不正确，环路增益 $A_{uo}F$ 过大，闭环增益 $1/F$ 太小。有的运放不支持太小的电压放大倍数，例如 OP37，其标称最小增益位 5，因此如果 OP37 设计出跟随器，那么就会产生电压增益。
- 2、输出直接驱动大电容。
- 3、引入了杂散电容。比如反馈线路与地之间的间距过小；使用了杂散电容较大的直插式电阻；反馈线路背面使用了大面积的地层；输出接了不合适的电缆。

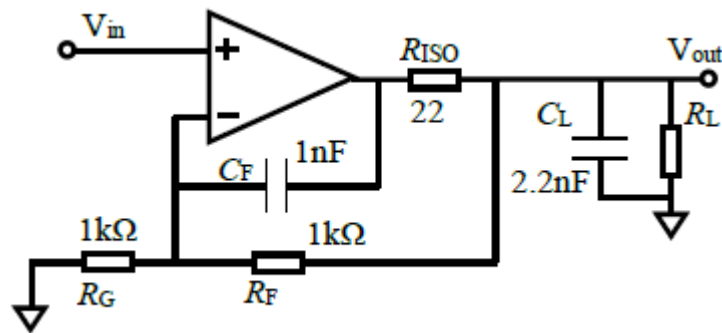
自激振荡重在防御。注意如下几条可以有效的避免自激振荡。

- 1、目测或审查电路，观察是否有明显的违规现象。
- 2、尝试更换运放放大器。
- 3、如断掉负载，自激振荡消失，可考虑在负载和运放输出之间串联一个小电阻(隔离电阻)，可以从 100Ω 试起，如果消失则慢慢减小。
- 4、反馈电阻中并联一个小电容是消振的最常见做法。
- 5、重新设计电路板，降低杂散电容。
- 6、尝试其他补偿方法，改变闭环传函的零极点位置，以消除自激振荡的条件。

5. 驱动大电容负载

运放输出端不能驱动电容的主要原因是，运放的暑假阻抗和被驱动电容之间会形成低通滤波器，从而给闭环环路中产生最大 90° 的附加相移。一般运放的相位裕度仅有 50° 左右，这个低通滤波器将导致自激振荡的条件被满足。

如下是一个驱动大电容的经典电路，它既能表现出一个低通滤波器，另外还能驱动大电容 C_L ，且输出电压没有跌落，输出阻抗也不是 R_{ISO} 。



当 R_G 存在时，电路将表现出同相比值器，低频增益为 $1 + R_F/R_G$ 。

当 R_G 断路时，电路将表现出电压跟随器，

6. 注意输入端保护

运放主要有三类：

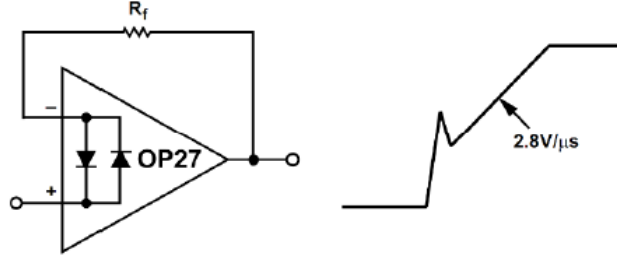
- 1、输入端并接了两组保护二极管。
- 2、在保护二极管前串联了电阻。
- 3、有些则没有任何保护措施。

后两类的运放无需注意，而第一类的运放需要注意：

- 1、尽量不要让它们作为比较器使用。
- 2、这类运放作为跟随器使用时，必须在反馈支路中串联保护电阻 R_F 。

如果不加这个电阻 R_F ，输入端瞬间的阶跃信号，会打通二极管，以一个低内阻的阶跃信号，直接加载到输出端，而输出端的输出源电压受压摆率限制，不可能立刻达到输入阶跃值，而处于缓慢的爬坡状态，在这个短瞬间，输入源信号和输出源电压之间形成的压差，会出现大电流

灌入运放的输出端，运放无法处理这个大电流，会进入过流保护状态，等输出源上升到合适的位置，这个电流将减小到输出环节可以掌控的地步。因此会产生如下一个奇怪的波形。



为了能够更加稳定，通常会在反馈回路上增加串联一个 $500\ \Omega$ 左右的电阻。这个电阻不能太大，否则会和输入电容形成低通滤波器，降低放大器的相位裕度。

7. 带宽计算

1. 传统估算公式

一个放大电路，如果闭环带宽大于 f_{hf} ，闭环电压增益为 A_F ，那么运放的增益带宽积 GBW 要求为：

$$GBW > (10 \sim 100) \times f_{hf} \times A_F = H \times f_{hf} \times A_F \quad (1)$$

H 是一个保险系数，它越大，越能保证上述要求。它的含义是，在 f_{hf} 处，开环增益为闭环增益 A_F 的 H 倍。

传统的估算公式为：

$$A_F = \frac{A_{uo}}{1 + A_{uo}F}$$

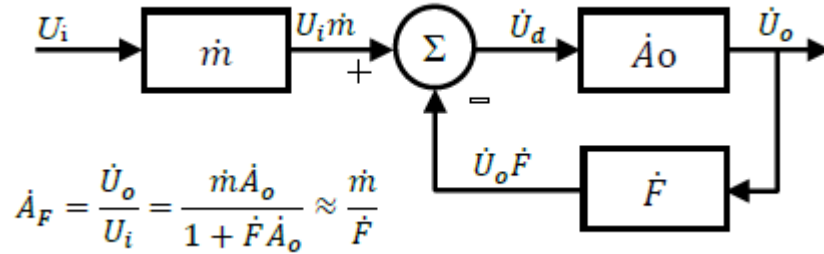
当开环增益无穷大时，闭环增益逼近 $1/F$ ；在上限截止频率处，当开环增益是期望闭环增益的 H 倍，即 $A_{uo}F = H$ ，且 H 远大于 1 时，闭环增益与期望闭环增益之间的误差大约为 $1/H$ 。为了让 $1/H$ 很小，需要使 H 越大越好。由此可以得到公式(1)。

但是传统的估算公式太粗略了，忽视了复数运算与实数运算的差异。

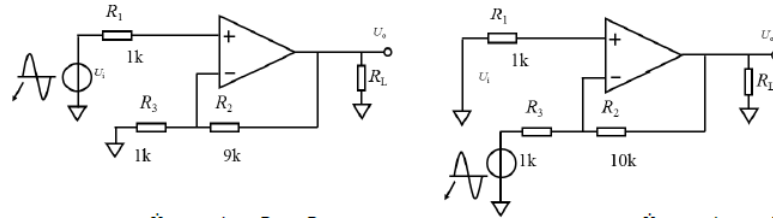
2. 闭环增益表达式

与传统公式不同，这边给出如下方框图，它多了一个衰减系数 m ，这样就能较为全面的包括所有放大电路。

$$\dot{A}_F = \frac{\dot{U}_o}{\dot{U}_i} = \frac{\dot{A}_o \dot{m}}{1 + \dot{A}_o \dot{F}} \approx \frac{\dot{m}}{\dot{F}}$$



以两个基本放大电路为例，分析



左侧的电路而言， $m=1$ ， $F=R_3/(R_3+R_2)$ ，因此 $A_F \approx (R_3+R_2)/R_3$ 。

右侧的电路而言， $m=-R_2/(R_3+R_2)$ ， $F=R_3/(R_3+R_2)$ ，因此 $A_F \approx -R_2/R_3$ 。

在新的负反馈框图中，可以得到如下等式：

$$|\dot{A}_F(f_1)| = \left| \frac{\dot{A}_o(f_1) \dot{m}(f_1)}{1 + \dot{A}_o(f_1) \dot{F}(f_1)} \right| = k \left| \frac{\dot{m}}{\dot{F}} \right|$$

在较低的频率下，复部对等式的影响较小，因此

$$\left| \frac{\dot{A}_o(f_1) m}{1 + \dot{A}_o(f_1) F} \right| = k \frac{m}{F} \quad (2)$$

而我们的目标也就是用 m ， F ， k 求出 $\dot{A}_o(f_1)$ ，但是复数具有实部和虚部，因此这个方程是无解的。

所幸的是，大多数运放的开环增益表达式均有明显的规律：在 f_1 附近，开环增益复数表达式都具有 90° 相移。

这儿是因为，第一，多数运放的第一极点都在很低的频率，此处具有 -45° 相移；而到了 10 倍频阶段，频率达到第一极点频率 10 倍左右，就

能够产生-90° 的相移，这个相移区将也一直持续到 GBW 频率处才会产生-130 左右的相移。

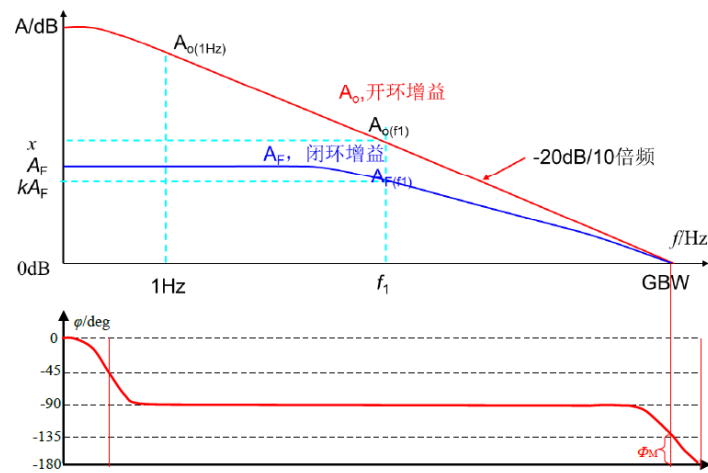


图 4-16 开环增益相移存在大范围的-90° 区间

运用上述规律，可以得到

$$\dot{A}_o(f_1) = -xj$$

将其代入(2)可得：

$$\frac{mx}{\sqrt{1+F^2x^2}} = k \frac{m}{F}$$

根据 GBW 的定义，可得如下结论：

$$\begin{cases} GBW > H \times f_1 \times \frac{1}{F} \\ H = \frac{k}{\sqrt{1-k^2}} \end{cases}$$

以下给出一个实例以供参考。

制作一个同相比值器,实现放大器,要求通带增益 10 倍,带宽 100kHz,带宽增益波动不超过-0.2dB。

$A_F=10$ ，即 $F=0.1$ ， $f=100\text{kHz}$ 。且

$$k = 10^{\frac{-0.2}{20}} = 0.97724$$

由上述结论可得，此时的 H 应该为：

$$H = \frac{k}{\sqrt{1-k^2}} = 4.606$$

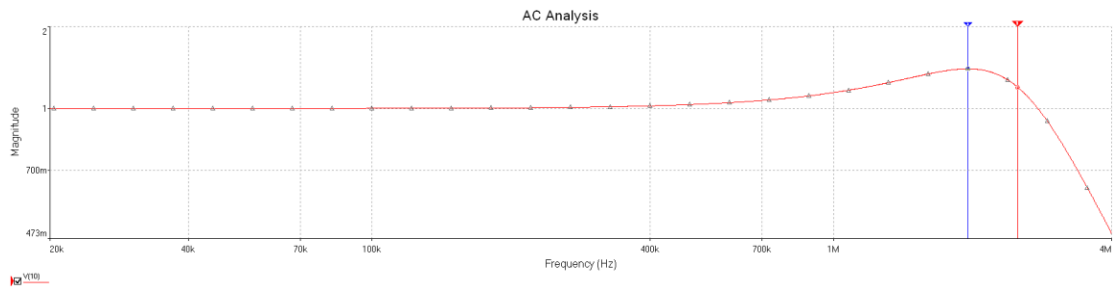
这个值比传统的保守系数更小。

因此增益带宽积至少为：

$$GBW > H \times f_1 \times \frac{1}{F} = 4.6MHz$$

3. 奇怪的增益隆起

随着频率的上升，运放的开环增益总是下降，但是闭环增益有时候却会随着频率的上升而上升。也就是如下图所示的情况。



这个隆起是由于相移导致的。

跟随器的闭环增益的准确表达式如下：

$$\dot{A}_F = \frac{\dot{U}_o}{U_i} = \frac{\dot{A}_o}{1 + \dot{A}_o}$$

但是 A_o 是一个矢量。在一定条件下会出现 A_o 的模要大于 $1+A_o$ 的模。从而就产生了上述的现象。