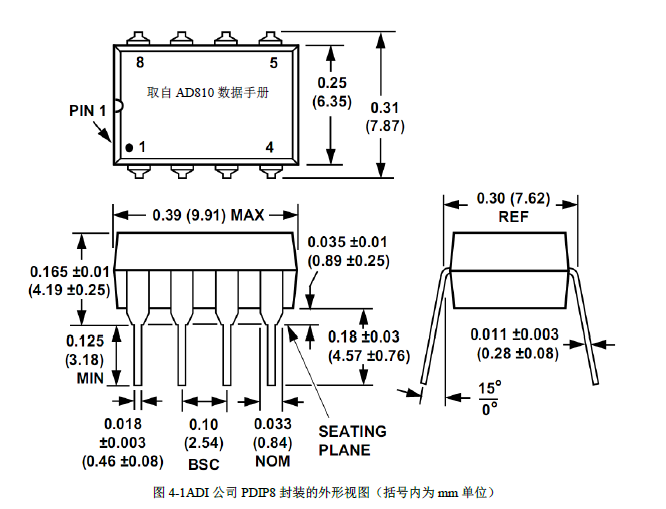
**放大器的共性问题**

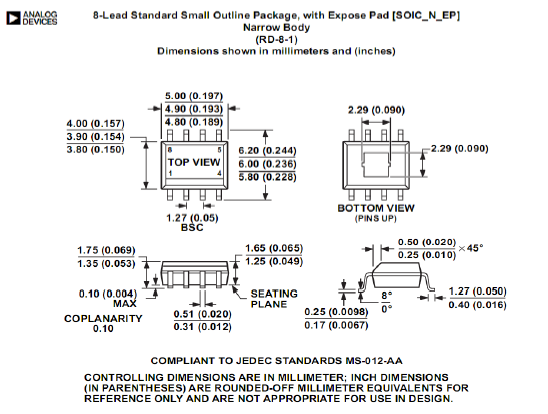
1. **放大器的封装**
2. PDIP/DIP

相邻管脚之间的距离为100mil，两列管脚之间的距离为300mil.是最老的封装之一。焊接容易、热阻小。



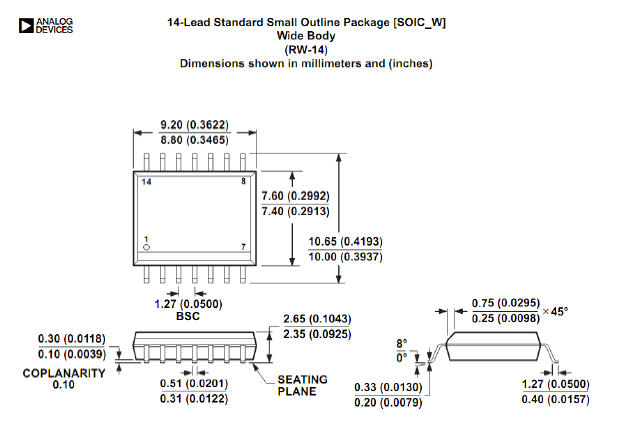
1. SOIC-N

目前最常用的封装，包括8管脚、10管脚、14管脚等。其核心定义是150mil宽窄，50mil间距。



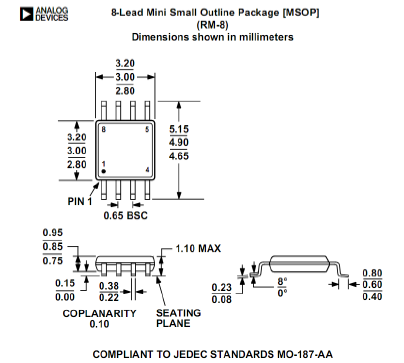
1. SOIC-W

相对少见，300mil宽窄，50mil间距。



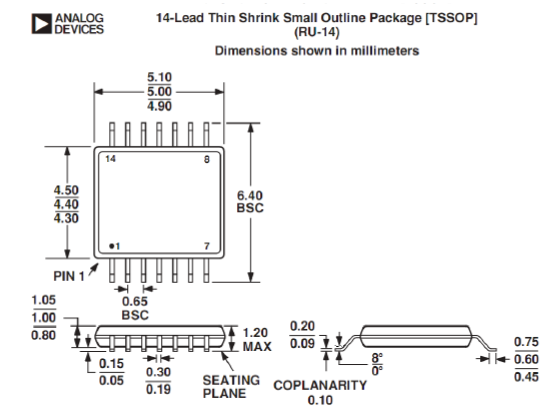
1. MSOP封装

3mm×3mm外形。8脚间距为0.65mm；10脚间距为0.5mm.



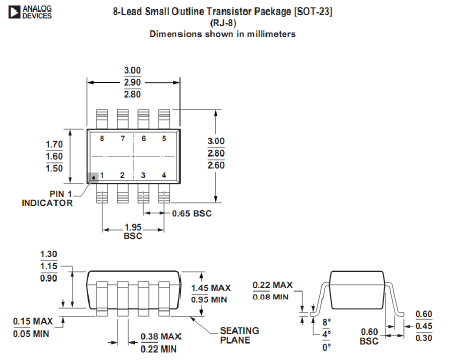
1. TSSOP

4.4mm宽窄，0.65mm管脚间距。



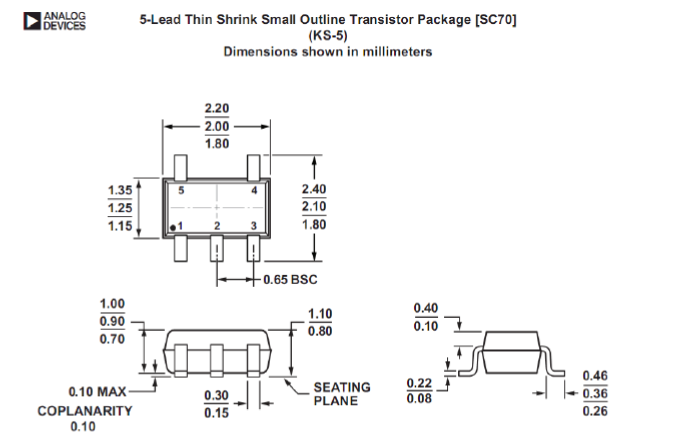
1. SOT-23

宽度1.6mm，长度2.9mm。有5、6、8管脚几种。5、6脚管脚间距为0.95mm.8脚间距为0.65mm.



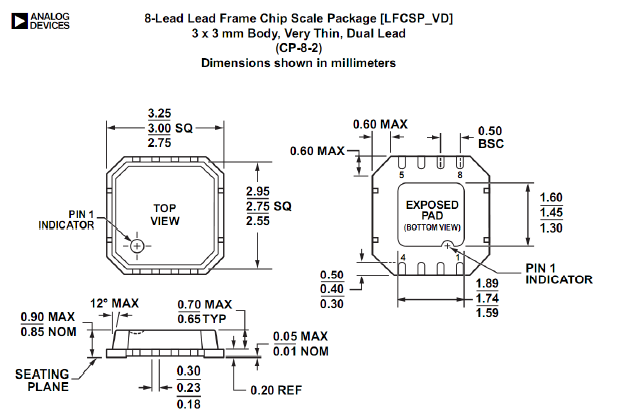
1. SC70

1.25mm宽窄，0.65mm管脚间距。



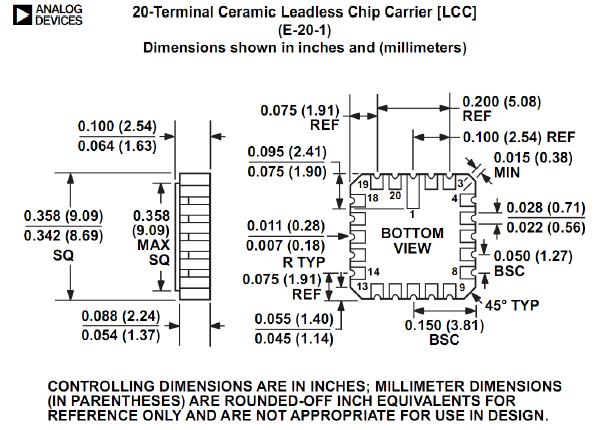
1. LFCSP

间距0.5mm，且有管脚内嵌。



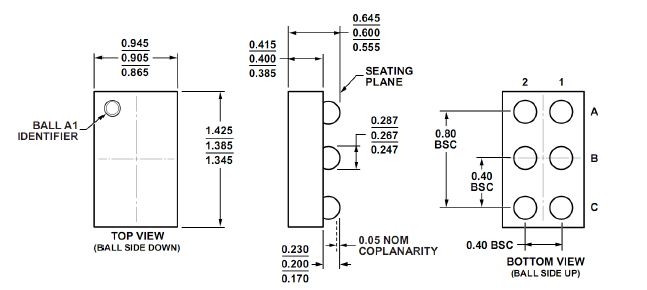
1. LCC

管教间距1.27mm.手工焊接困难。



1. WLCSP

类似于球形封装。



1. **供电和电源去耦**

放大器供电需要注意：

1. 放大器的极性接反非常危险，甚至有可能爆炸！
2. 即使放大器有多个电源脚，且在内部相连，也应当全部按要求接好。
3. 给电源对地配置电容。
4. 必要时在电源进入芯片的路径中串联磁珠。

同时放大器必须配置合适的电容，否则会导致放大电路的性能指标严重下降。通常会选用库电容或是旁路电容。

库电容也就是一个百*μF*级的电解电容。这种电容的作用是防止电流出现大波动从而对电路的影响。这种电容通常会设计在电源处，且距离电运放不超过10cm.

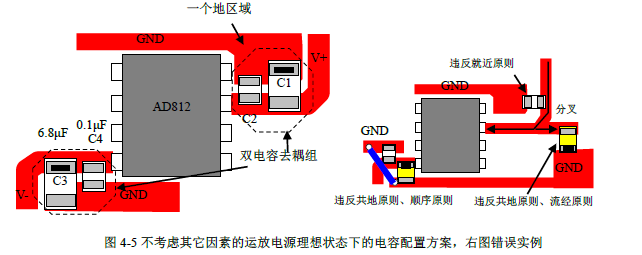
旁路电容一般是10μF-0.1μF-0.01μF的电容组（大电容在10μF-0.1μF，小电容应当在0.1μF-0.01μF），通常设计在芯片电源管脚附近，从而形成一个低通滤波器，并滤除高频噪声。

双电容的设计能够比单电容覆盖更大的频率区域，在更宽的频域内有效。

常用的组合有10μF/0.1μF，4.7μF/0.01μF，10μF/0.01μF。

旁路电路在布线时还需要注意如下原则：

1. 流经原则：电容应该放在电源进线的途中。
2. 顺序原则：电源走线应先经过C1大电容，再经过C2小电容。
3. 就近原则：小电容应该尽可能靠近芯片脚根，而大电容应该尽可能靠近小电容
4. 共地原则：一个电容组的两个电容其接地点必须是一个相同的地平面区域，而不要靠过孔相连。



1. 电源走线必须足够粗。
2. 不要节省电容，不要让其他电路干涉旁路电容的布局。
3. 注意电解电容的极性和耐压问题。钽电容的耐压较低。
4. 根据噪声分布的不同可以考虑更换电容。但是要满足10μF-0.1μF-0.01μF。
5. 直流通路

运算放大器的入端是晶体管的基极或是栅极时，如果完全浮空，晶体管是不会导通的。也就是需要合适的静态工作点。

下图是一个实例。途中的输入信号是一个带直流分量的交变信号。左图试图通过电容隔直。但是这会导致正输入没有直流通路，理论上是无法正常工作的。但是实际情况中，由于偏置电流的存在，会缓慢的给电容充放电，导致输入级具有微弱的直流通路，也能看到理想的正弦波形，但是这个直流电平是在不确定的变化的，显然不是我们所期待的。而改成右图的电路后，就具有了明确的直流通路，可以建立起合适的静态工作点。

