Diseño de contadores síncronos

Paso1 Se determina el número de bits deseados (**FFs**) y la secuencia de conteo que se necesita.

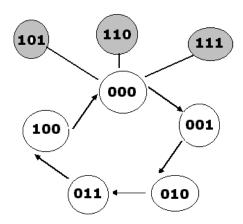
С	A	В
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
0	0	0
0	0	1

Entradas		Salidas	
J	K	CLK	Q
0	0	†	Q ₀ (sin cambio)
1	0	↑	1
0	1	†	0
1	1	1	Q ₀ _ (cambia
			Q ₀ _ (cambia estado)

Tabla de excitación:

	Т	T+1	J	K
0 → 0	0	0	0	*
0 → 1	0	1	1	*
1 → 0	1	0	*	1
1 → 1	1	1	*	0

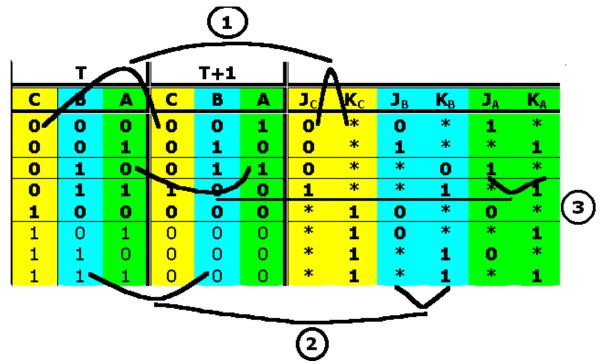
Paso2 Se dibuja el diagrama de transición para preparar una tabla en a que se enlisten todos los estados (t y t+1).



Paso3 Se usa el diagrama de transición para preparar una tabla en la que se enlisten todos los estados presentes y siguientes.

	T			T+1							
С	В	Α	С	В	Α	J _c	Kc	\mathbf{J}_{B}	K _B	J _A	K _A
0	0	0	0	0	1	0	*	0	*	1	*
0	0	1	0	1	0	0	*	1	*	*	1
0	1	0	0	1	1	0	*	*	0	1	*
0	1	1	1	0	0	1	*	*	1	*	1
1	0	0	0	0	0	*	1	0	*	0	*
1	0	1	0	0	0	*	1	0	*	*	1
1	1	0	0	0	0	*	1	*	1	0	*
1	1	1	0	0	0	*	1	*	1	*	1

Para poder entender mejor el procedimiento de llenado presento lo siguiente:



Paso4 Por cada entrada J-K se agrega una columna. Para cada estado presente se indican los niveles requeridos en cada entrada J y K con el fin de producir el estado siguiente.

Paso5 se diseñan los circuitos lógicos para generar los niveles requeridos en cada entrada J y K.

OJO: para rellenar los mapas de K, se van vaciando los símbolos conforme están en la columna $J_c, K_c, J_B, K_B, J_A, K_A$ Excepto los últimos cuatro símbolos.

Jc			
Α	0	1	
СВ			
00	0	0	
01	0	1	
11	*	*	
10	*	*	
Jc=BA			

Kc		
A	0	1

СВ		
00	*	*
01	*	*
11	1	1
10	1	1
Kc=A+Ā=1		

J _B		
Α	0	1
СВ		
00	0	1
01	*	*
11	0	0
10	*	*
J _B =C_A		

K _B		
Α	0	1
СВ		
00	*	*
01	0	1
11	1	1
10	*	*
K _B =C+A		

J _A		
Α	0	1
СВ		
00	1	*
01	1	*
11	0	*
10	0	*
J _A =C_		

J_{A}		
Α	0	1
СВ		
00	*	1
01	*	1
11	*	1
10	*	1
J _A =1		