

UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO



sábado, 28 de octubre de 2017, Ciudad Universitaria, México, DF

INTERRUPCIONES

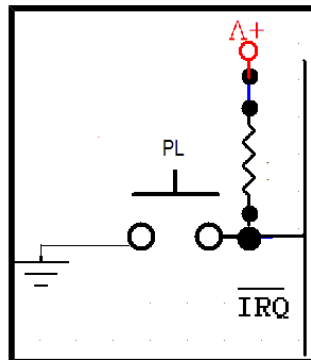
INTERRUPCIONES	ENMASCARABLES	<ol style="list-style-type: none"> 1. IRQ interrupción externa 2. PSI interrupción en modo síncrono 3. SCI interrupción en modo asíncrono de comunicación serie.
	NO ENMASCARABLES	<ol style="list-style-type: none"> 1. XIRQ interrupción externa no enmascarable 2. SWI interrupción por software

IRQ INTERRUPCIÓN EXTERNA

Se lleva acabo si el bit I del registro de código de condición de estados es '0' y el pin exterior $\overline{\text{IRQ}}$ es bajo, o sea '0', es decir se tiene que dar las dos siguientes condiciones:

CCR	S	X	H	I='0'	N	Z	V	C
-----	---	---	---	-------	---	---	---	---

$\text{IRQ} = '0'$



- 1 Cuando la interrupción es reconocida, el microprocesador termina la instrucción que esta en proceso.
- 2 El estado actual de los registros del microprocesador se guarda en la pila del stack.
- 3 La bandera I del CCR se pone en '1', este enmascaramiento asegura que ninguna interrupción sea atendida hasta que la presente haya sido atendida.
- 4 La dirección de la rutina del servicio de esta interrupción vector de interrupción esta especificada por el contenido de una dirección de 2 Bytes de acuerdo al siguiente esquema:

