



به نام خدا



دانشگاه تهران

دانشکده مهندسی برق و کامپیووتر

طراحی سیستم های دیجیتال

گزارش پژوهشی نهايی

طراحی و پیاده سازی سخت افزاری (MLP) Multi-Layer Perceptron

سجاد گندم مالمیری 810197572

810197586 کاوه معصومی

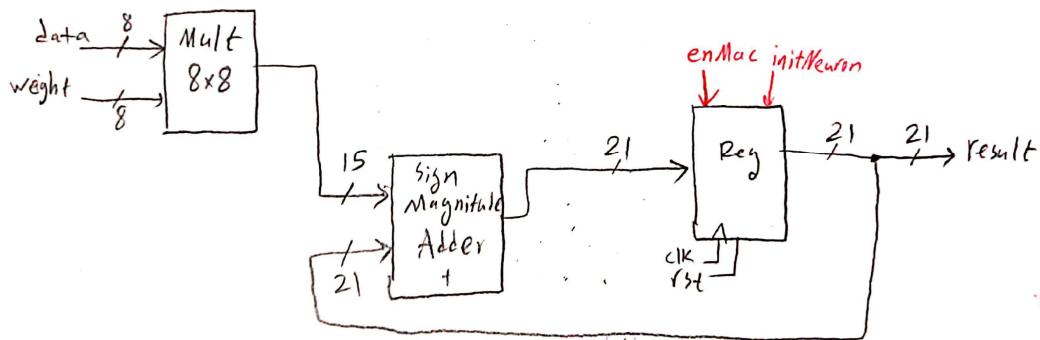
## **فهرست**

- 3 ..... **بخش 1 – توضیح ماظویل ها**
- 8 ..... **بخش 2 – نتایج سیمولیشن و کامپایل در Xilinx ISE**

## بخش 1 - توضیح مازول ها

- **مازول MAC:** این مازول مقدار های ۸ بیتی data و weight (فقط یک data و یک weight) را به صورت ترکیبی در هم ضرب کرده و در صورتی که سیگنال کنترلی enMac را باشد، این حاصلضرب را با مقدار قبلی رجیستر macReg که درون این مازول قرار دارد جمع کرده و در همین رجیستر ذخیره میکند. به طور کلی این عملیات Mac برای استیچ های اول تا سوم (که در ادامه توضیح داده میشوند) ۶۲ بار (یعنی در ۶۲ سایکل) و برای استیچ چهارم ۳۵ بار تکرار میشود. این مقدار نهایی رجیستر به عنوان خروجی MAC result فرستاده میشود.

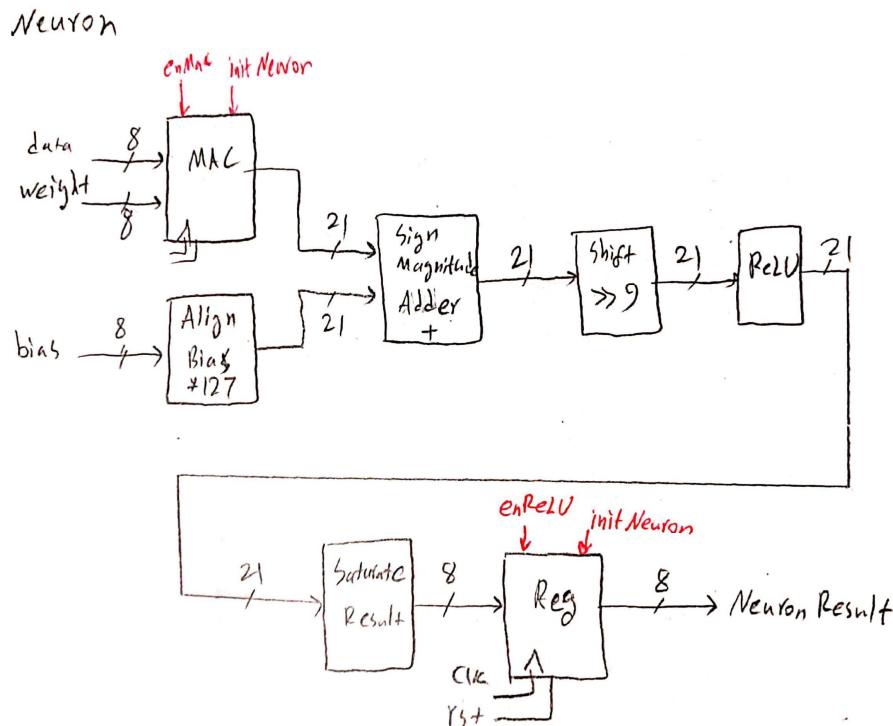
MAC



Scanned with CamScanner

- **مازول Neuron:** این مازول یک نسخه از MAC درون خود دارد که منتظر اتمام عملیاتش میماند، سپس آن را با  $(bias * 127)$  aligned bias (bias) جمع کرده و پس از ۹ واحد شیفت به راست و اعمال فانکشن ReLU و Saturate نتیجه، خروجی اش را در رجیستر NeuronReg ذخیره میکند (سیگنال enReLU همان enable برای رجیستر خواهد بود). خروجی Neuron برابر خروجی این رجیستر است. بنابراین وظیفه ای Neuron ضرب تمام data های استیچ فعلی در weight های آن ها و جمع کردنش با bias است. در نتیجه این

مقدار را میتوان در ادامه ذخیره کرد و در استیج های بعدی دوباره به خود Neuron ها فرستاد تا استفاده شوند.

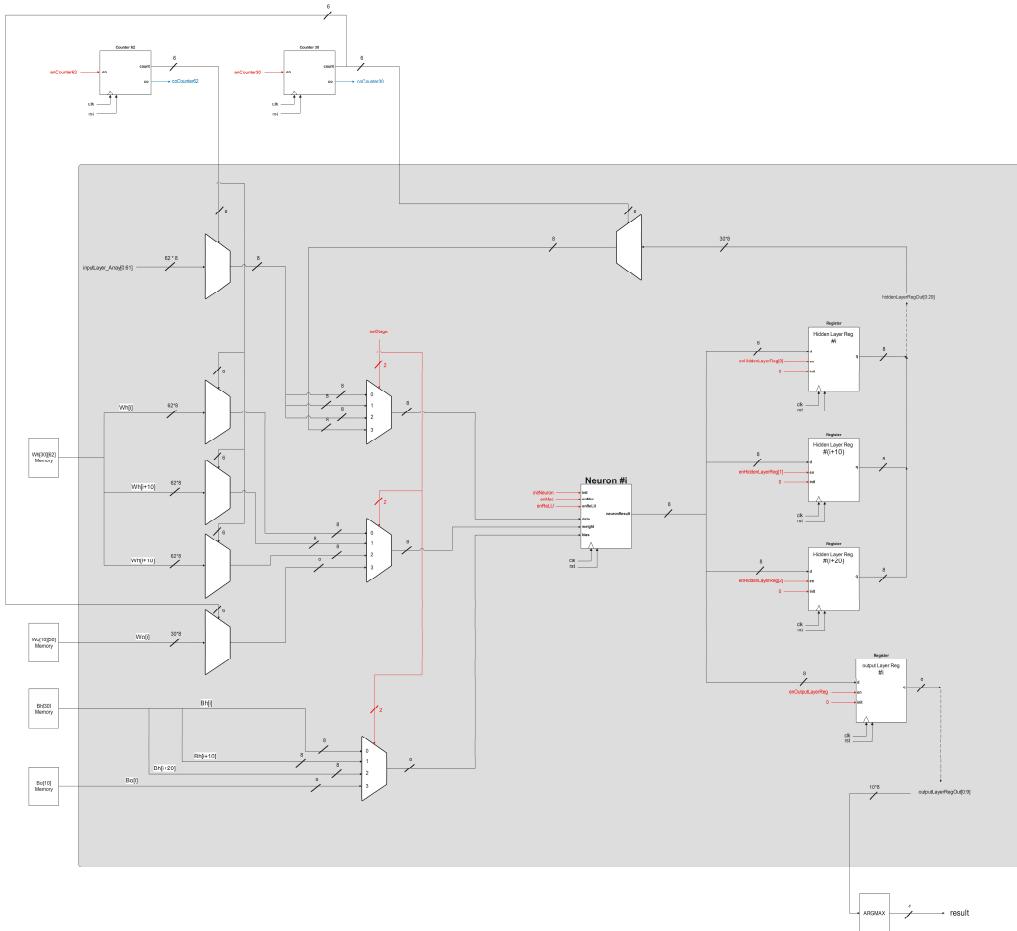


Scanned with CamScanner

- **ماژول CounterN:** یک counter ساده که با گرفتن پارامتر N، اگر سیگنال en آن فعال باشد، از صفر شروع به شمردن میکند و تا N-1 خواهد شمرد. خروجی های این ماژول یکی خود مقدار count بوده و دیگری سیگنال CO است که در صورتی که count برابر N-1 شود فعال شده و در کنترلر مورد استفاده قرار میگیرد.

- **ماژول NeuralNetwork\_Datapath:** در این ماژول دو counter ۶۲ تایی و ۳۰ تایی داریم که از آن ها برای sel چند multiplexer استفاده خواهیم کرد. عکس دیتابیث در ادامه آمده است (لطفا روی عکس زوم کنید). همانطور که دیده میشود، بخش خاکستری رنگ میگوید که به ازای هر یک Neuron با اندیس i، لازم است چه سخت افزار هایی برای ورودی دادن به آن ایجاد شود و این به این معنی است که بخش خاکستری رنگ باید به تعداد نرون ها یعنی ۱۰ بار تکرار شود. باقی ماژول هایی که خارج از مربع خاکستری رنگ

هستند نیازی به تکرار ندارند و یکبار کافی هستند. روش کلی محاسبات را در قسمت کنترلر توضیح خواهیم داد.



## • مازول: NeuralNetwork\_Controller: به طور کلی قضیه از این قرار خواهد بود:

چون نیاز است برای  $40 = 10 + 30$  نورون محاسبات انجام دهیم در حالی که فقط ۱۰ نورون سخت افزاری داریم، کل فرآیند محاسبه را به چهار استیج تقسیم بندی میکنیم:

استیج صفر: اعمال نقش نورون های صفر تا ۹ لایه ی hidden

استیج یک: اعمال نقش نورون های ۱۰ تا ۱۹ لایه ی hidden

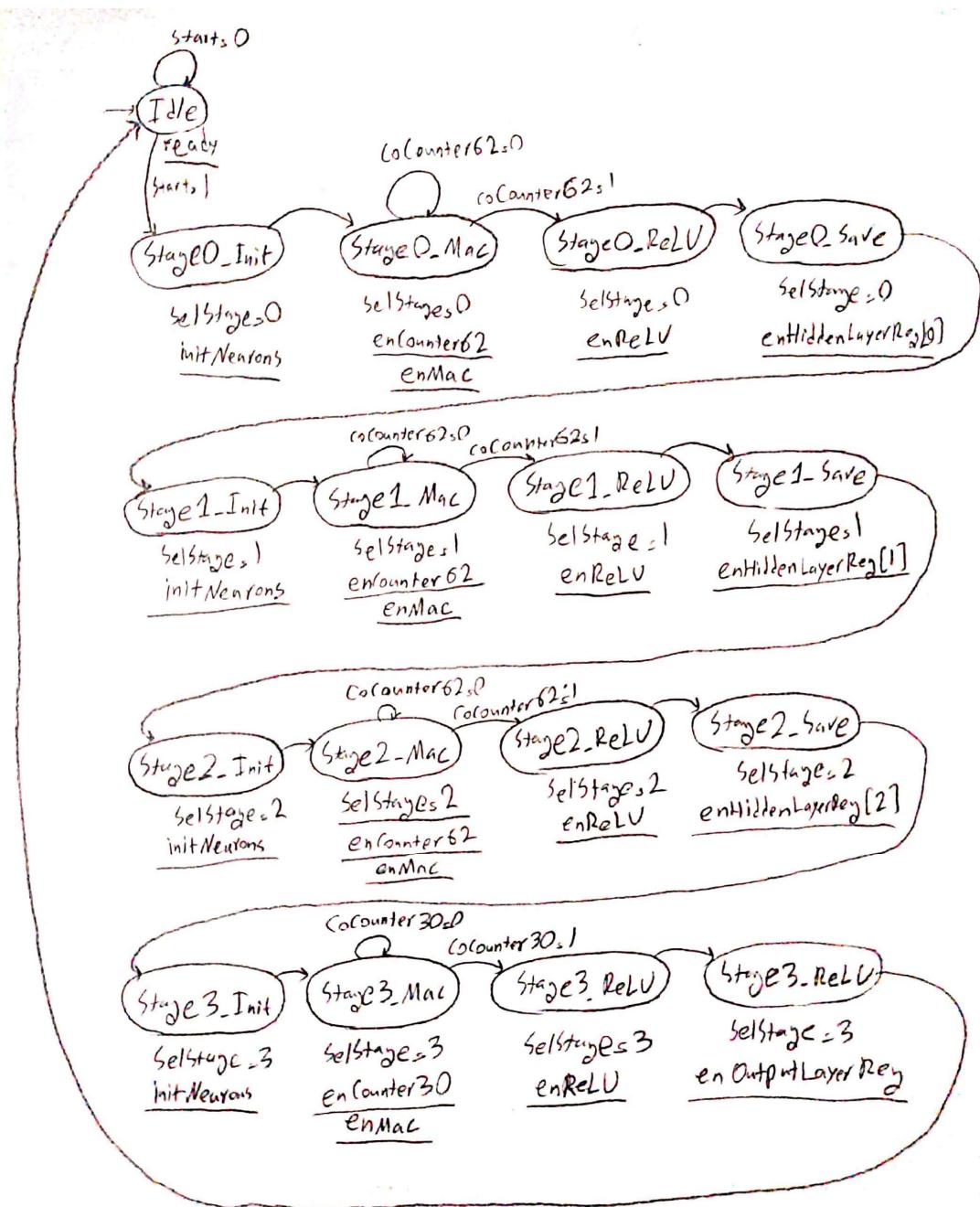
استیج دو: اعمال نقش نورون های ۲۰ تا ۲۹ لایه ی hidden

استیج سه: اعمال نقش ۳۰ نورون لایه ی output

و در هر کدام از این استیج ها فرآیند به این صورت است: ابتدا یک سایکل تمام رجیسترها نورون ها را init میکنیم تا تداخلی با داده های قبلی پیش نیاید (استیت

(StageN\_Init). سپس در استیت StageN\_Mac، به تعداد ۶۲ بار (در سه استیج اول) و یا ۳۰ بار (در استیج آخر) روی استیت فعلی میمانیم و نوبتی data های ۰ تا ۶۱ لایه ی ورودی (و یا ۰ تا ۲۹ لایه ی hidden برای استیج آخر) را با mux و سیگنال selStage به واحد Mac داخل Neuron ها میدهیم. تمام شدن ۶۲ و یا ۳۰ بار را هم به کمک دو counter و با یک شدن سیگنال coCounter<sup>۶۲</sup> or coCounter<sup>۳۰</sup> متوجه میشویم. در این صورت، به استیت StageN\_ReLU وارد میشویم که مقدار خروجی MAC را با bias جمع میکند و در رजیستر داخل neuron ذخیره میکند. و در نهایت نیز در استیت بعدی به نام StageN\_Save، خروجی ای را که از هر نورون بدست آورده ایم در رجیسترهای منتظر با لایه های Hidden و output ذخیره کرده و به استیج بعدی میرویم. در استیج آخر، چون قرار است از data ها (خروجی ها) ای لایه ی hidden در محاسبات استفاده کنیم، خروجی رجیستر های لایه ی hidden به عقب باز میگردند و در mux مناسب استفاده میشوند.

استیت ماشین کنترلر این سیستم در ادامه آمده است:



Scanned with CamScanner

• مازول: NeuralNetwork یک مازول ساده که از controller و datapath ایجاد شده

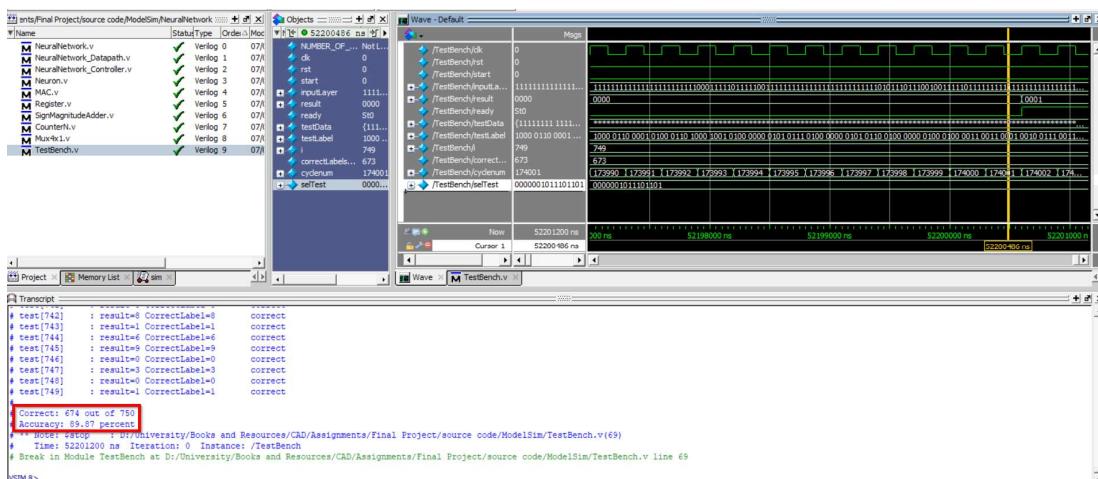
نسخه میگیرد و سیم هایشان را به هم وصل میکند. این مازول Top Design ما خواهد بود.

- **ماژول TestBench:** این مازول یک نسخه از شبکه‌ی عصبی طراحی شده ایجاد کرده

و داده های تست را روی آن Run و خروجی اشان را درستی سنجی میکند. دقت کنیم که ما ۷۵۰ داده های تست داریم که هر کدام یک لایه هی input ۶۲ تایی هستند. عملیات لود در مموری این داده ها را در این قسمت انجام میدهیم و نوبتی از صفر تا ۷۴۹، دانه داده های تست را به مازول شبکه هی عصبی میدهیم و منتظر خروجی میمانیم. سپس خروجی را با خروجی موردنظر مقایسه کرده و در نهایت هم Accuracy را گزارش مینماییم. دقت شود که مقادیر Bh و Bo و Wh و Wo همه در این مازول از روی فایل خوانده میشوند.

## بخش 2 - نتایج سیمولیشن و کامپیاپل دو

• نتایج سیمولیشن:



نتایج سیمولیشن: ۶۷۴ بیشینه درست از ۷۵۰ تا داده‌ی تست

مقدار دقتی: Accuracy: ۸۹.۸٪

• نتایج کامپایل در Xilinx ISE

نتیجه ی :Synthesize

```
-----  
Speed Grade: -2  
  
Minimum period: 7.834ns (Maximum Frequency: 127.644MHz)  
Minimum input arrival time before clock: 7.643ns  
Maximum output required time after clock: 24.414ns  
Maximum combinational path delay: No path found  
-----
```

```
Process "Synthesize - XST" completed successfully
```

نتیجه ی :implementaion

```
Analysis completed Fri Jul 09 16:49:15 2021  
-----  
Generating Report ...  
  
Number of warnings: 0  
Total time: 31 secs  
  
Process "Generate Post-Place & Route Static Timing" completed successfully
```

تعداد کامپونت های استفاده شده:

Device Utilization Summary [-]			
Slice Logic Utilization	Used	Available	Utilization
Number of Slice Registers	578	948,480	1%
Number used as Flip Flops	578		
Number used as Latches	0		
Number used as Latch-thrus	0		
Number used as AND/OR logics	0		
Number of Slice LUTs	2,049	474,240	1%
Number used as logic	1,919	474,240	1%
Number using O6 output only	1,372		
Number using O5 output only	50		
Number using O5 and O6	497		
Number used as ROM	0		
Number used as Memory	0	132,480	0%

Number used exclusively as route-thrus	130		
Number with same-slice register load	4		
Number with same-slice carry load	126		
Number with other load	0		
Number of occupied Slices	744	118,560	1%
Number of LUT Flip Flop pairs used	2,288		
Number with an unused Flip Flop	1,711	2,288	74%
Number with an unused LUT	239	2,288	10%
Number of fully used LUT-FF pairs	338	2,288	14%
Number of unique control sets	9		
Number of slice register sites lost to control set restrictions	22	948,480	1%
Number of bonded IOBs	504	1,200	42%
Number of RAMB36E1/FIFO36E1s	0	720	0%
Number of RAMB18E1/FIFO18E1s	0	1,440	0%
Number of BUFG/BUFGCTRLs	1	32	3%
Number used as BUFGs	1		
Number used as BUFGCTRLs	0		
Number of ILOGICE1/ISERDESE1s	0	1,440	0%
Number of OLOGICE1/OSERDESE1s	0	1,440	0%
Number of BSCANs	0	4	0%
Number of BUFHCEs	0	216	0%
Number of BUFIODQSS	0	144	0%
Number of BUFRs	0	72	0%
Number of CAPTUREs	0	1	0%
Number of DSP48E1s	10	864	1%
Number of EFUSE_USRs	0	1	0%
Number of FRAME_ECCs	0	1	0%
Number of ICAPs	0	2	0%
Number of IDELAYCTRLs	0	36	0%
Number of IODELAYE1s	0	1,440	0%
Number of MMCM_ADVs	0	18	0%
Number of STARTUPs	0	1	0%
Number of SYSMONs	0	1	0%
Average Fanout of Non-Clock Nets	3.08		

## توضیحات Power Consumption

A	B	C	D	E	F	G	H	I	J	K	L	M	N
Device	Virtex6			On-Chip Power (W)	Used	Available	Utilization (%)		Supply	Summary	Total Current (A)	Dynamic Current (A)	Quiescent Current (A)
Family	xc6vlx760			Clocks	0.000	1	--		Source	Voltage			
Part	ff1760			Logic	0.000	2049	474240	0	Vccint	1.000	3.472	0.000	3.472
Package				Signals	0.000	2885	--		Vccaux	2.500	0.387	0.000	0.387
Temp Grade	Commercial			DSPs	0.000	10	864	1	Vcco25	2.500	0.003	0.000	0.003
Process	Typical			IOs	0.000	504	1200	42					
Speed Grade	-2			Leakage	4.447								
				Total	4.447								
Environment													
Ambient Temp (C)	50.0												
Use custom TJA?	No												
Custom TJA (C/W)	NA												
Airflow (LFM)	250												
Heat Sink	Medium Profile												
Custom TSA (C/W)	NA												
Board Selection	Medium (10"x10")												
# of Board Layers	12 to 15												
Custom TJB (C/W)	NA												
Board Temperature (C)	NA												
Characterization													
Production	v1.3,2011-05-04												