



# **SISTEMAS DIGITALES I**

## **SDU115**

### **UNIDAD IV**

#### **SISTEMAS SECUENCIALES**

# **SISTEMAS DIGITALES I**

## **SDU115**

**Diseño de contadores Asíncronos**

# Objetivos de la Unidad

## Objetivo de la unidad:

Diseñar sistemas digitales secuenciales (contadores binarios), utilizando las tablas de entrada de cualquier tipo de Flip-Flop, y el método de simplificación apropiado, así como la experiencia del análisis, para su posterior simulación antes de su posible implementación.

# Agenda

- ✓ Diseño de contadores Asíncronos

## OBJETIVO

Diseñar contadores Asíncronos, con flip-flop JK, Mod 2,4,8,16 o cualquier otro, activando sus entradas asíncronas y dibujando el circuito, para su posterior simulación.

# Diseño de contadores Asíncronos

1 Se llaman asíncronos por que no llega la misma señal de reloj a todos los flip-flops.

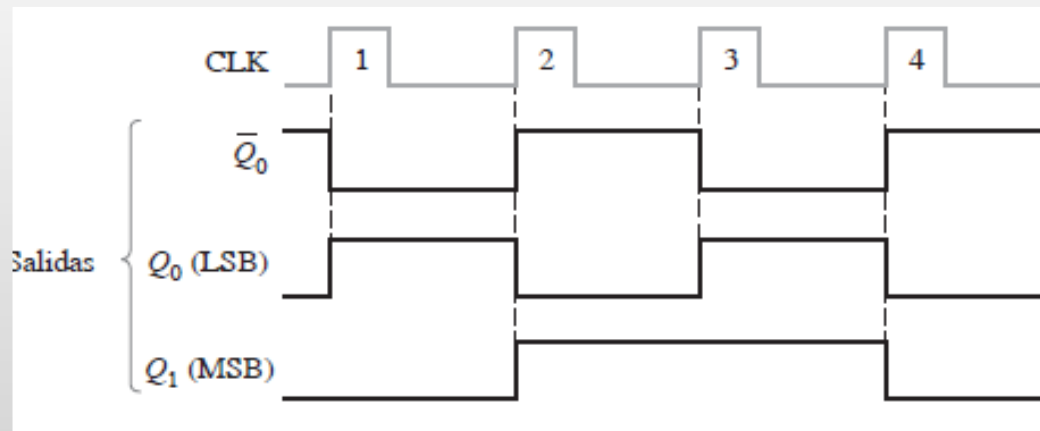
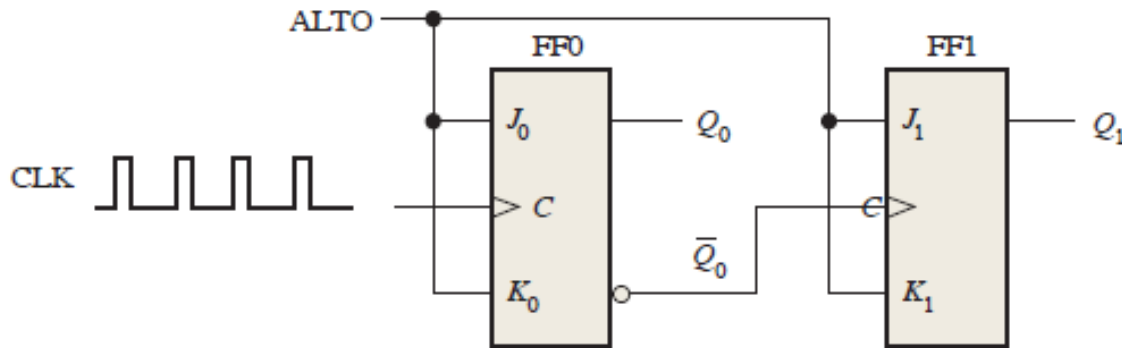
2 Se construirán con flip-flops JK, con las entradas J y K conectadas a 1, aprovechando que cuando J y K valen 1, Q cambia cada vez que llega el pulso adecuado de reloj.

3 Se usa un Flip Flop por cada bit de conteo.

4 La señal principal de reloj se conecta a la entrada de reloj del Flip Flop menos significativo, a la entrada de reloj de los siguientes Flip Flops, se conecta  $Q$  o  $\bar{Q}$  del Flip Flop anterior.

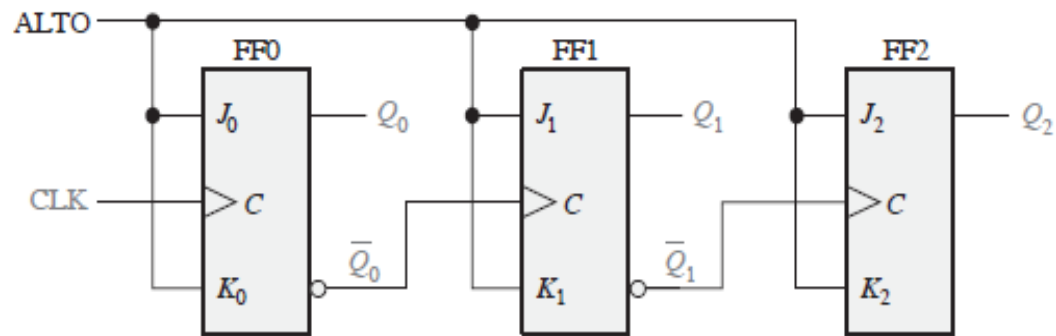
# Contador de 2 bits

Los FFs se activan con el flanco de subida en la entrada C, la señal principal de reloj llega al FF0 y al FF1 llega  $\bar{Q}_0$

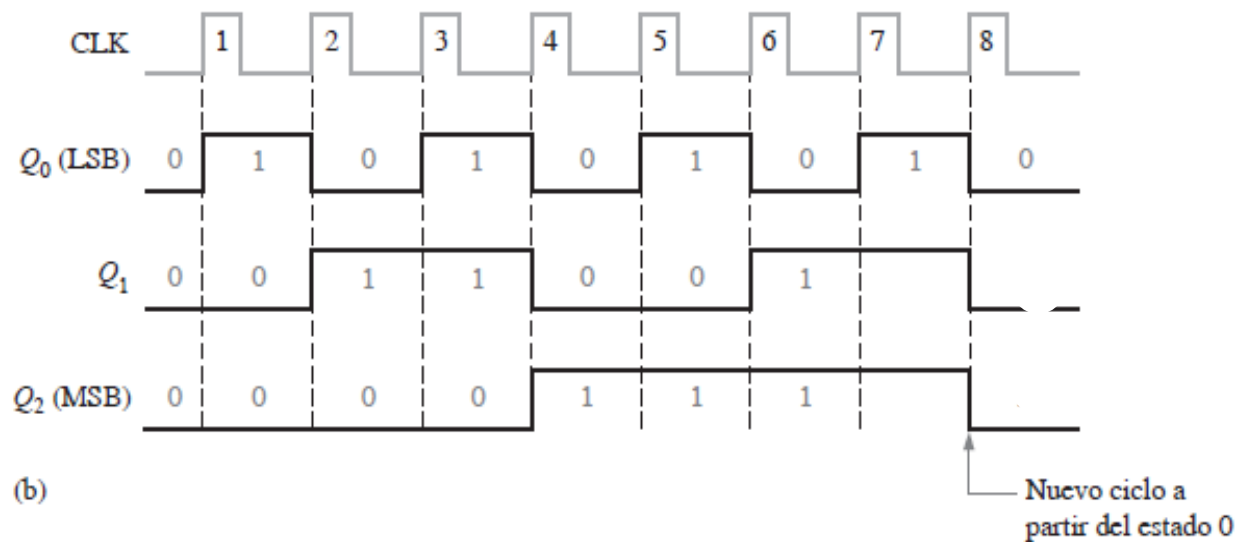


Pulso	$Q_1$	$Q_0$
	0	0
1	0	1
2	1	0
3	1	1
4	0	0

# Contador de 3 bits ascendente



(a)

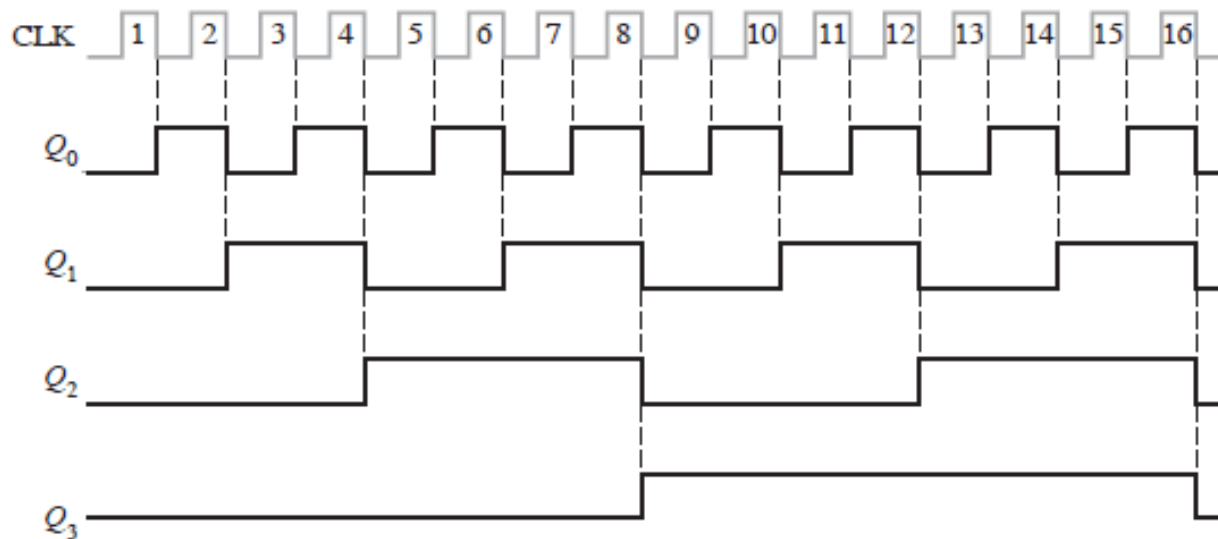
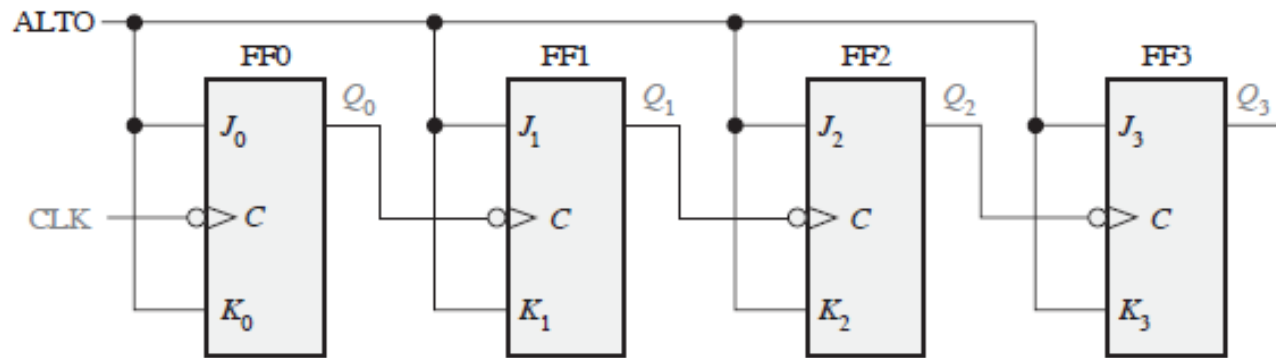


(b)

	$Q_2$	$Q_1$	$Q_0$
	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

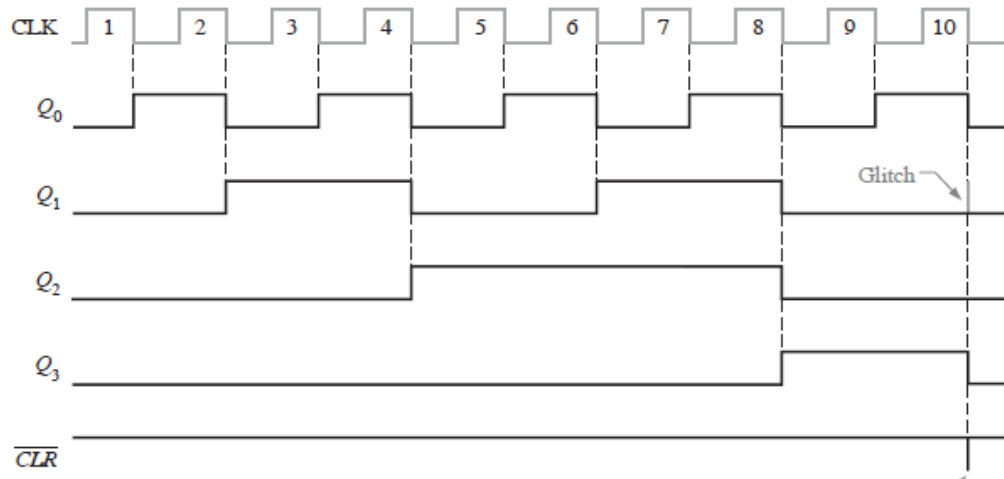
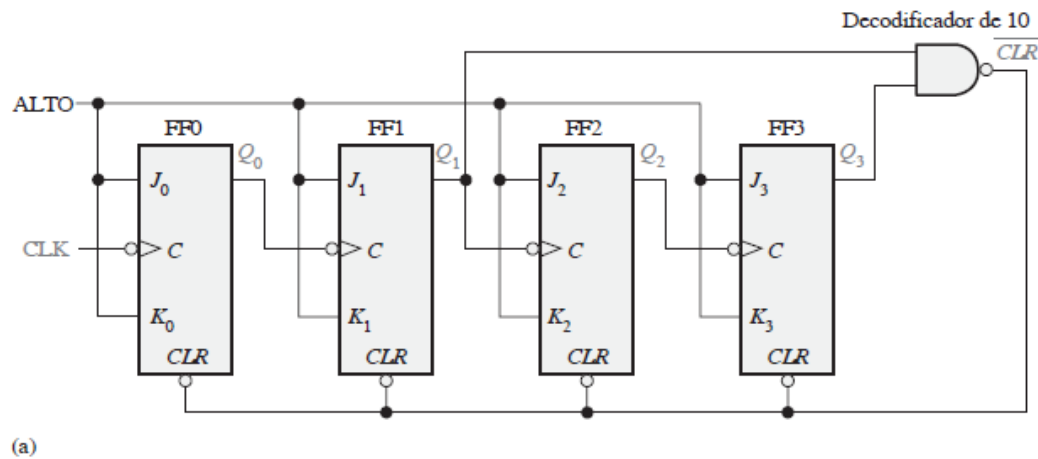


# Contador de 0 a 15



	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

# Contador de Decada



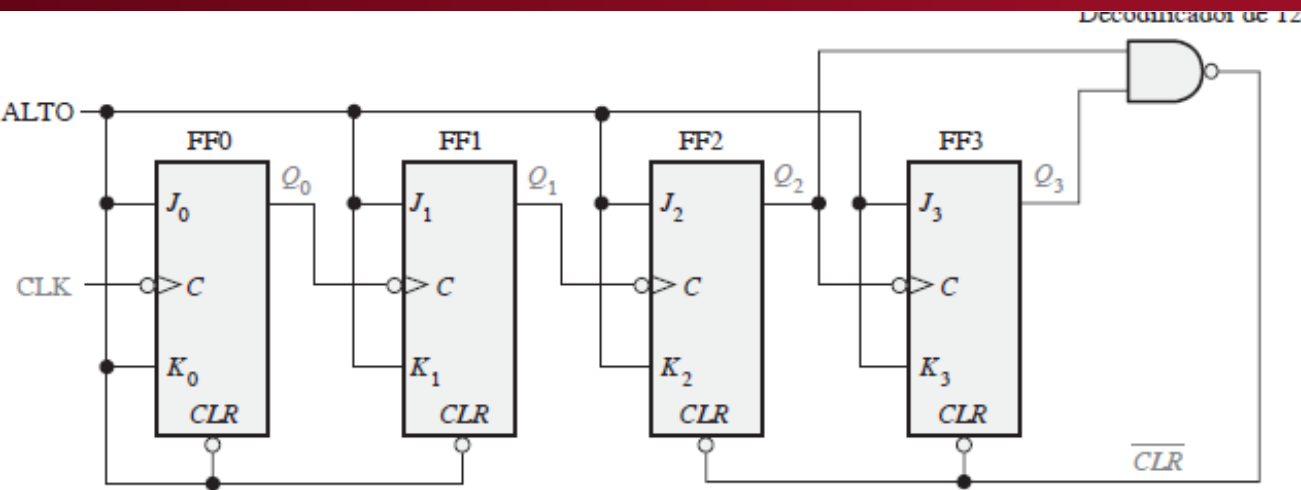
$$CLR = \overline{Q_3} + Q_2 + \overline{Q_1} + Q_0$$

$$= \overline{Q_3 Q_2 Q_1 Q_0}$$

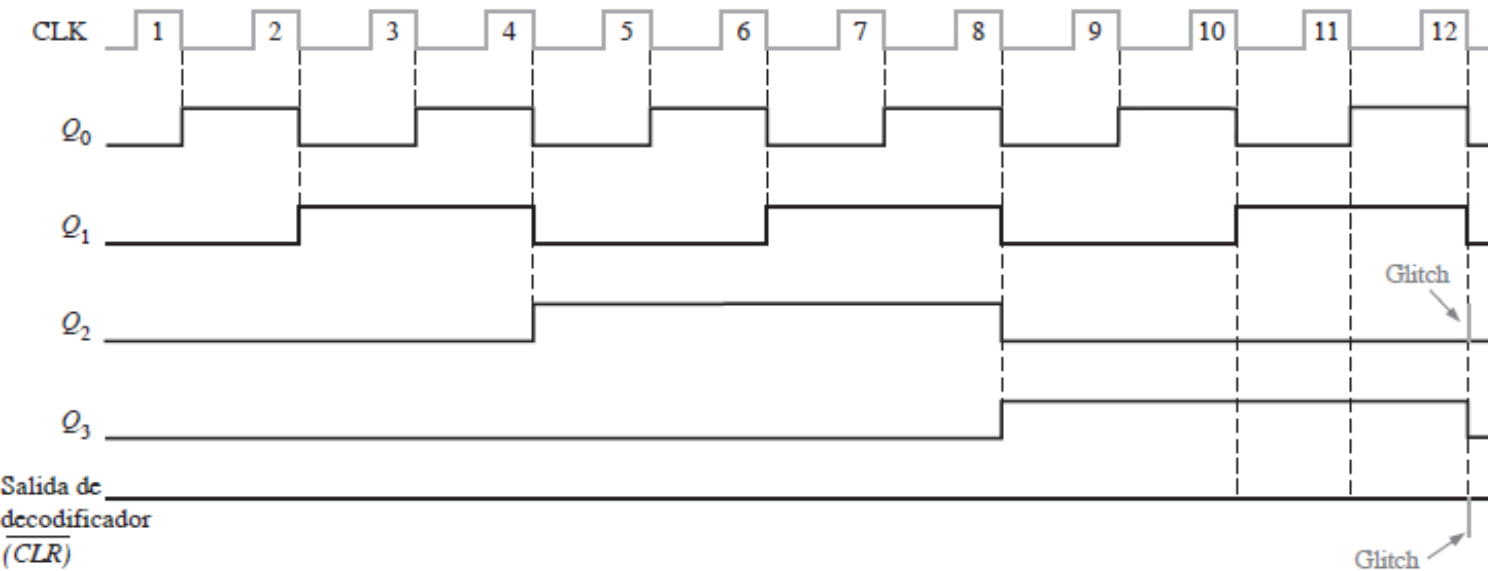
	$Q_3$	$Q_2$	$Q_1$	$Q_0$
	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
10	0	0	0	0

Contará de 0 a 9, en 1010 deben ponerse todos los FF en CERO. Hacer  $CLR = 0$

# Contador mod 12 de 0 a 11

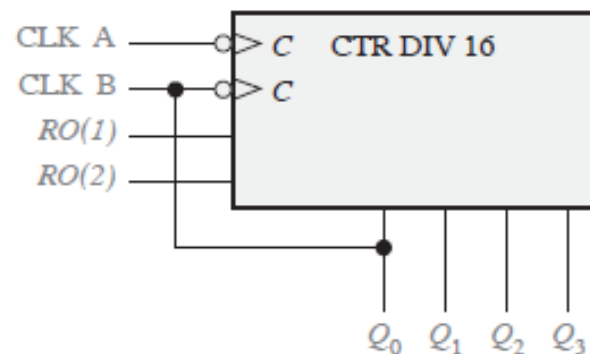
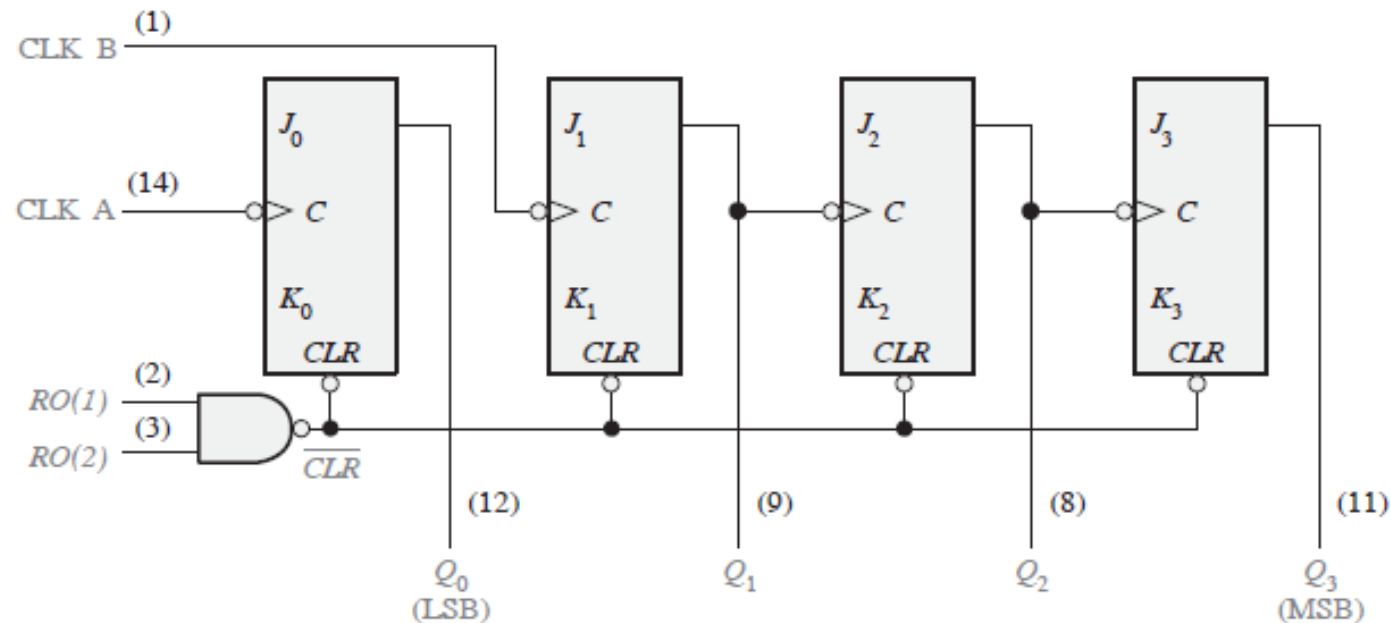


(a)

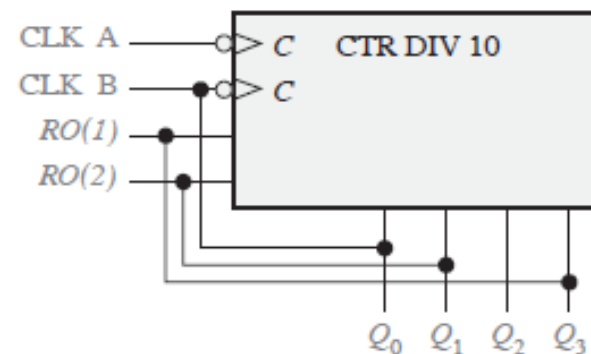


	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
12	0	0	0	0

# Contador asíncrono de 4 bits 74LS93



(a) 74LS93 conectado como un contador de módulo 16



(b) 74LS93 conectado como un contador de décadas

**HASTA LA PROXIMA**