



SISTEMAS DIGITALES I

SDU115

UNIDAD III

**CIRCUITOS COMBINACIONALES DE MEDIANA ESCALA DE
INTEGRACIÓN -MSI**

SISTEMAS DIGITALES I

SDU115

Multiplexores y demultiplexores.

Objetivos de Unidad

Implementar sistemas digitales combinacionales, de mediana complejidad utilizando bloques lógicos funcionales de mediana escala de integración (MSI).

Agenda

- ✓ Multiplexores construcción y operación
- ✓ Multiplexores Aplicaciones.
- ✓ Demultiplexores construcción y operación

OBJETIVO

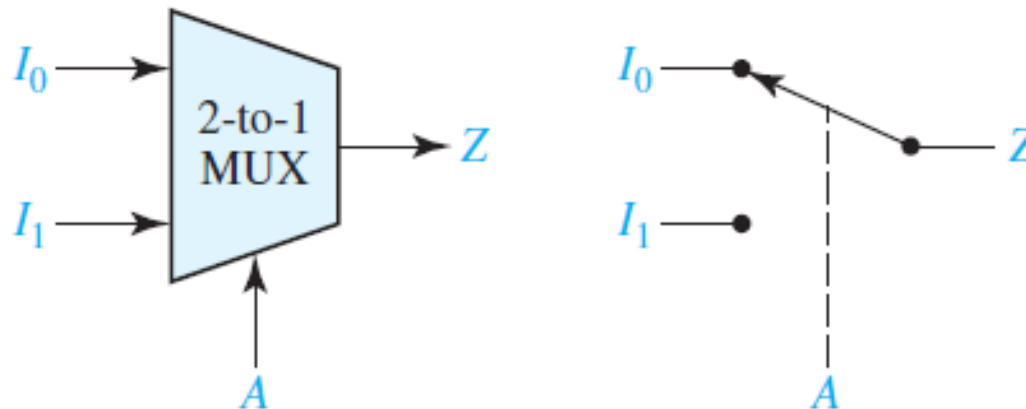
Identificar la estructura y función lógica de los Multiplexores y demultiplexores, por medio de las compuertas que los forman, así como, la conexión en cascada y la implementación de funciones lógicas usando multiplexores.

Multiplexores

Se conocen también como Selectores de Datos

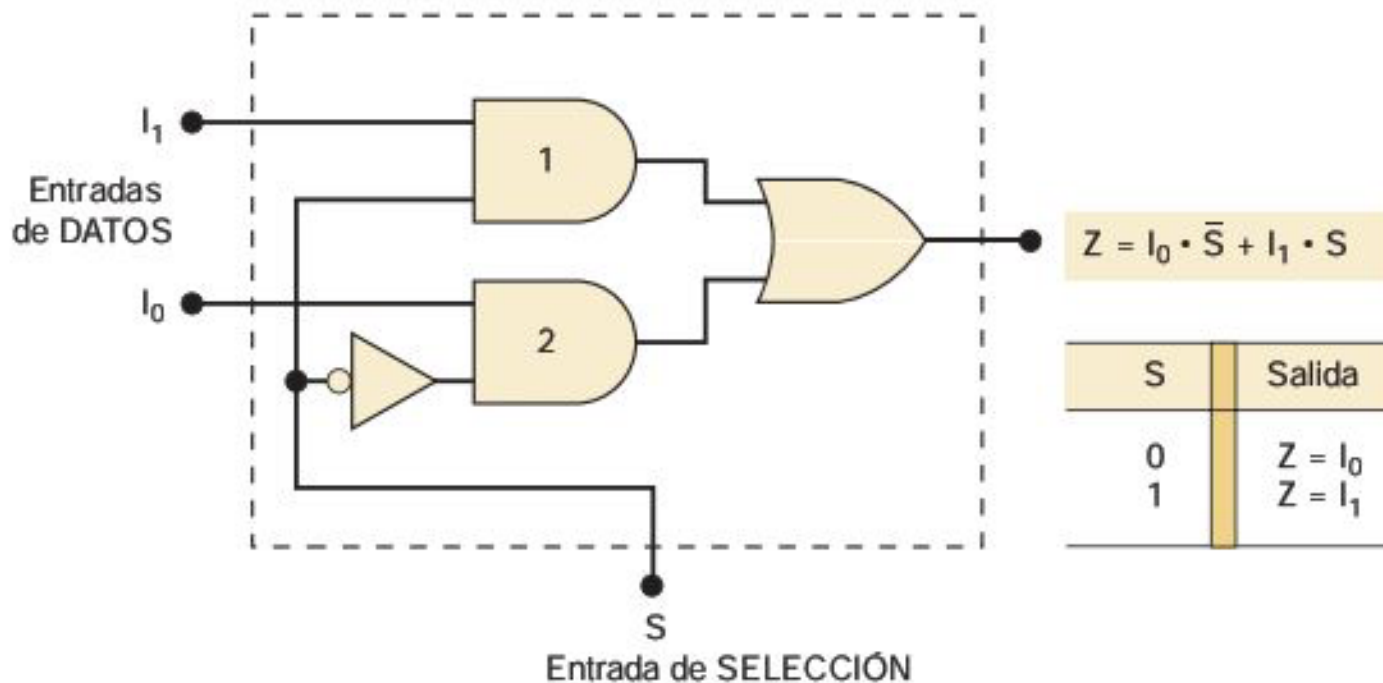
Tienen " 2^N " entradas de datos de " B " bits, 1 salida de B bits, y " N " variables de entrada de selección.

En las variables de selección se escribe el número de la entrada que se elige para que aparezca en la salida.



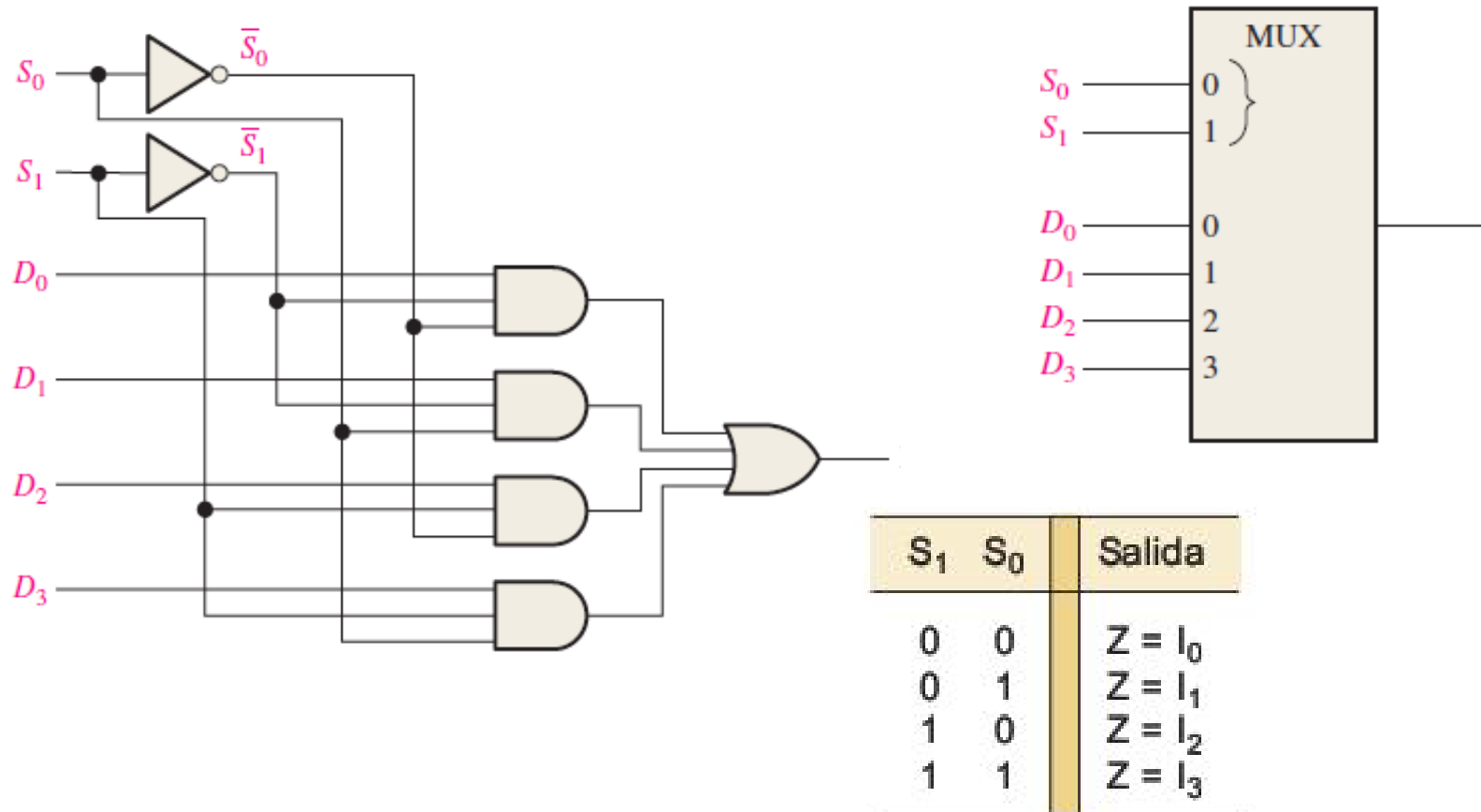
Multiplexores

El multiplexor de 2 a 1, de la figura anterior se construye en forma digital así:



Multiplexor de 4 a 1

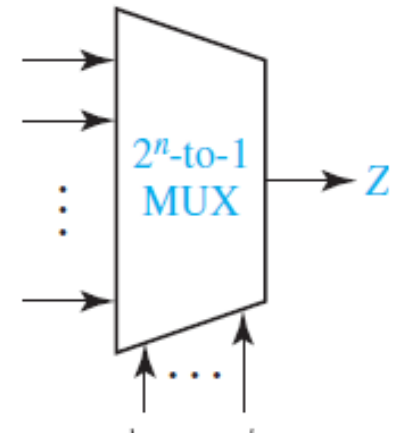
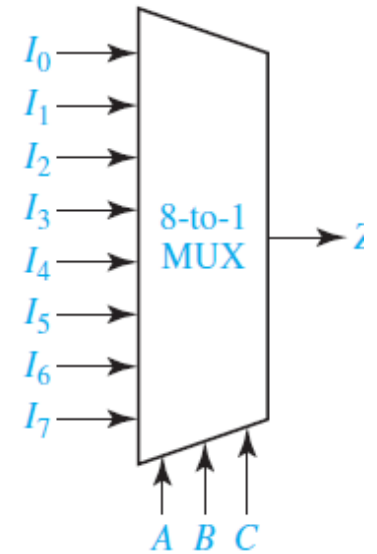
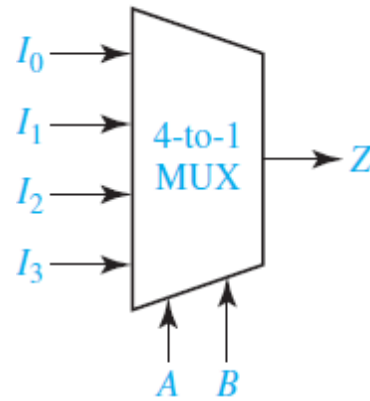
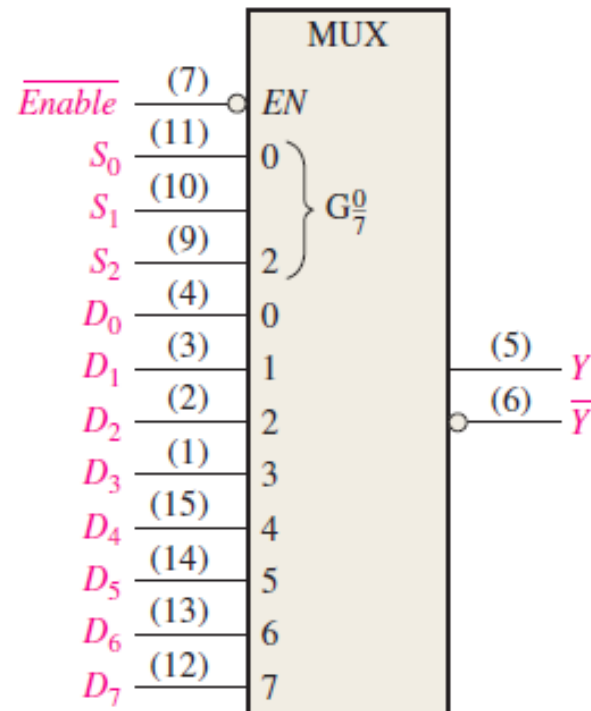
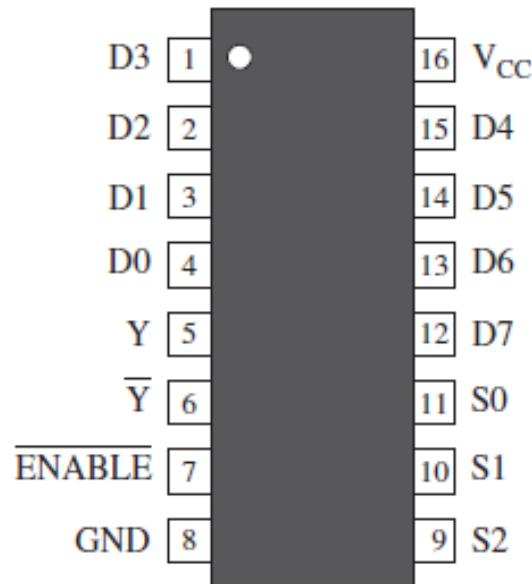
Se presenta un multiplexor de 4 a 1:



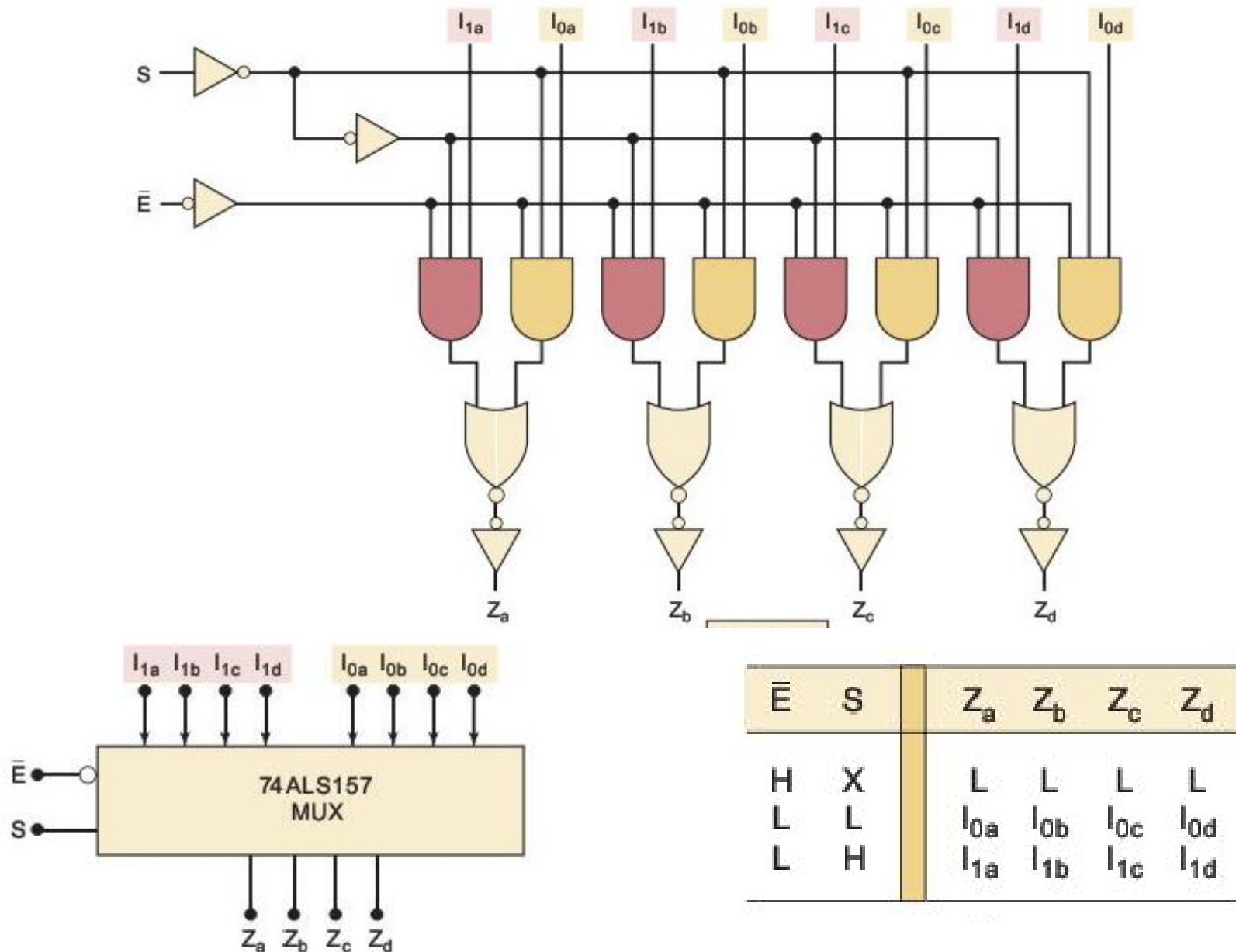
$$Z = \bar{S}_1 \cdot \bar{S}_0 \cdot I_0 + \bar{S}_1 \cdot S_0 \cdot I_1 + S_1 \cdot \bar{S}_0 \cdot I_2 + S_1 \cdot S_0 \cdot I_3$$

Multiplexor de 8 a 1

$$Z = \sum_{k=0}^{2^n-1} m_k I_k$$

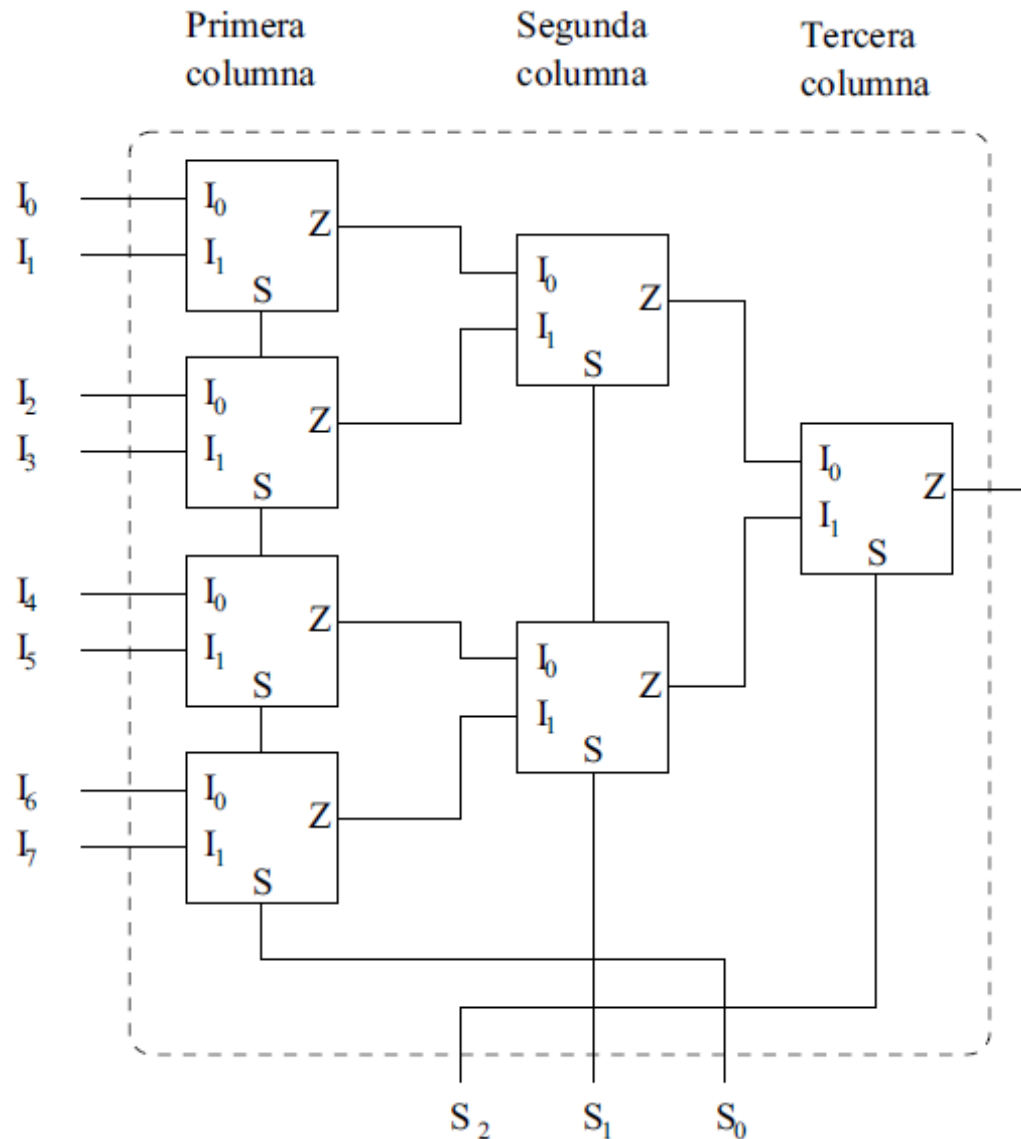


Multiplexor de 2 fuentes de 4 bits c/f



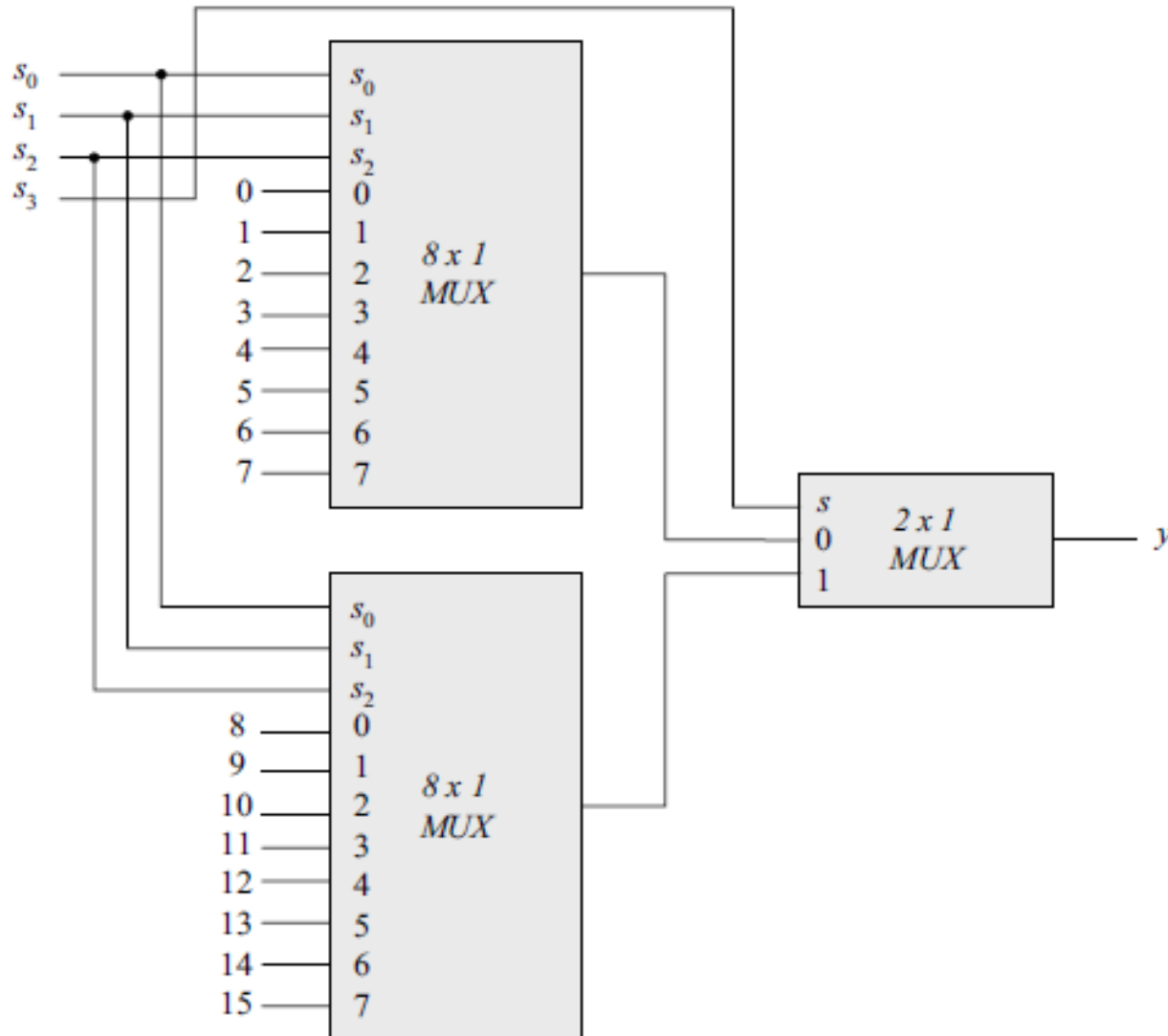
Multiplexores en cascada

Multiplexor de 8 a 1, hecho con Multiplexores de 2 a 1.



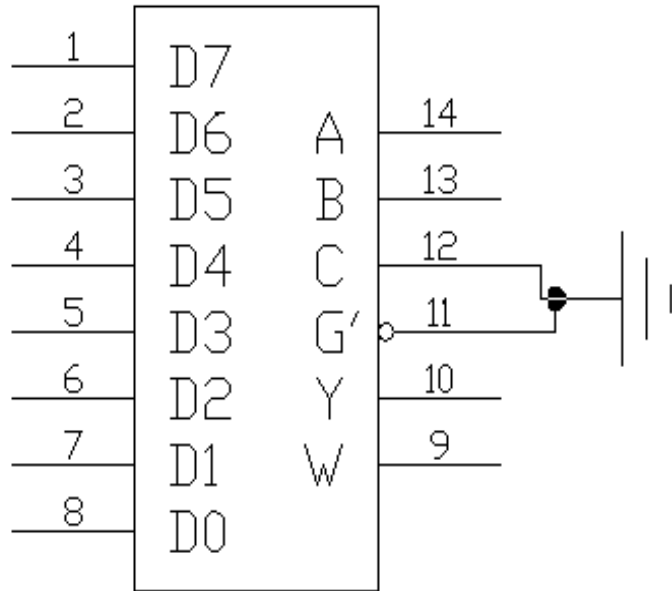
Multiplexores en cascada

Multiplexor de 16 a 1, hecho con Multiplexores de 8 a 1.



Multiplexor de 8 a 1, trabajando de 4 a 1

Tres formas posibles

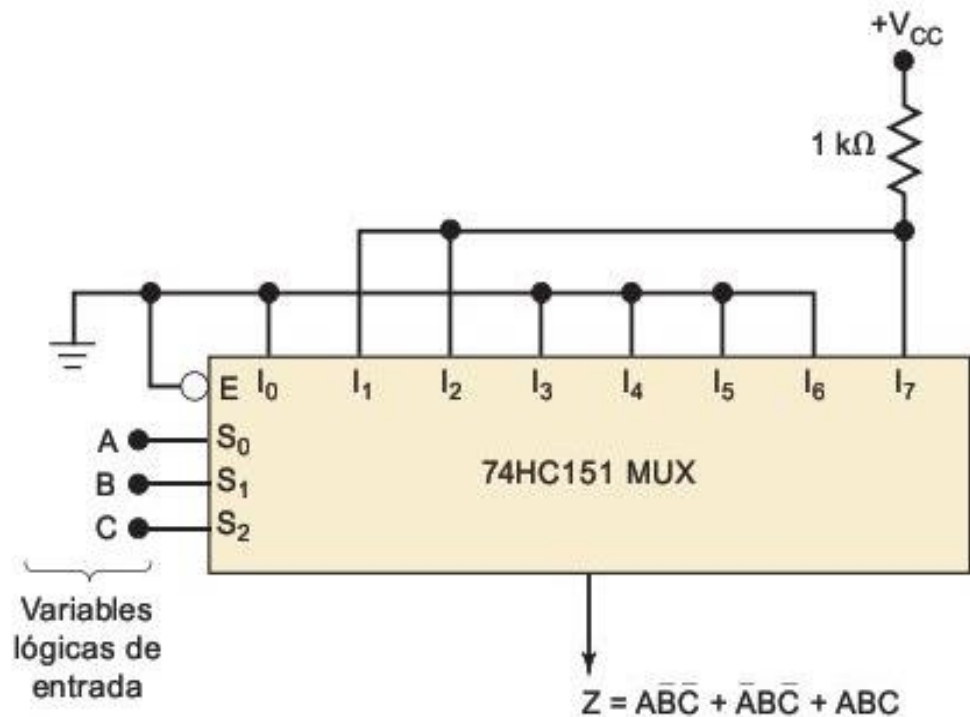


A	B	C	Y
0	0	0	D0
0	1	0	D2
1	0	0	D4
1	1	0	D6
A	B	C	Y
1	0	0	D4
1	0	1	D5
1	1	0	D6
1	1	1	D7
A	B	C	Y
0	0	0	D0
0	1	1	D3
1	0	0	D4
1	1	1	D7

Funciones lógicas con Multiplexores

a) Variables de entrada de la función lógica, igual a las variables de selección del multiplexor.

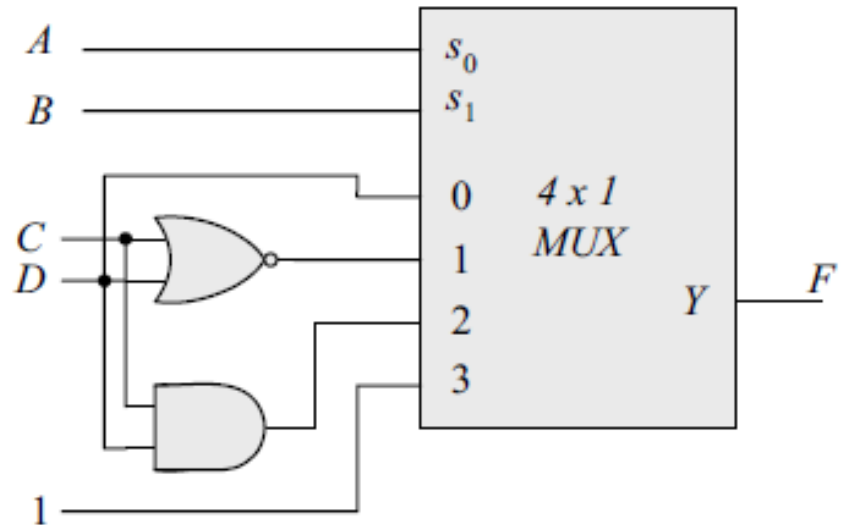
C	B	A	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1



Funciones lógicas con Multiplexores

b) Variables de entrada de la función lógica, mayor a las variables de selección del multiplexor.

<i>Inputs</i> <i>ABCD</i>	<i>F</i>	
0000	0	
0001	1	$AB = 00$
0010	0	$F = D$
0011	1	
0100	1	$AB = 01$
0101	0	$F = C'D'$
0110	0	$= (C + D)'$
0111	0	
1000	0	
1001	0	$AB = 10$
1010	0	$F = CD$
1011	1	
1100	1	$AB = 11$
1101	1	$F = 1$
1110	1	
1111	1	

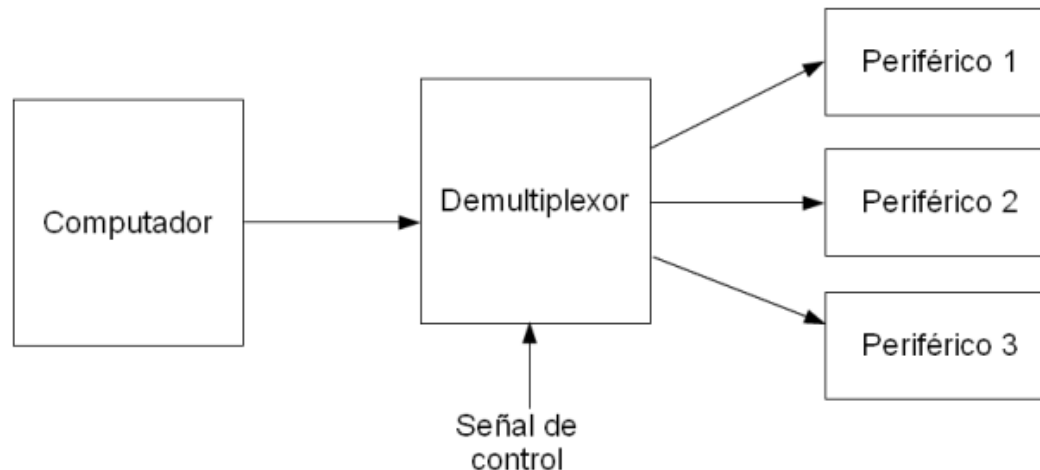


Demultiplexores

Se conocen también como Distribuidores de Datos

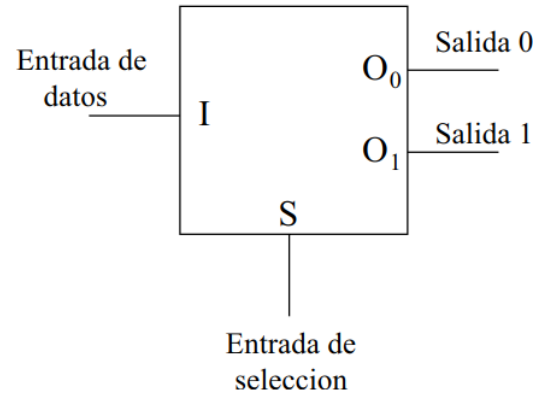
Tienen “ 2^N ” salidas de datos de “B” bits, 1 entrada de B bits, y “N” variables de entrada de selección.

En las variables de selección se escribe el número de la salida que se elige para que aparezca lo que hay en la entrada.



Demultiplexores de 1 a 2 y de 1 a 4

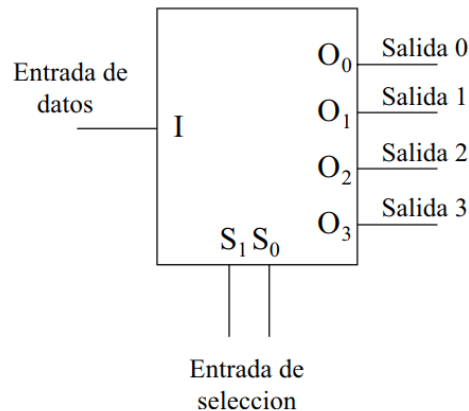
S	I	O_1	O_0
0	0	0	0
0	1	0	1
1	0	0	0
1	1	1	0



$$O_1 = S \cdot I$$

$$O_0 = \overline{S} \cdot I$$

S_1	S_0	O_3	O_2	O_1	O_0
0	0	0	0	0	I
0	1	0	0	I	0
1	0	0	I	0	0
1	1	I	0	0	0



$$O_0 = \overline{S_1} \cdot \overline{S_0} \cdot I$$

$$O_1 = \overline{S_1} \cdot S_0 \cdot I$$

$$O_2 = S_1 \cdot \overline{S_0} \cdot I$$

$$O_3 = S_1 \cdot S_0 \cdot I$$

Demultiplexor de 1 a 4

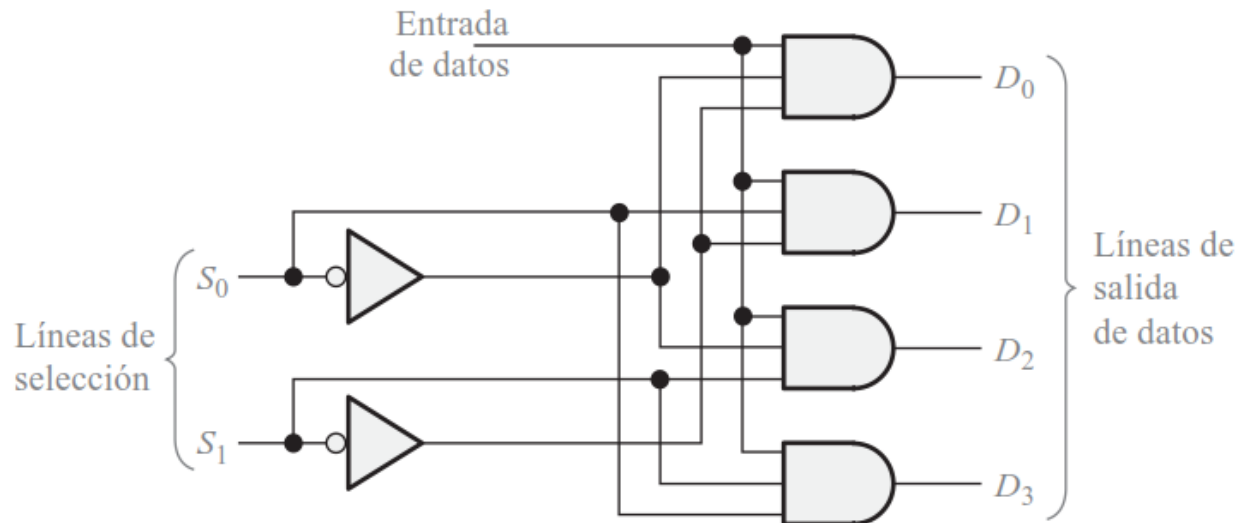
S_1	S_0	O_3	O_2	O_1	O_0
0	0	0	0	0	I
0	1	0	0	I	0
1	0	0	I	0	0
1	1	I	0	0	0

$$O_0 = \overline{S_1} \cdot \overline{S_0} \cdot I$$

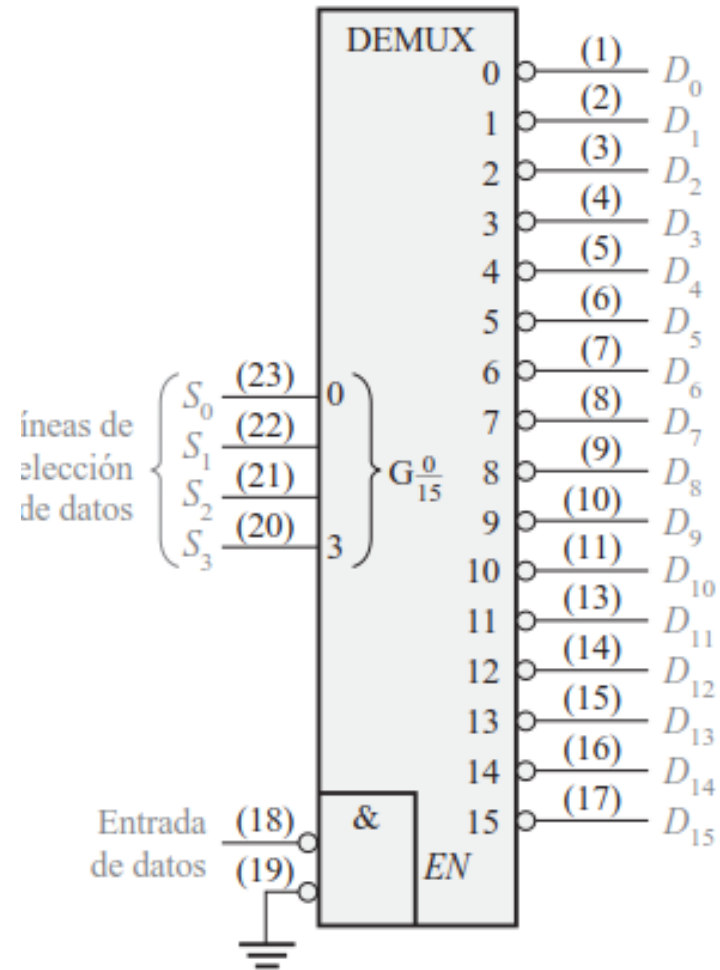
$$O_1 = \overline{S_1} \cdot S_0 \cdot I$$

$$O_2 = S_1 \cdot \overline{S_0} \cdot I$$

$$O_3 = S_1 \cdot S_0 \cdot I$$



Circuitos integrados de Demultiplexores



HASTA LA PROXIMA