



# **SISTEMAS DIGITALES I**

## **SDU115**

### **UNIDAD III**

**CIRCUITOS COMBINACIONALES DE MEDIANA ESCALA DE  
INTEGRACIÓN -MSI**

# **SISTEMAS DIGITALES I**

## **SDU115**

Decodificadores y codificadores.

# Objetivos de la Unidad

Implementar sistemas digitales combinacionales, de mediana complejidad utilizando bloques lógicos funcionales de mediana escala de integración (MSI).

# Agenda

- ✓ **Decodificadores construcción y operación**
- ✓ **Aplicaciones**
- ✓ **Codificadores operación.**

# OBJETIVO

Identificar la estructura y función lógica de los decodificadores y codificadores, por medio de las compuertas que los forman, así como, la generación de mintérminos y maxtérminos, la conexión en cascada y la implementación de funciones lógicas usando decodificadores.

# Decodificadores

Tienen “n” entradas y  $2^N$  salidas, una salida para cada combinación de las variables de entrada.

Si se escribe una combinación de las variables de entrada, se activa su correspondiente salida, las otras quedarán desactivadas.

Si una salida se activa con “1”, las otras estarán en “0”, el decodificador se llama de “salidas activas altas o generador de mintérminos.

Si una salida se activa con “0”, las otras estarán en “1”, el decodificador se llama de “salidas activas bajas o generador de maxtérminos.

# Salidas activas altas

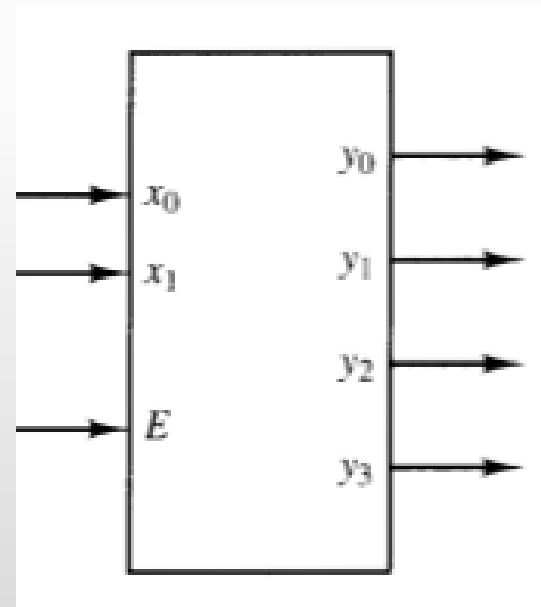
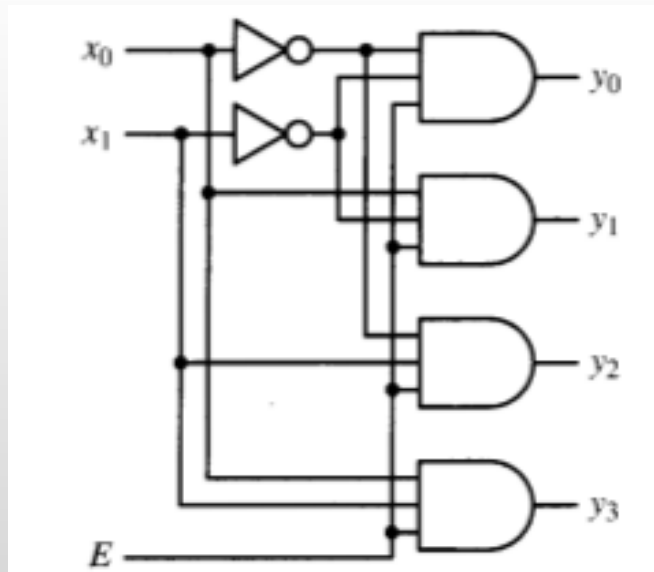
E	A	B	Y0	Y1	Y2	Y3
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

$$Y0 = \bar{A} \bar{B}$$

$$Y1 = \bar{A} B$$

$$Y2 = A \bar{B}$$

$$Y3 = AB$$



# Salidas activas bajas

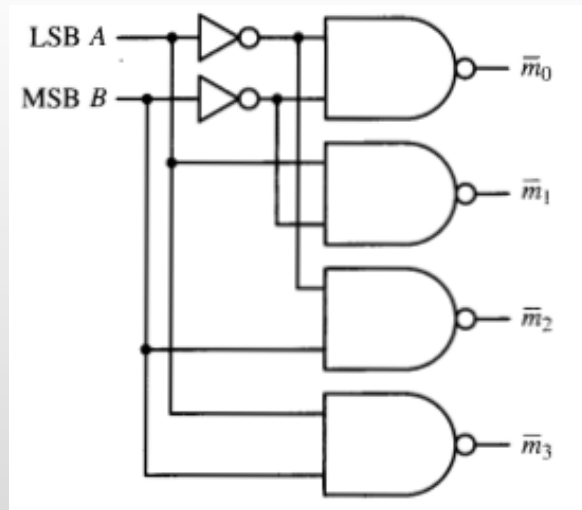
$E$	$A$	$B$	$D_0$	$D_1$	$D_2$	$D_3$
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

$$Y0 = A + B$$

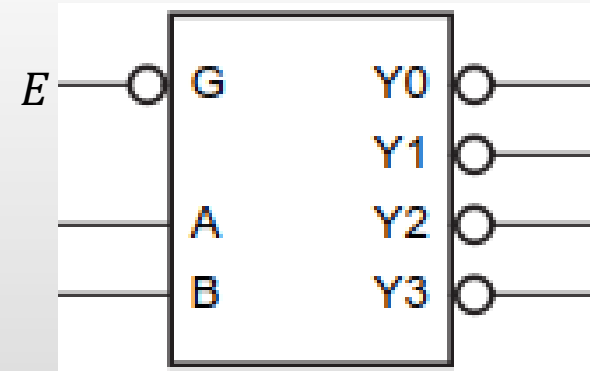
$$Y1 = A + \bar{B}$$

$$Y2 = \bar{A} + B$$

$$Y3 = \bar{A} + \bar{B}$$



$E$

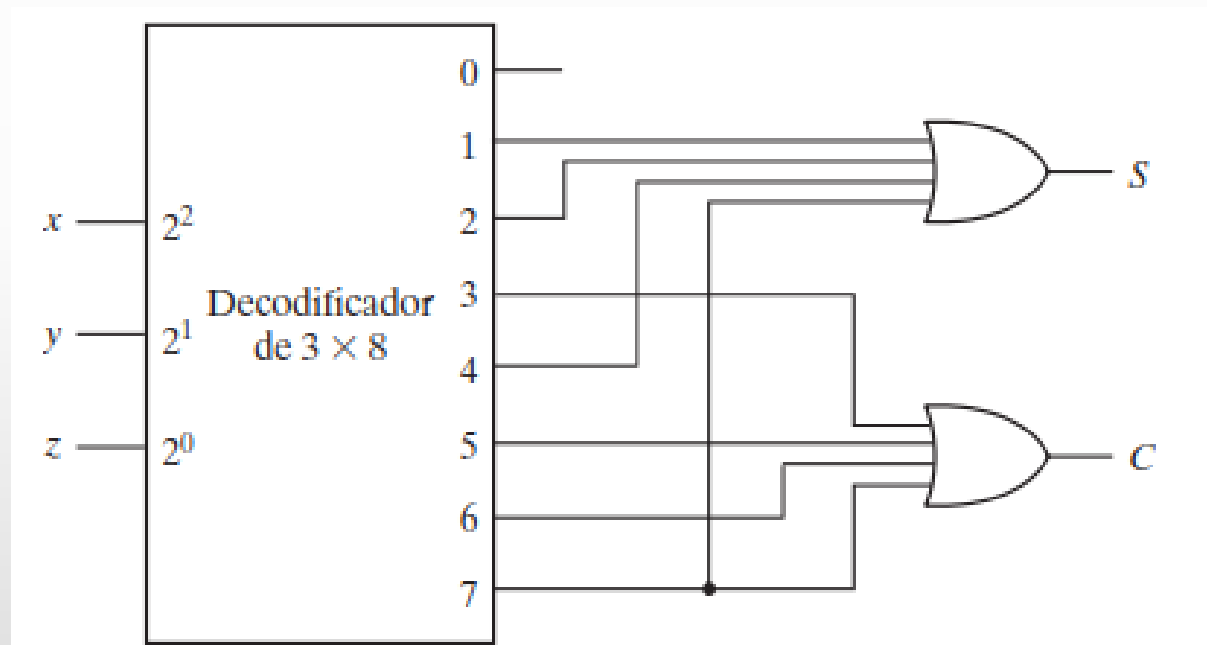




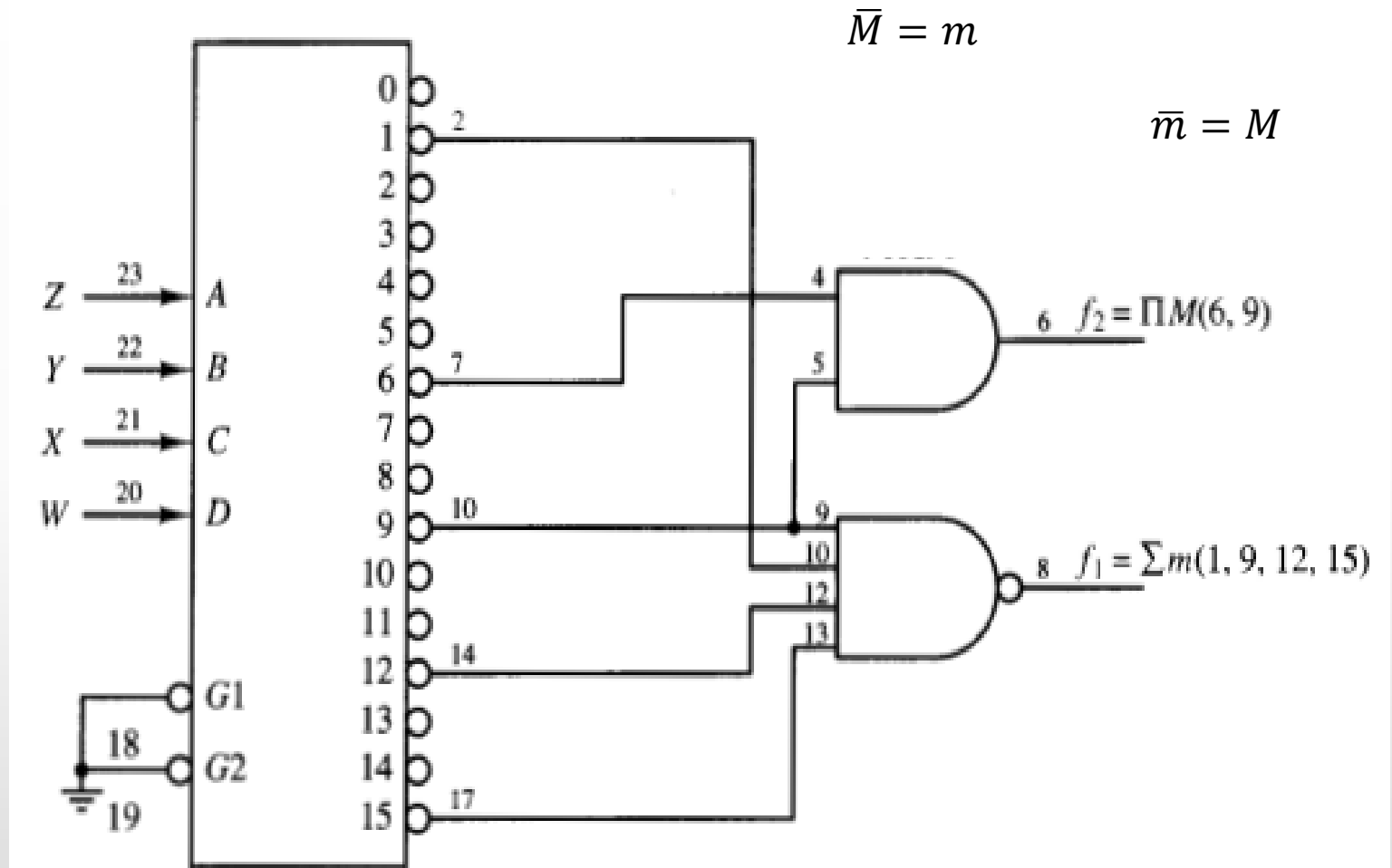
# Implementación de funciones lógicas

$$S(x, y, z) = \sum(1, 2, 4, 7)$$

$$C(x, y, z) = \sum(3, 5, 6, 7)$$

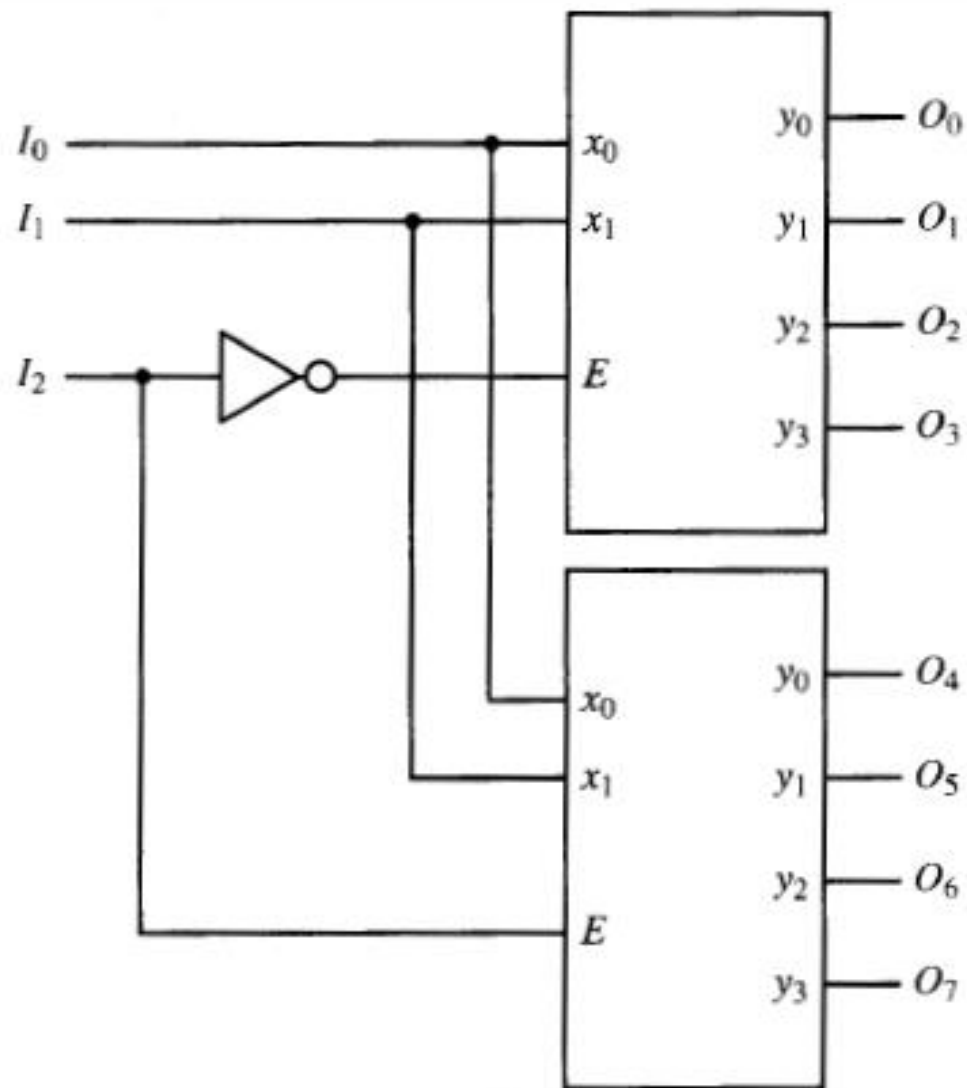


# Funciones lógicas en decodificador



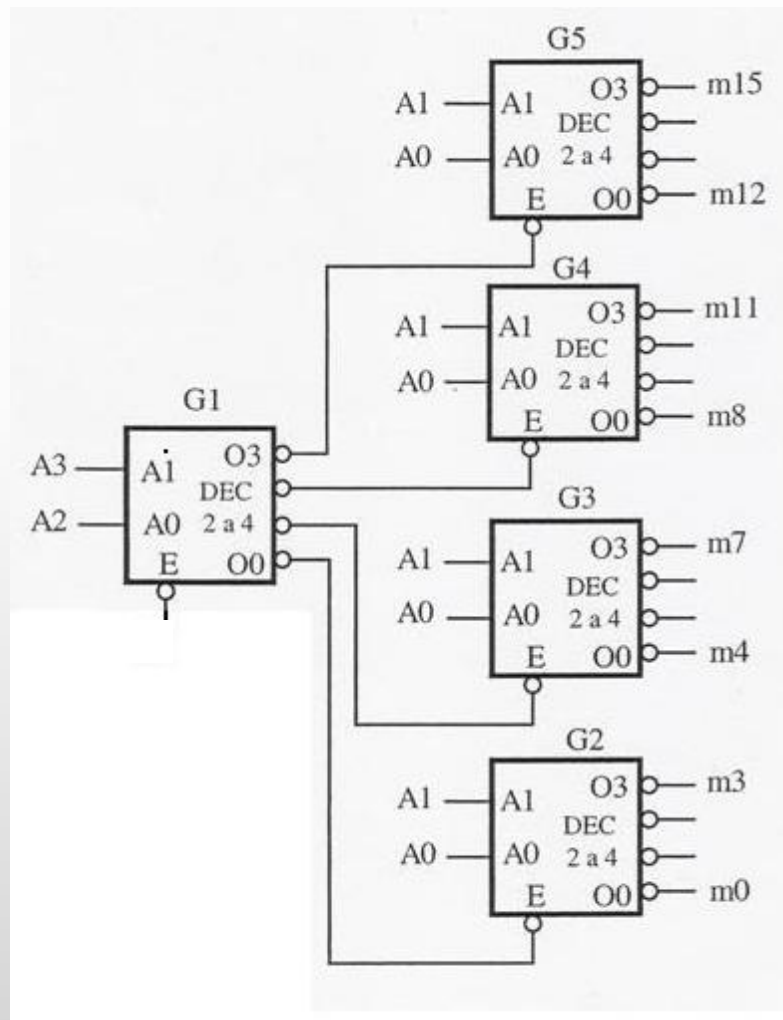
$$\overline{M1.M9.M12.M15} = \overline{M1} + \overline{M9} + \overline{M12} + \overline{M15} = m1 + m9 + m12 + m15$$

# Decodificadores en cascada



# Decodificadores en cascada

Con decodificadores de 2 a 4, hacen 1 de 4 a 16.

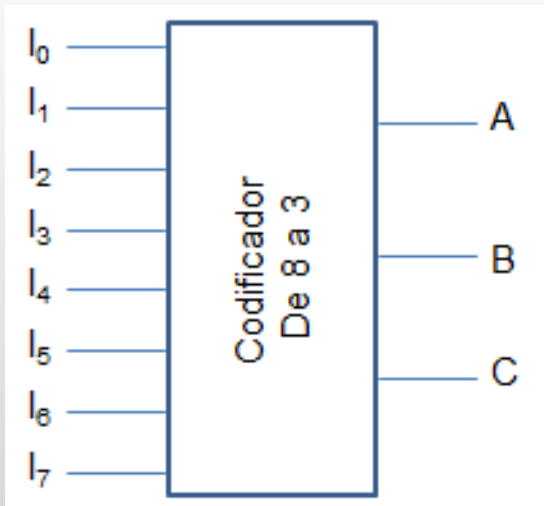


# Codificadores

Tienen “ $2^N$ ” entradas y N salidas, una combinación de salida para cada línea de entrada.

Si se activa una línea de entrada, se produce en las salidas la correspondiente representación en binario de N Bits, del número de la entrada activada.

El codificador de prioridad toma siempre la mayor de las entradas presionadas.

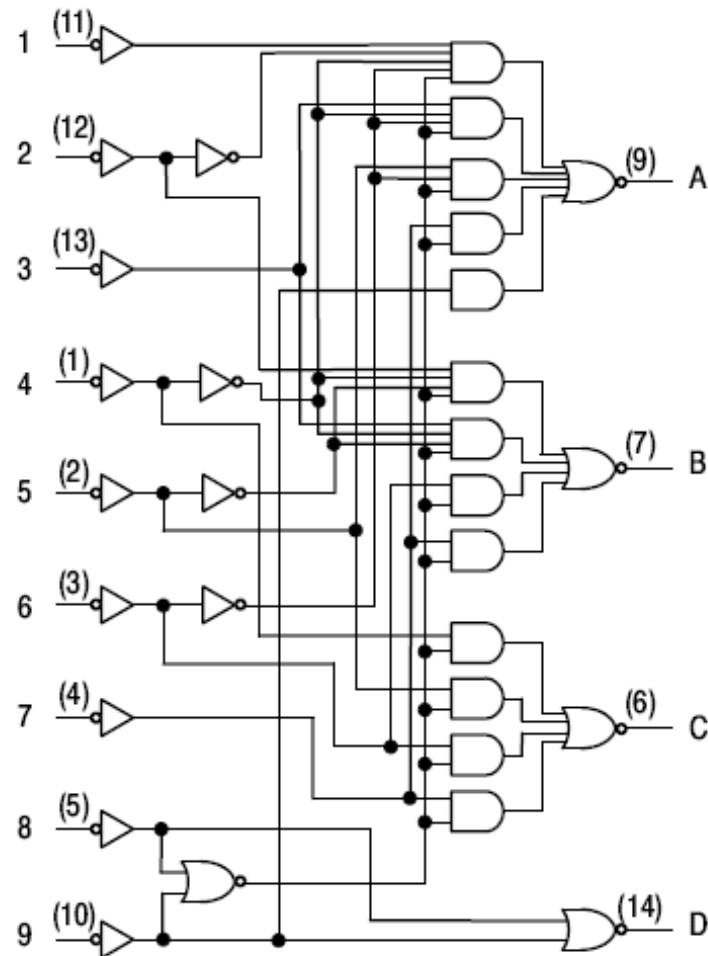


$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	A	B	C
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0
X	1	0	0	0	0	0	0	0	0	1
X	X	1	0	0	0	0	0	0	1	0
X	X	X	1	0	0	0	0	0	1	1
X	X	X	X	1	0	0	0	1	0	0
X	X	X	X	X	1	0	0	1	0	1
X	X	X	X	X	X	1	0	1	1	0
X	X	X	X	X	X	X	1	1	1	1

# Codificador Circuitería interna.

Un decodificador de 10 líneas de entrada al código 8421.

Cada línea genera los dígitos del 0 al 9. En el mercado se encuentra como 74147



**HASTA LA PROXIMA**