

Lab2 Report

資工四 胡材溢 b08208032

● Module Explanation

基於上次的作業，這次修改及新增了以下模組。

1. Branch_predictor

讀入 branch signal，判斷 EX stage 是否在執行 beq 的運算。如果是，則藉由讀入 Zero 與 Prediction 檢查預測與結果是否相符，以此更新 branch predictor 的 state。輸出當前的 prediction state。

2. Revisor

承 1，若發現預測與結果不相符時，則要 flush IF/ID、ID/EX 兩個 pipeline，與此同時還要將正確的 pc 傳回 PC module 裡。Revisor module 讀入 branch_i、zero_i、predict_i，分別代表 EX stage 是否在執行 beq，計算後是否為 0，以及先前預測的結果。輸出 flush_o 代表是否要 flush pipelines。

3. ID_EX

與上次不同，ID_EX 多存了 pc 的資訊。若預測錯誤，則可以將正確的 pc 傳回 PC module。除此之外，讀入 flush_i，確保在錯誤發生時有 flush ID/EX。

4. Control

有修改的地方是 ALUOp。將 opcode 為 0110011 分為一類，輸出 2'b00。opcode 為 0010011 分為一類，輸出 2'b01。lw、sw 因為都是要用 ADD 的功能，因此分為一類輸出 2'b10。若 instruction 是 beq 則輸出 2'b11。

5. ALUControl & ALU

根據 4 的 opcode，執行相對應的運算。在 ALU 中，將 data1_i、data2_i、data_o 都設為 signed，以符合 sample output。

- **Difficulties Encountered and Solutions in This Lab**

這次不像上次有直接給 `datapath` 的圖可以寫，有些實作的細節要自己想才行。除此之外，許多地方的實作也都沒有規範，例如 ALU 的 `data_o` 要用 `signed`，沒有在 `spec` 定義好。比起上次這次也更難 `debug`，要把上次的東西拿來這次用，有些還需要修改，很容易大亂。

- **Development Environment**

這次的作業我使用的作業系統為 `macOS`，在 `Visual Studio Code` 上寫這次作業的程式，並下載了 `Verilog-HDL/SystemVerilog/Bluespec SystemVerilog` 延伸套件作為輔助。編譯與執行都直接使用提供的 `Makefile` 來跑。