_					•	- 1	
(Organização	e	Arc	untetura	de	Processado	res
_	n gainzação	•	1110	quitetara	uc	TIOCCBBuar	JI C D

P2 – Exercícios

1. Seria possível conviver com um processador utilizando apenas instruções do tipo JAL, sem a instrução do tipo J? Existe alguma consequência indesejada? E o inverso, é possível conviver apenas com instruções do tipo J e não JAL?

2. Porque uma instrução do tipo JAL deve ser utilizada em uma chamada à função, ao invés de uma instrução do tipo J? O que uma instrução realiza a mais que a outra?

3. Quais são os valores dos sinais de controle necessários para executar a instrução move \$t3, \$t5 na organização do MIPS monociclo apresentada em aula, sabendo que esta é uma pseudo-instrução implementada pela instrução addu \$t3, \$zero, \$t5?

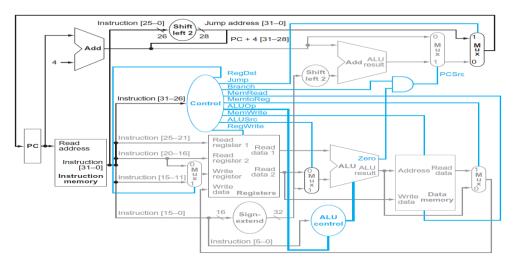
addu rd, rs, rt	0	rs	rt	rd	0	0x21
	6	5	5	5	5	6
RegDst	=	=]	Bran	ch	
Jump	=	=]	MemR	ead	

4. Assinale qual das instruções a seguir produz o conjunto de sinais de controle abaixo na organização do MIPS monociclo apresentada em aula.

```
RegDst
                                                             MemtoReg
                                                                                                                = 0
                   = X
                               Branch
                                                  = 1
                                                                                 = X
                                                                                            MemWrite
                                                             RegWrite
Jump
                   = 0
                              MemRead
                                                  = X
                                                                                 = 0
                                                                                            ALUSrc
                                                                                                                = X
                                                                                                         rd
                                                                                                                     0x20
                                  0
                                                    8
                                                                  ) add rd, rs, rt
                                  15
                                                                                                         5
                                                                                                                     6
                                 rs
                                                                                                                label
                                                label
     ) bgez rs, label
                                                                  ) bne rs, rt, label
                                                                                                    5
                                                                                                          16
                                                                                              0
                             target
                                                                                                        rd
                                                                                                             shamt
     ) jal target
                                                                    sll rd, rt, shamt
                             26
```

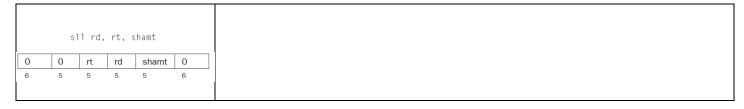
5. Ilustre sobre a figura completa do MIPS todos os caminhos de dados e sinais de controle necessários para o funcionamento da instrução add (soma à registrador)

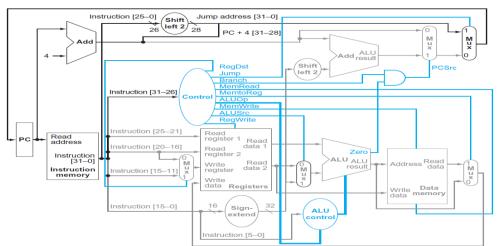




6. Analise se organização do MIPS monociclo apresentada em aula dá suporte à execução da instrução s11 (e.g., s11 \$t3, \$t5,

5). Caso não tenha suporte, diga porque, e sugira suscintamente uma solução.





7. Descreva o que caracteriza uma organização multiciclo, comparando com as organizações monociclo e pipeline.

8. Sabendo das características de cada classe de instrução e dos estágios que compõem o MIPS básico (B: Busca, D: Decodificação; E: Execução, M: Memória de dados e W: Write back), diga quais estágios que são executados por todas as instruções, e quais são executados por instruções das classes: (i) à registrador; (ii) desvio condicional; (iii) store e (iv) load.

9. Apresenta a fórmula da métrica Ciclo por Instrução (CPI), considerando número de instruções e CPIs de classes de instruções de uma organização multiciclo.

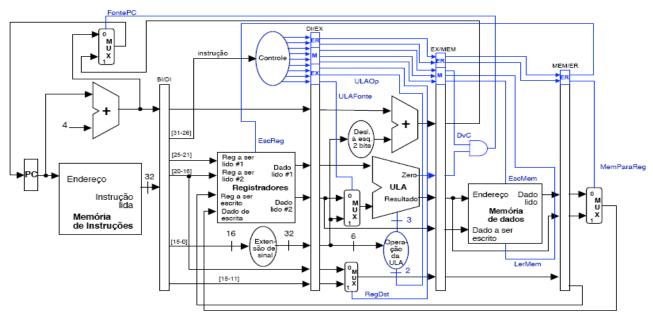
10. Aplique a fórmula obtida acima no cálculo da CPI nos programas P1 e P2 a serem executados na organização multiciclo com as CPIs de classes de instrução descritas abaixo.
$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$
B 4 200 200 C 3 300 300 D 2 400 300
11. Discuta aspectos de dissipação de potência e consumo de energia em máquinas monociclo e pipeline.
12. Com relação à organização pipeline, descreva o que é (i) estágio, (ii) barreira temporal, (iii) ciclo, (iv) latência, (v) balanceamento e (vi) vazão.
13. Fale porque o pipeline pode ser considerado uma técnica transparente para o programador de alto nível. O que isto tem a ver com a ideia de dar suporte à código legado?
14. Porque um pipeline executando um número muito grande de instruções sem dependência tende a ter uma CPI próxima a 1?
15. O que é caminho crítico para um circuito sequencial? O que ele tem a ver com a definição do relógio de operação do circuito?

16. O que pode acontecer se a frequência de relógio não respeitar o tempo definido pelo caminho crítico?

17. Diga quais são os três tipos de conflito que um pipeline básico tem. Descreva suscintamente cada um deles.

18. Porque na implementação do MIPS vista em aula, o conflito de controle de uma instrução de desvio incondicional é resolvido no segundo estágio, enquanto que o conflito de uma instrução condicional requer passar pelo terceiro estágio?

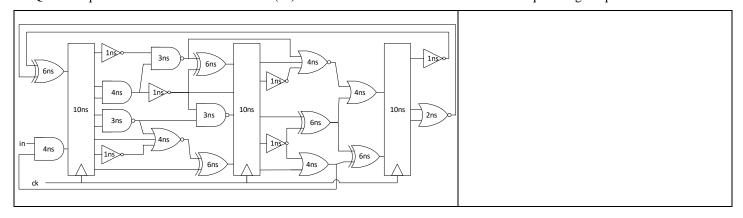
19. Note que a figura abaixo tem as barreiras temporais com diferentes sinais de controle, sendo que estes sinais de controle são reduzidos de uma barreira para outra subsequente. Justifique o porquê desta implementação.



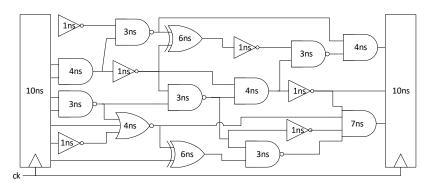
20. Explique porque a abordagem de banco de registradores de dois estágios permite que a leitura dos operandos da instrução I2 ocorra no mesmo ciclo de relógio da escrita dos operandos da instrução I1, sendo que os operandos de I2 são escritos na instrução I1.

21. Uma multiplicação pode ser realizada de forma combinacional ou sequencial, com diversas implementações. Discorra sobre este assunto falando sobre as características prováveis de cada escolha.

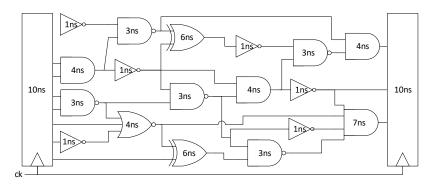
22. Qual a frequência máxima do circuito abaixo (ck) em MHz. Desconsidere atrasos de fios. Marque na figura qual é o caminho crítico.



23. Ajude a um projetista calcular qual a máxima frequência de operação do circuito abaixo. Adicionalmente, é possível alcançar uma frequência de relógio superior a 50MHz com a inserção de mais uma barreira temporal. Caso não seja possível, faça uma proposta de organização com uma barreira temporal que alcance um resultado próximo ao proposto.



PROPOSTA:



24. Diga como é implementada uma bolha e como o uso de bolhas pode resolver os conflitos de dados e controle.

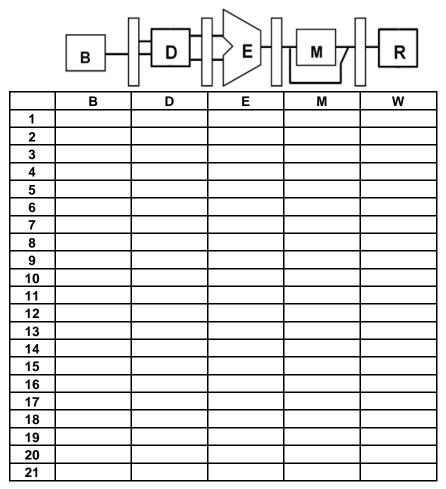
25. Preencha o diagrama com a execução do trecho de código em linguagem de montagem do MIPS. Convenção: X^k [bolha no estágio k], F [Flush], - [estágio sem operação], B [Busca], D [Decodificação], E [Execução], M [Memória de dados], W [Write-back].

Instrução		Ciclo																		
Instrução	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
add \$1, \$2, \$2																				
lw \$2, 100(\$1)																				
sub \$3, \$1, \$1																				
sw \$2, 50(\$1)																				
add \$2, \$3, \$3																				
sub \$2, \$2, \$4																				

26. Ilustre a execução do trecho de código no MIPS pipeline, colocando os estágios (B, D, E, M, W), bolha (X^k – bolha no estágio k) e flush (F) necessários. O código deve ser executado até que todas instruções que estiverem executando alcançarem o último ciclo disponível no quadro. Considere que A e B são vetores de 4 inteiros com endereços de memória 0x100 e 0x200, respectivamente, e que o código inicia com t0=0, t1=x0=0, t2=x0=0, t1=x0=0, t1=x0=0,

la atmus ~ a		Ciclo																			
Instrução	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
ini: bgt \$t0, 4, fim																					
lw \$t3,0(\$t1)																					
addi \$t1, \$t1, 4																					
sw \$t3, 0(\$t2)																					
addi \$t2, \$t2, 4																					
addi \$t0, \$t0, 1																					
j ini																					
fim: li \$v0, 10																					
A[]=		B[]:	=					\$t0=	=		\$t1:	=		\$t	2=			\$t3=	=	\$	v 0=

27. Complemente o exercício acima, apresentando a execução no diagrama temporal abaixo. Ao final, diga quantas bolhas ocorreram devido às dependências de dados e de controle.



Bolhas devido à dependência de dados: Bolhas devido à dependência de controle: