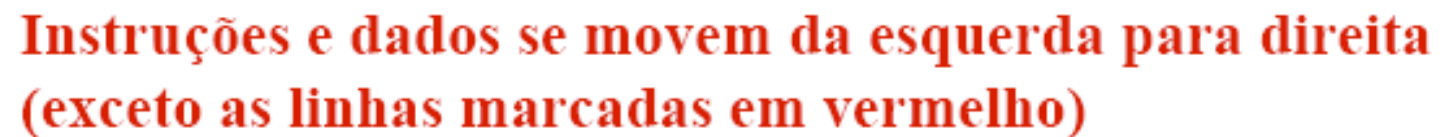


Organização e Arquitetura de Processadores

Organização do MIPS

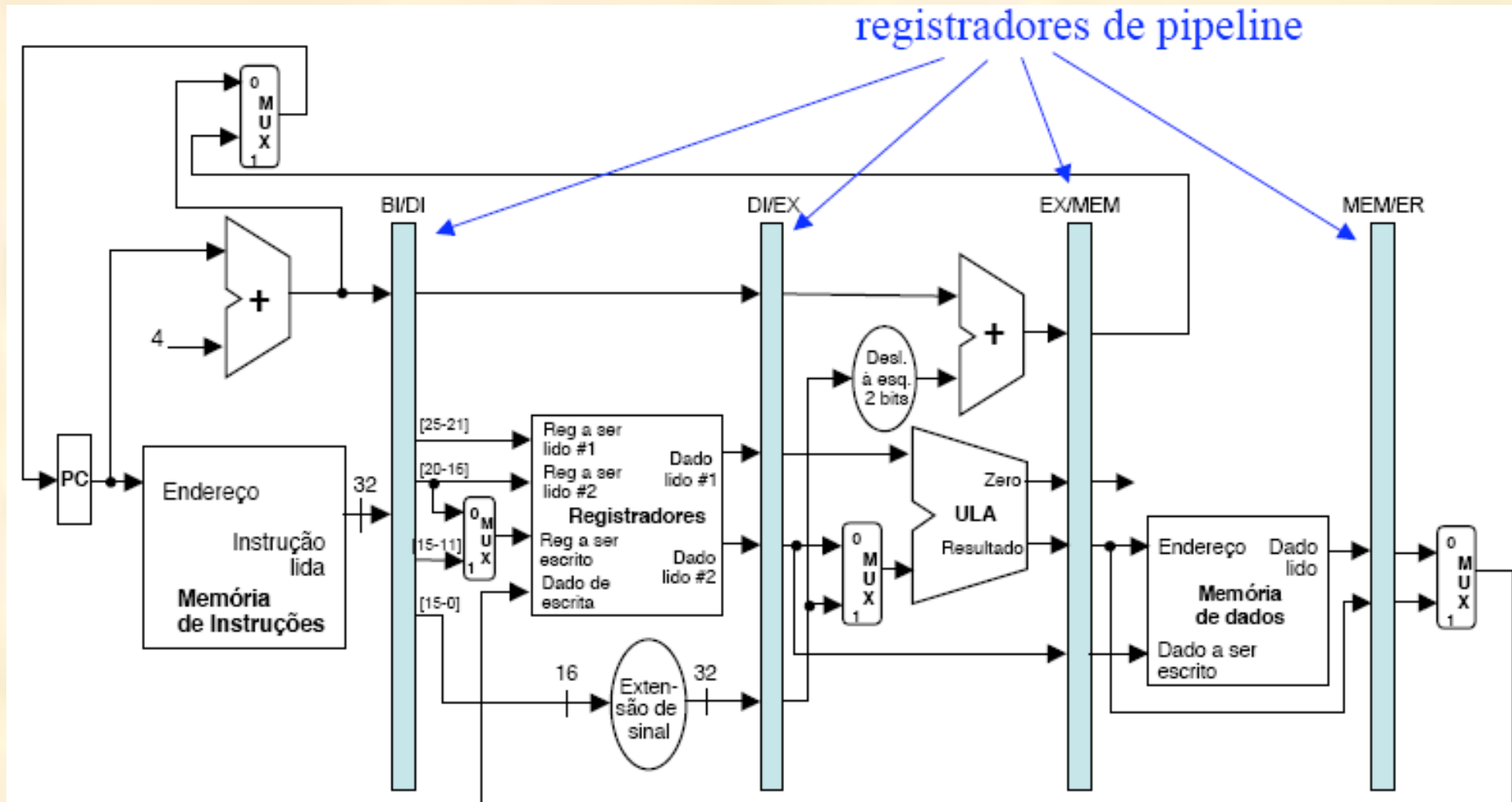
Construção de uma Organização Pipeline

Projeto do Bloco de Dados e Controle



MIPS Pipeline – Barreiras Temporais

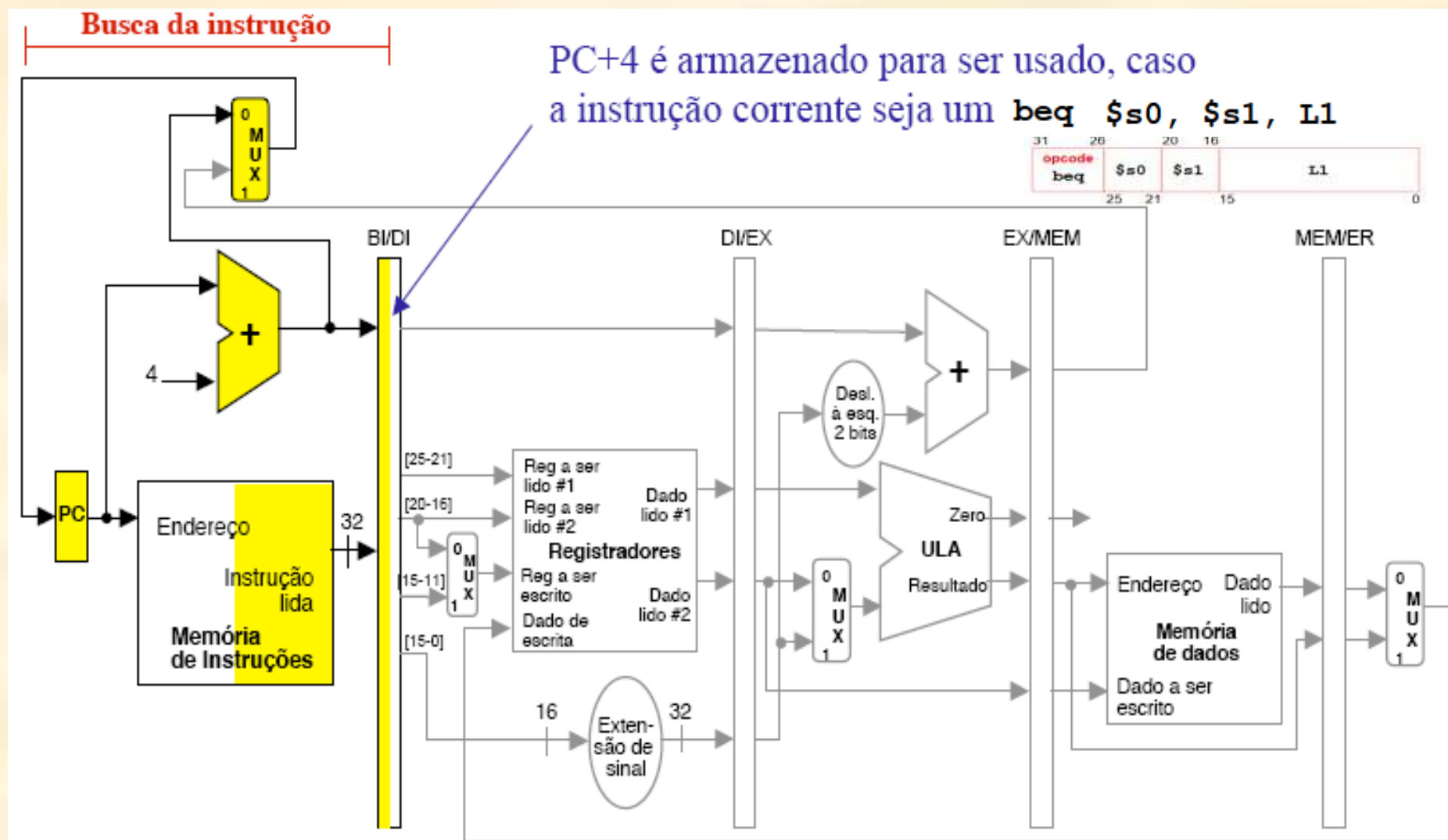
- Para que o pipeline possa ocorrer sincronizado, são inseridas barreiras temporais (registradores)



MIPS Pipeline – Exemplo com Instrução SW

- Busca da instrução SW

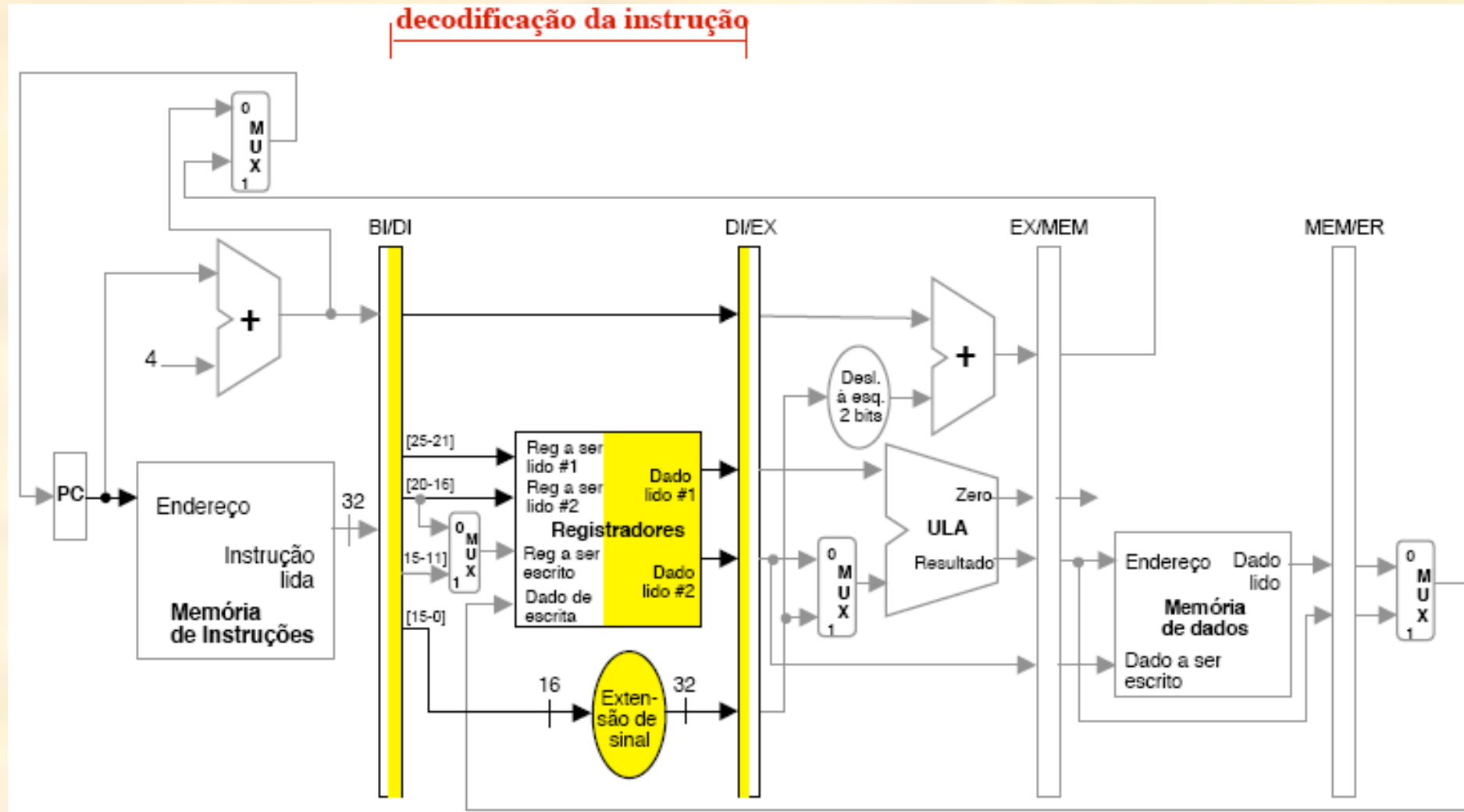
Syntax	SW \$t, offset(\$s)
Encoding	1010 11ss ssst tttt iiii iiii iiii



MIPS Pipeline – Exemplo com Instrução SW

- Decodificação da instrução SW e busca de registradores

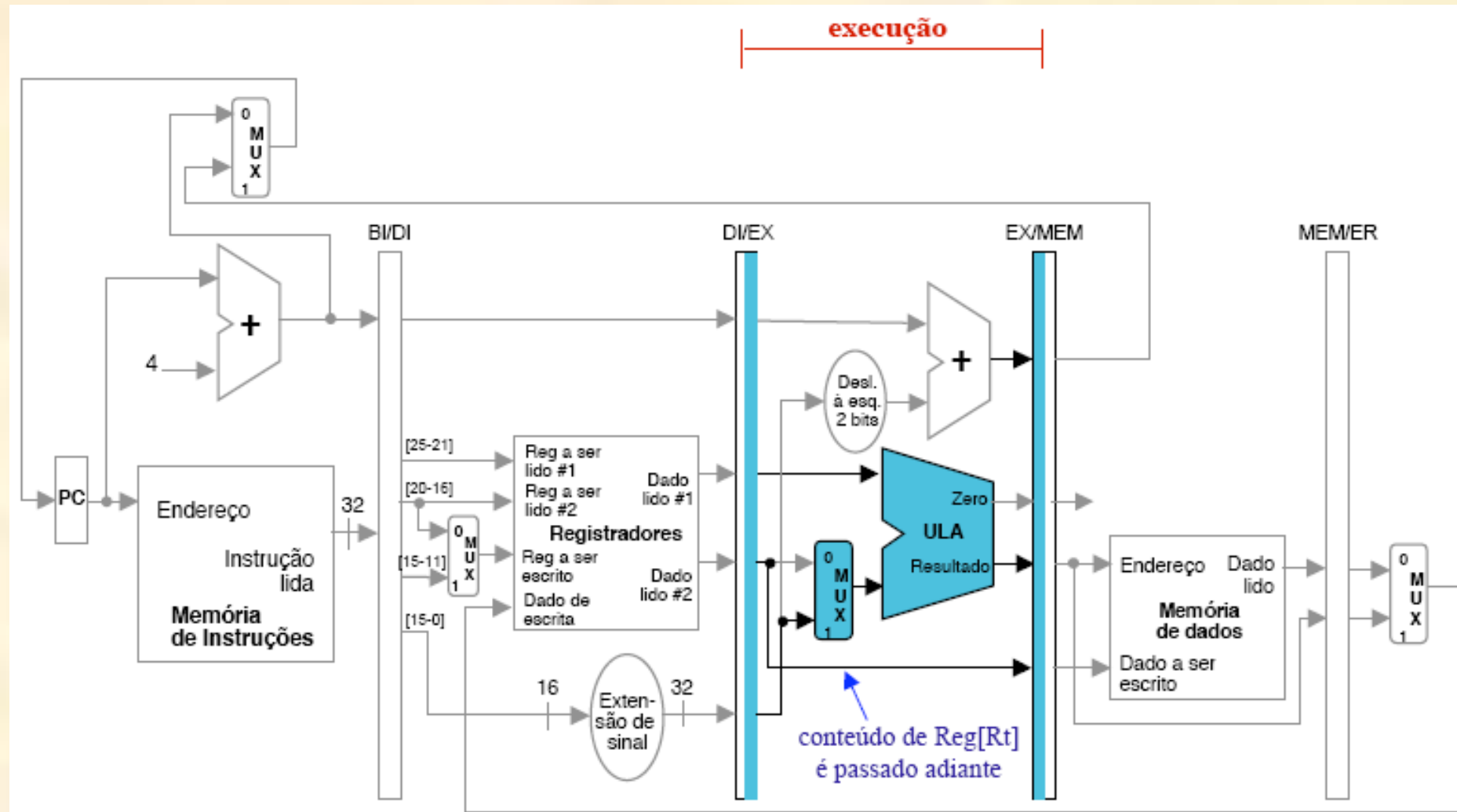
Syntax	SW \$t, offset(\$s)
Encoding	1010 11ss ssst tttt iiii iiii iiii iiii



MIPS Pipeline – Exemplo com Instrução SW

- Execução da instrução SW (cálculo do endereço na memória de dados)

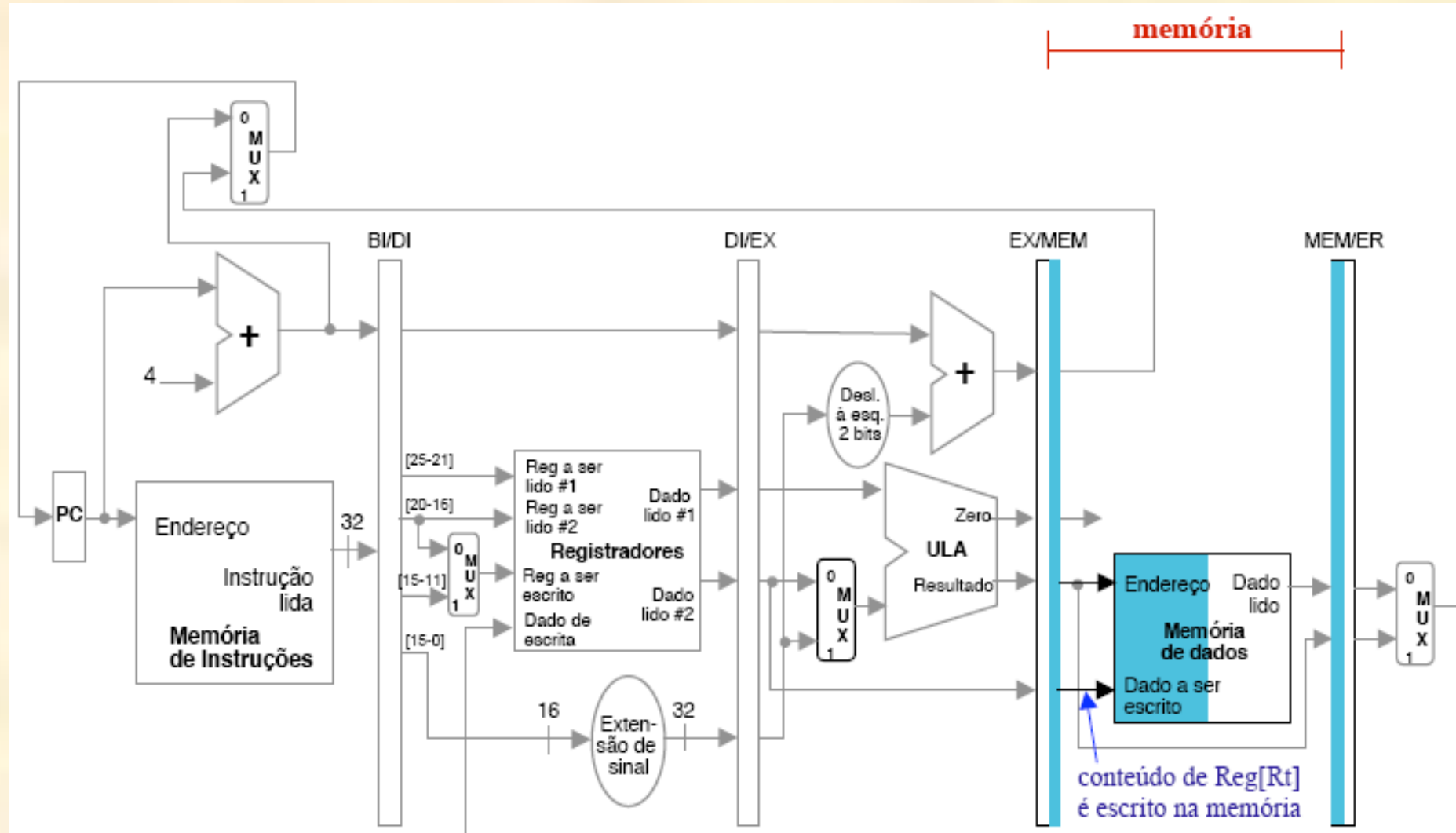
Syntax	SW \$t, offset(\$s)
Encoding	1010 11ss ssst tttt iiii iiii iiii



MIPS Pipeline – Exemplo com Instrução SW

- Escrita do registrador na memória de dados (instrução SW)

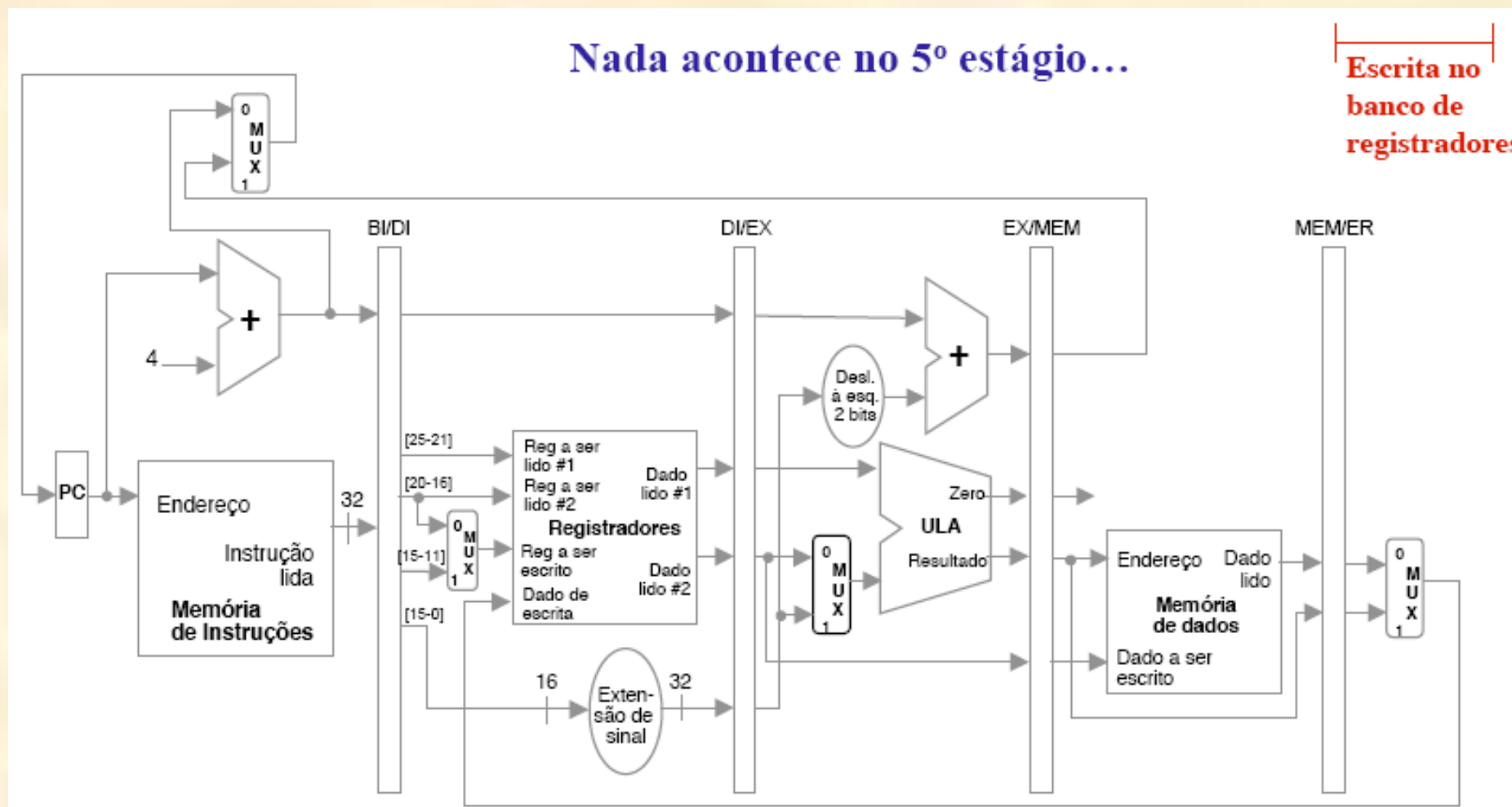
Syntax	SW \$t, offset(\$s)
Encoding	1010 11ss ssst tttt iiiii iiiii iiiii



MIPS Pipeline – Exemplo com Instrução SW

- Escrita no banco de registradores (instrução SW)

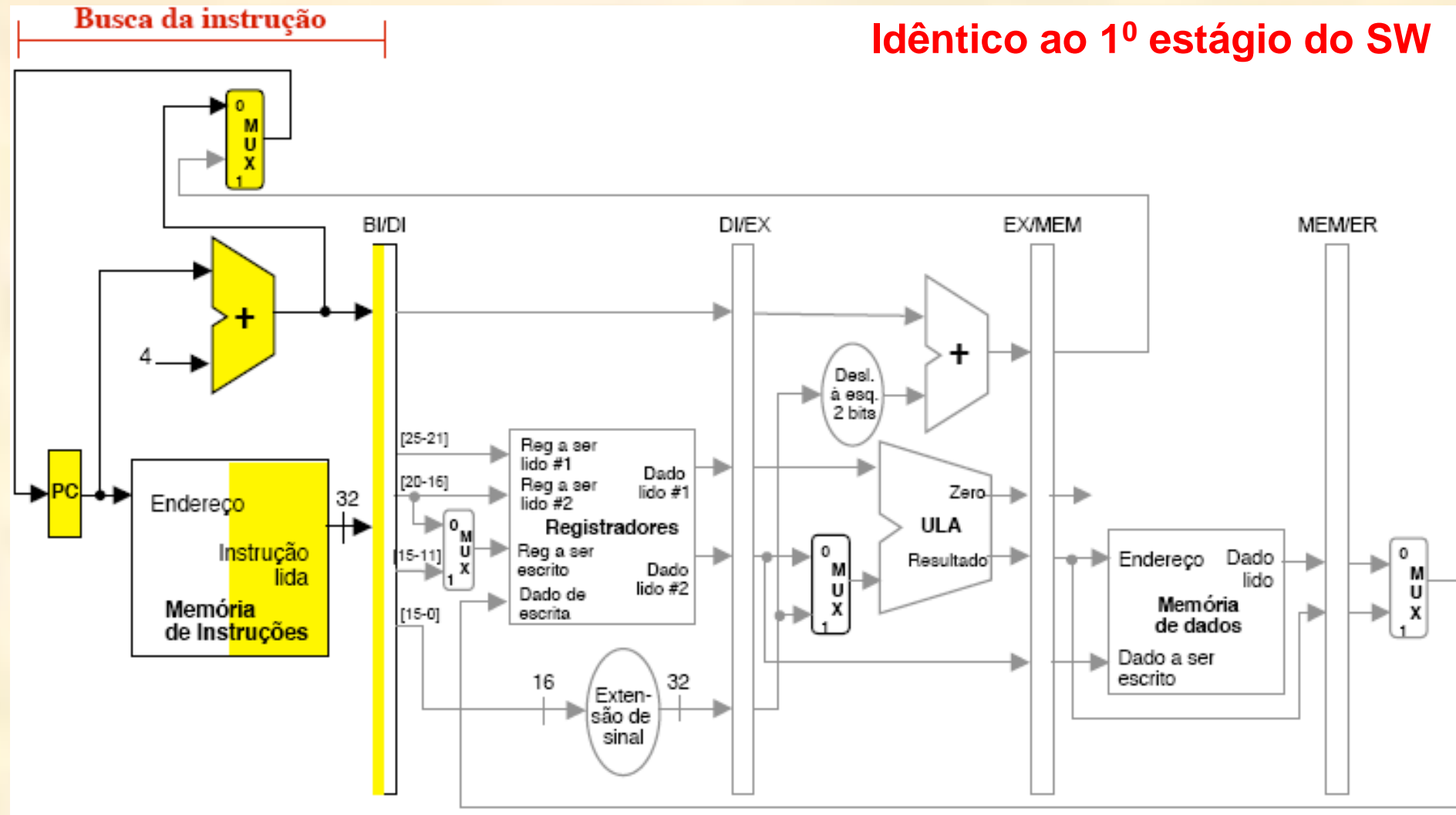
Syntax	SW \$t, offset(\$s)
Encoding	1010 11ss ssst tttt iiii iiii iiii



MIPS Pipeline – Exemplo com Instrução LW

- Busca da instrução LW

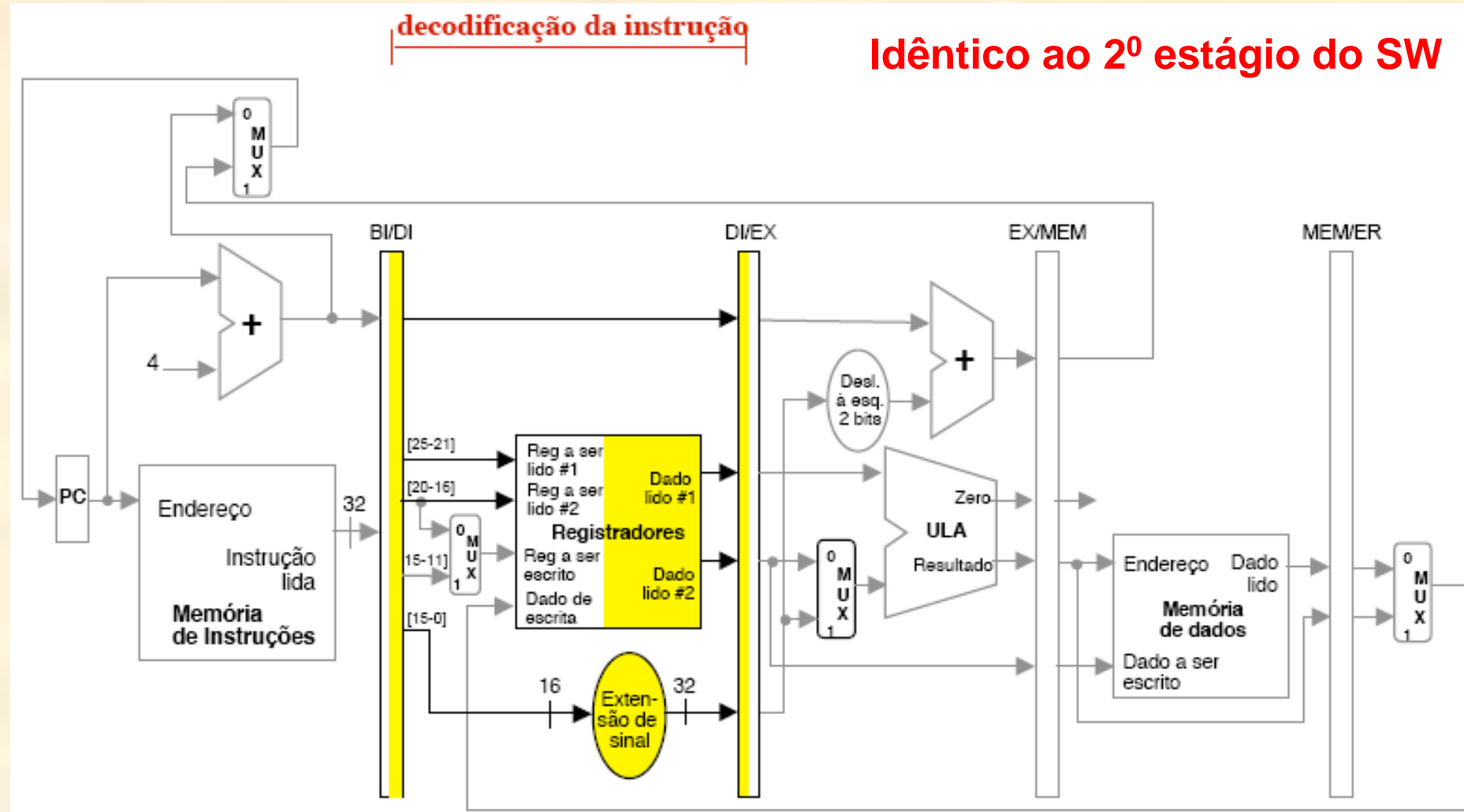
Syntax	LW \$t, offset(\$s)
Encoding	1000 11ss ssst tttt iiii iiii iiii



MIPS Pipeline – Exemplo com Instrução LW

- **Decodificação da instrução LW e busca de registradores**

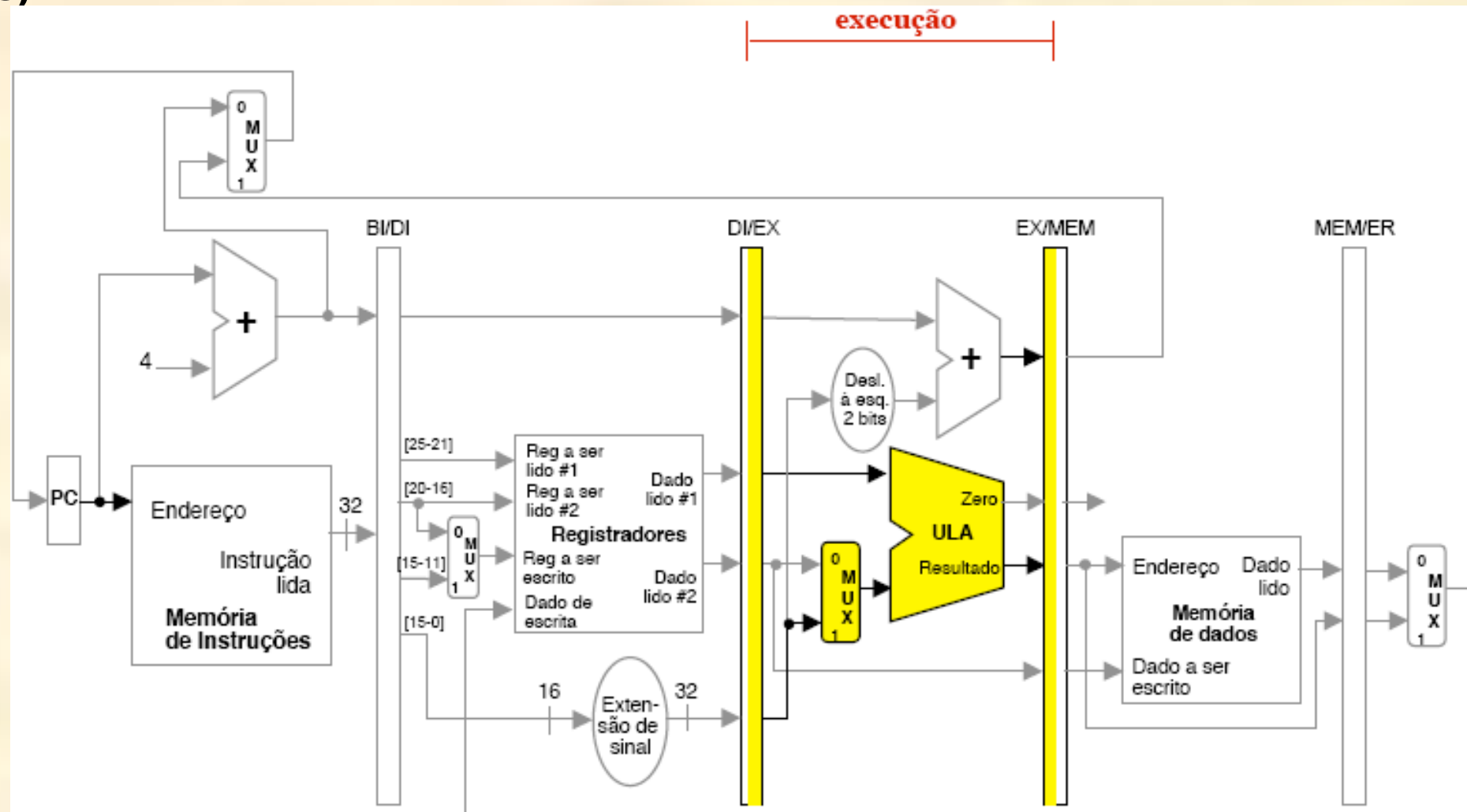
Syntax	LW \$t, offset(\$s)
Encoding	1000 11ss ssst tttt iiiiiiii iiiiiiii



MIPS Pipeline – Exemplo com Instrução LW

- Execução da instrução LW (cálculo do endereço na memória de dados)

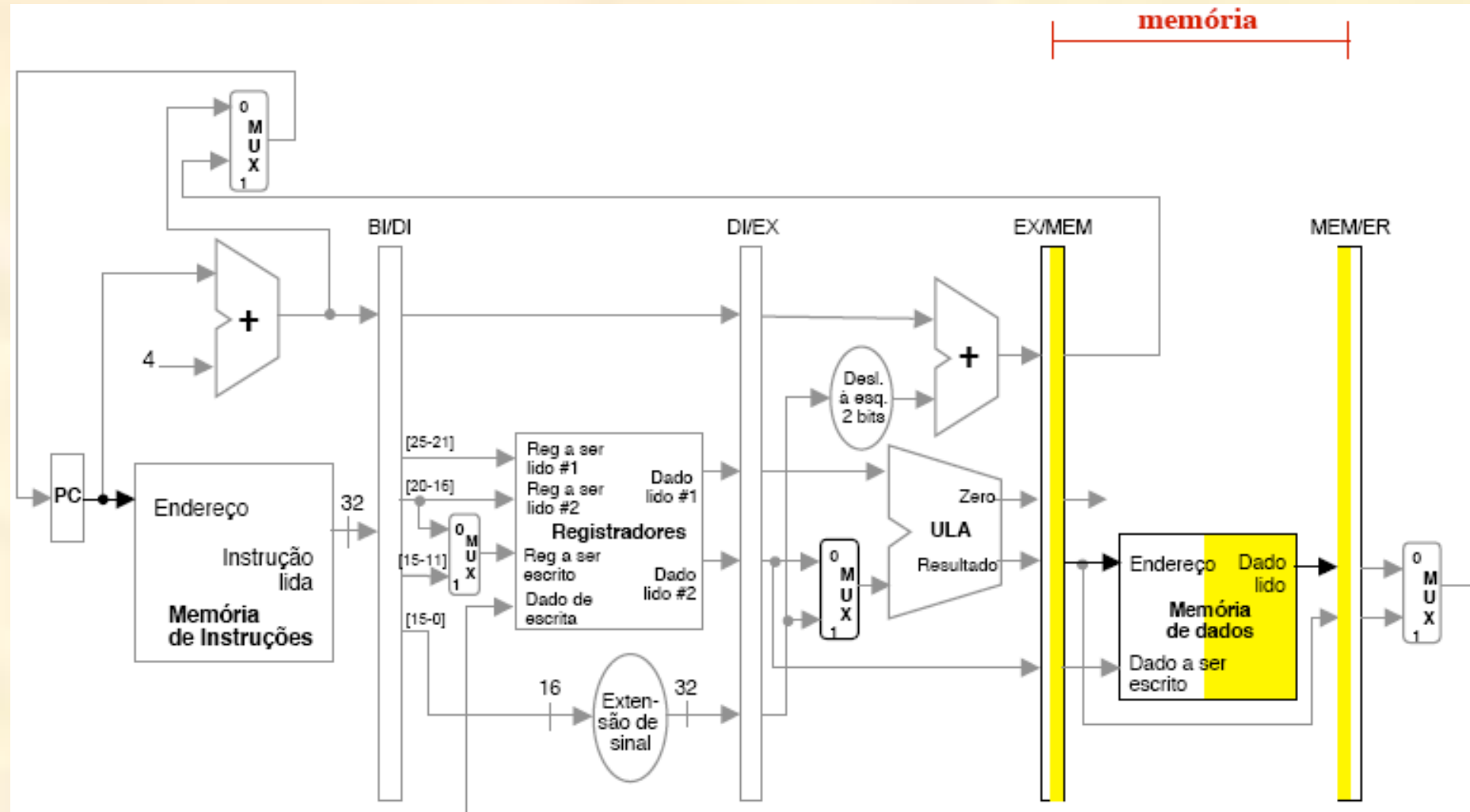
Syntax	LW \$t, offset(\$s)
Encoding	1000 11ss ssst tttt iiii iiii iiii iiii



MIPS Pipeline – Exemplo com Instrução LW

- Acesso ao operando na memória de dados (instrução LW)

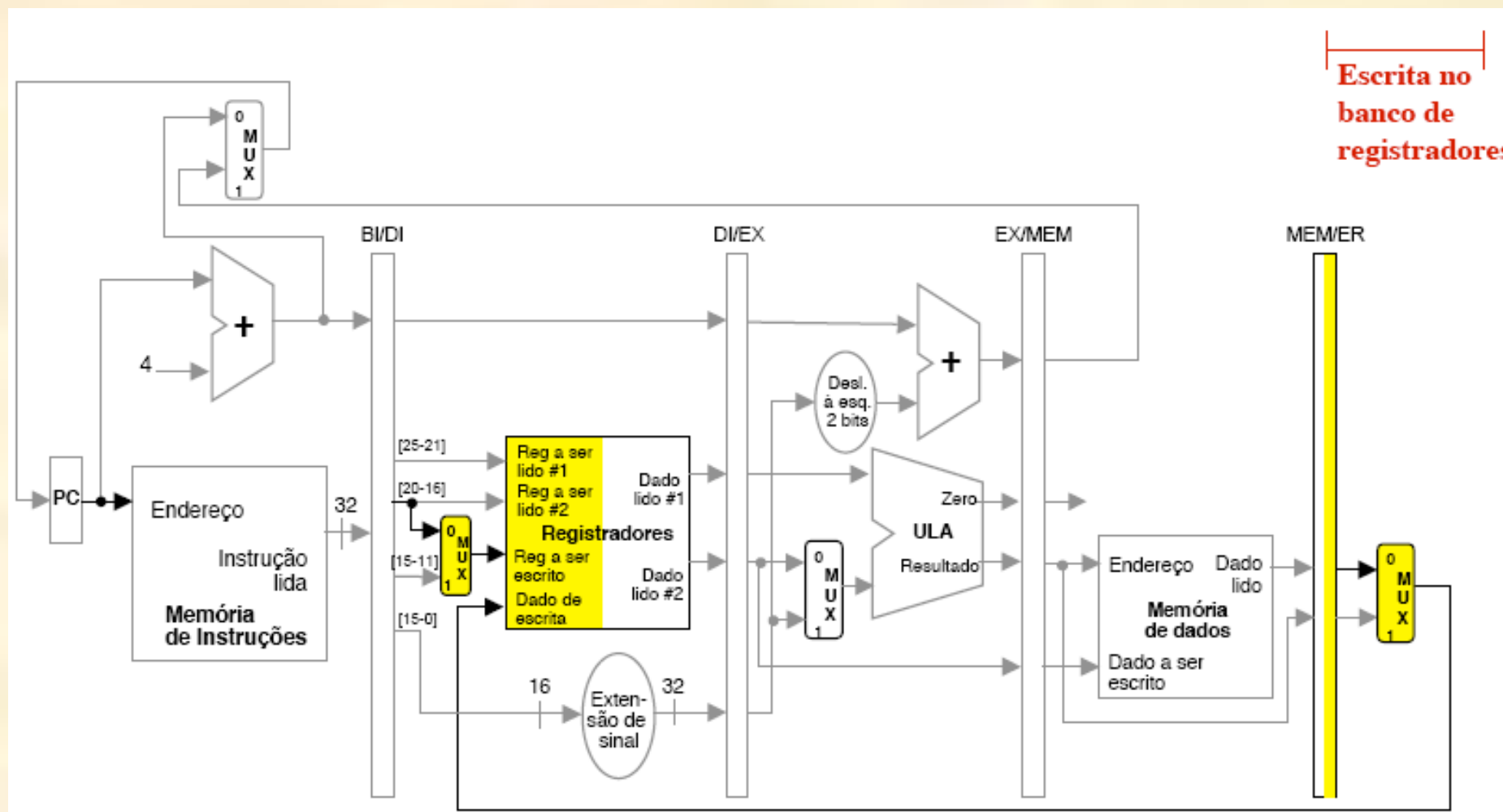
Syntax	LW \$t, offset(\$s)
Encoding	1000 11ss ssst tttt iiiiii iiiiii iiiiii



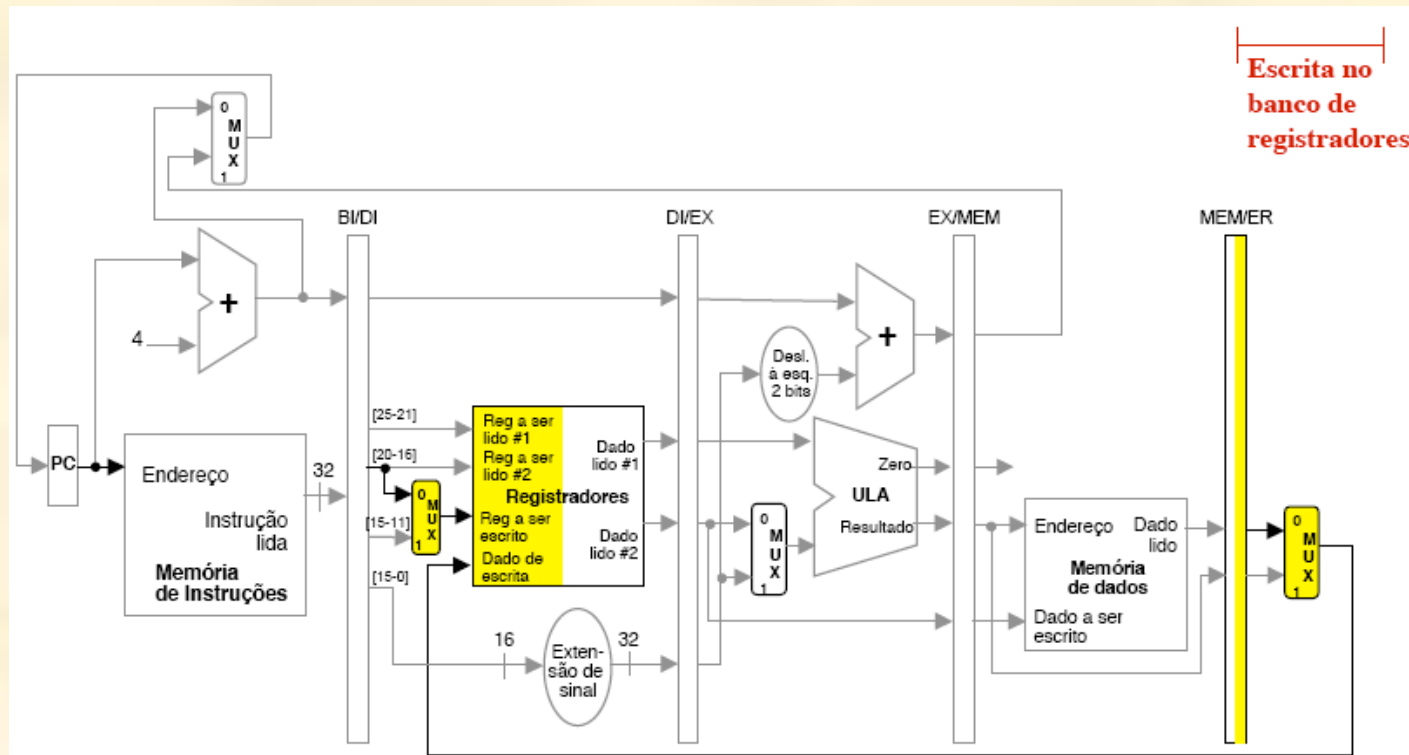
MIPS Pipeline – Exemplo com Instrução LW

- Armazenamento do operando no banco de registradores (instrução LW)

Syntax	LW \$t, offset(\$s)
Encoding	1000 11ss ssst tttt iiiiiiii iiiiiiii



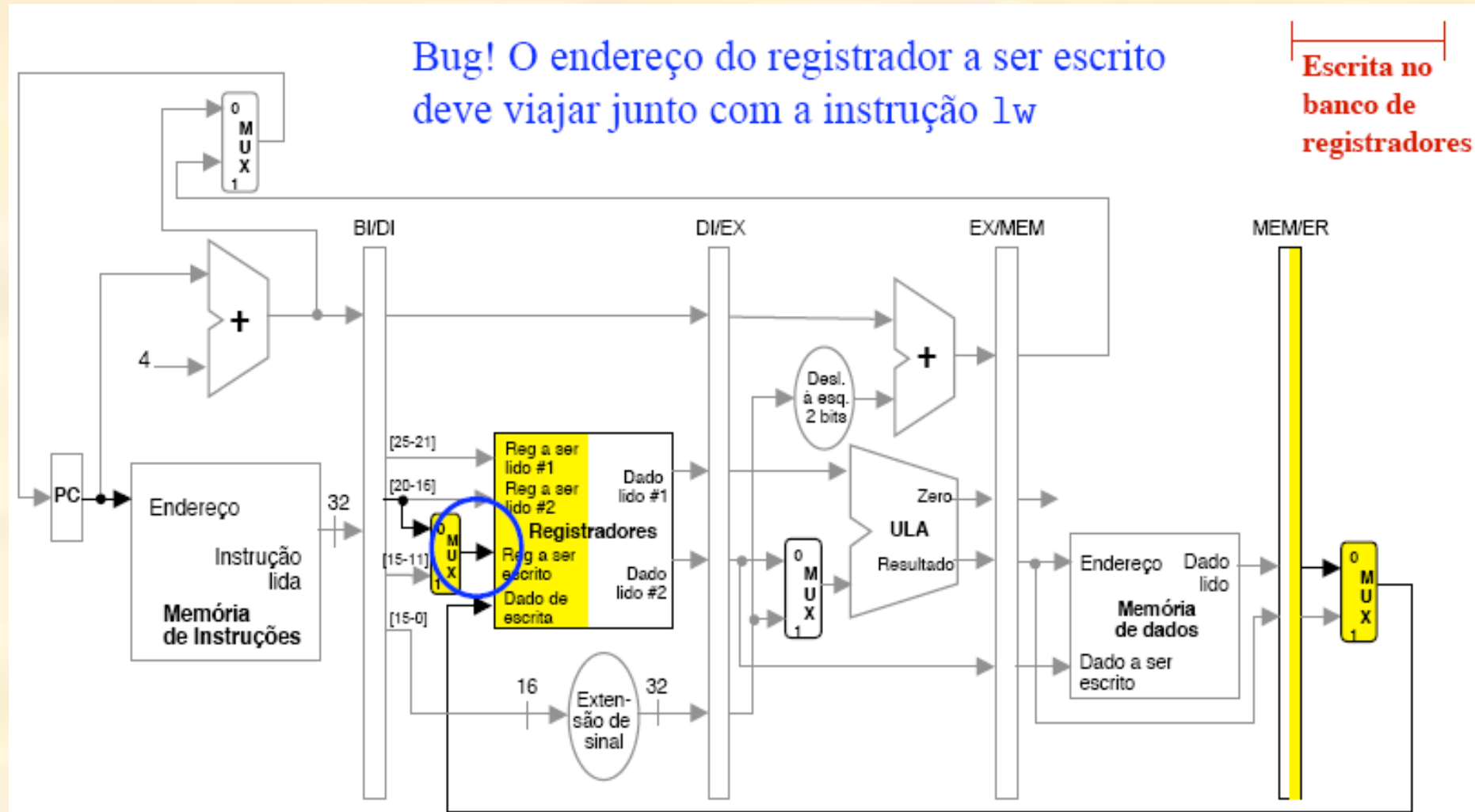
- ## *Pensando ...*



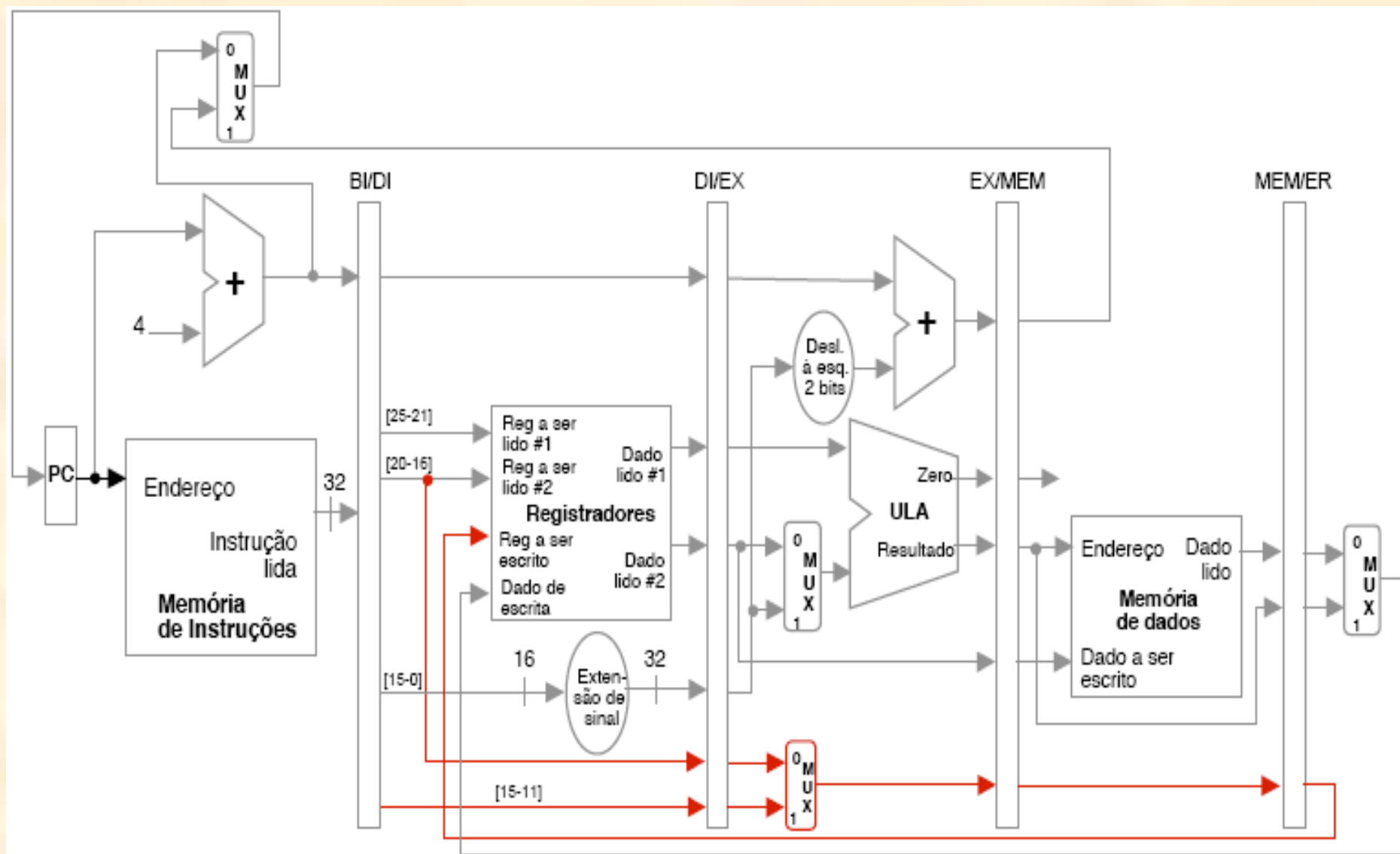
MIPS Pipeline – Exemplo com Instrução LW

Reavaliando a escrita no banco de registradores...

- Armazenamento do operando no banco de registradores (instrução LW)

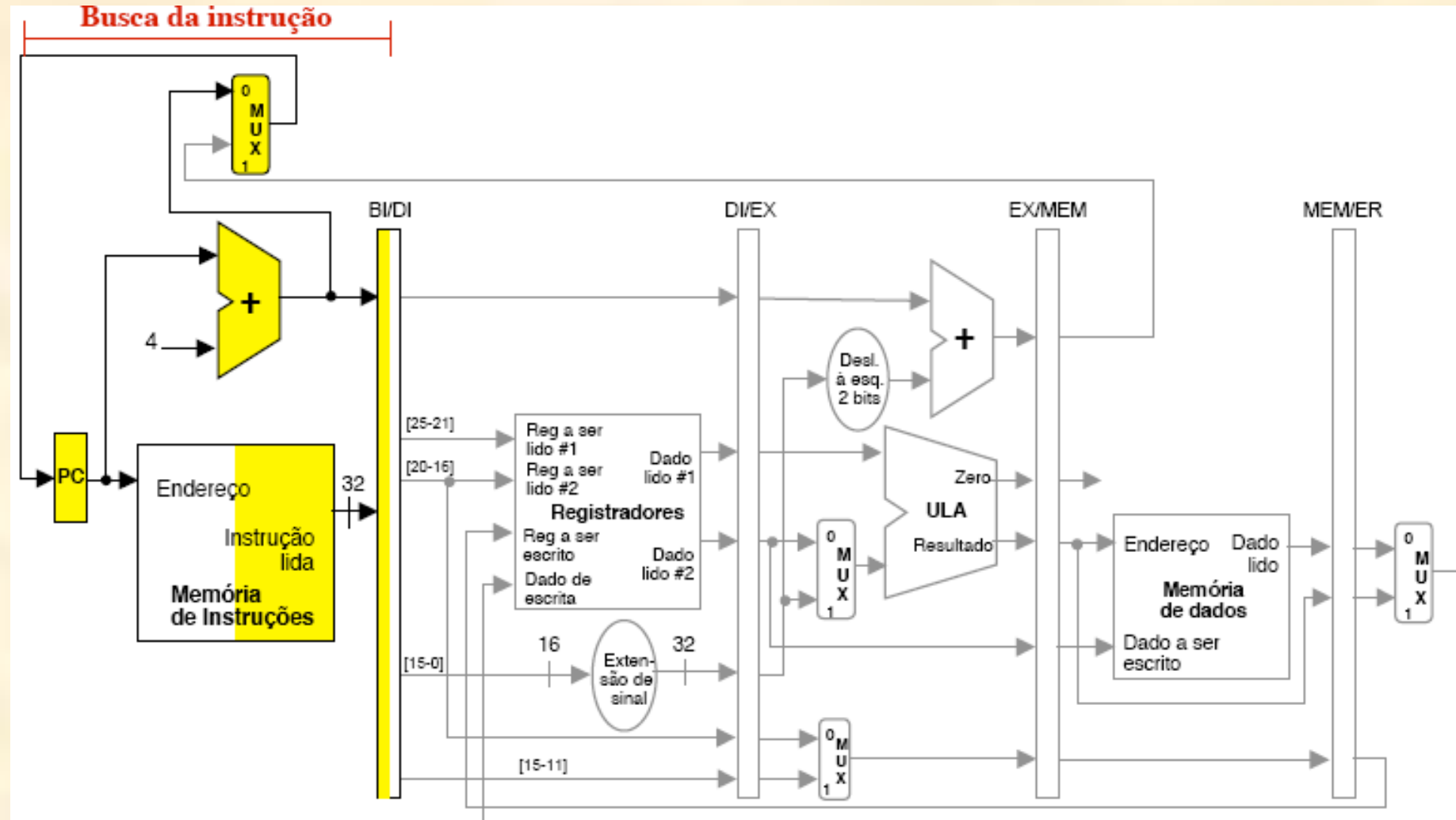


MIPS Pipeline – Nova Organização



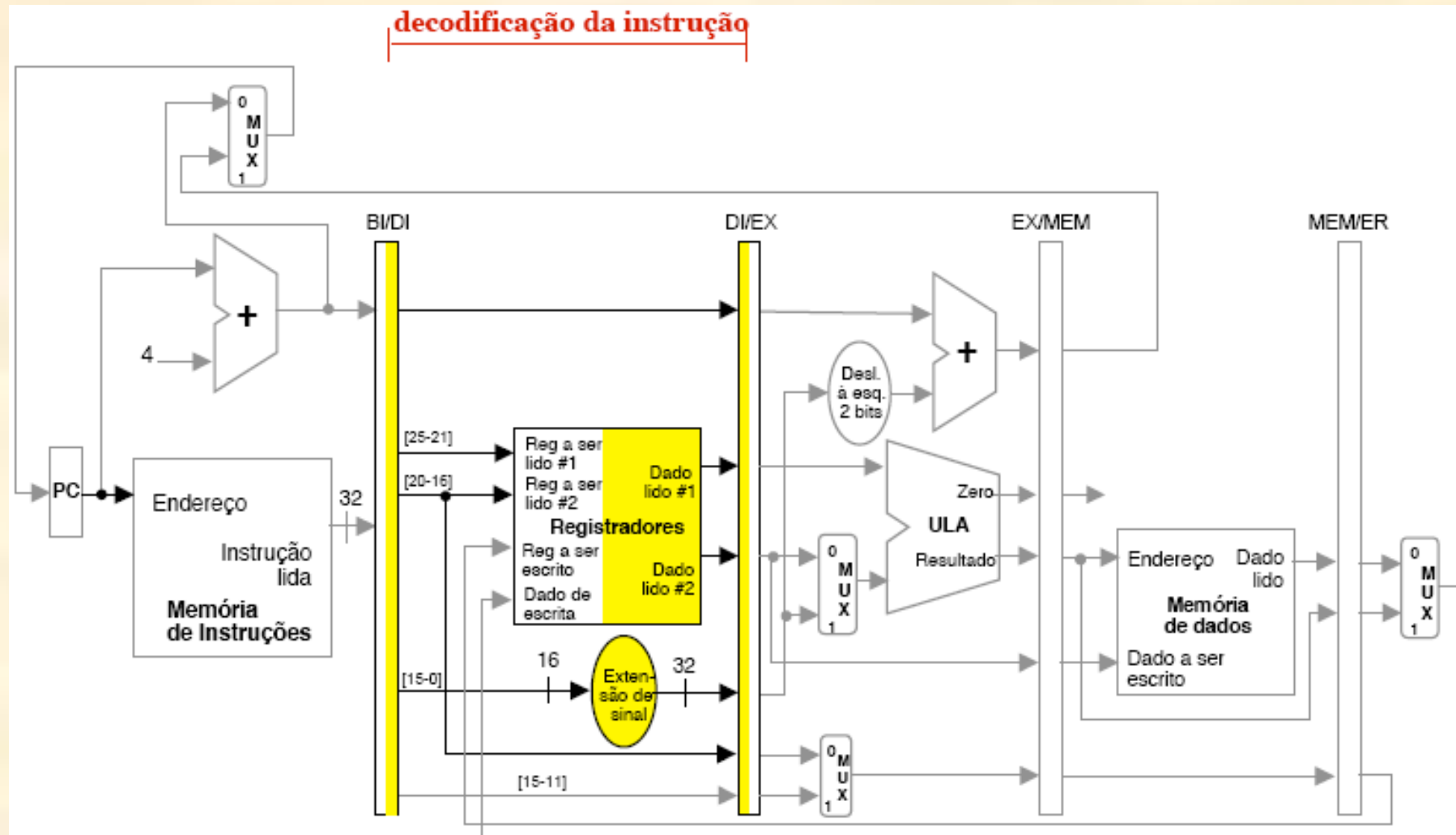
MIPS Pipeline – Exemplo com Instrução LW (Versão Corrigida)

- Busca da instrução LW



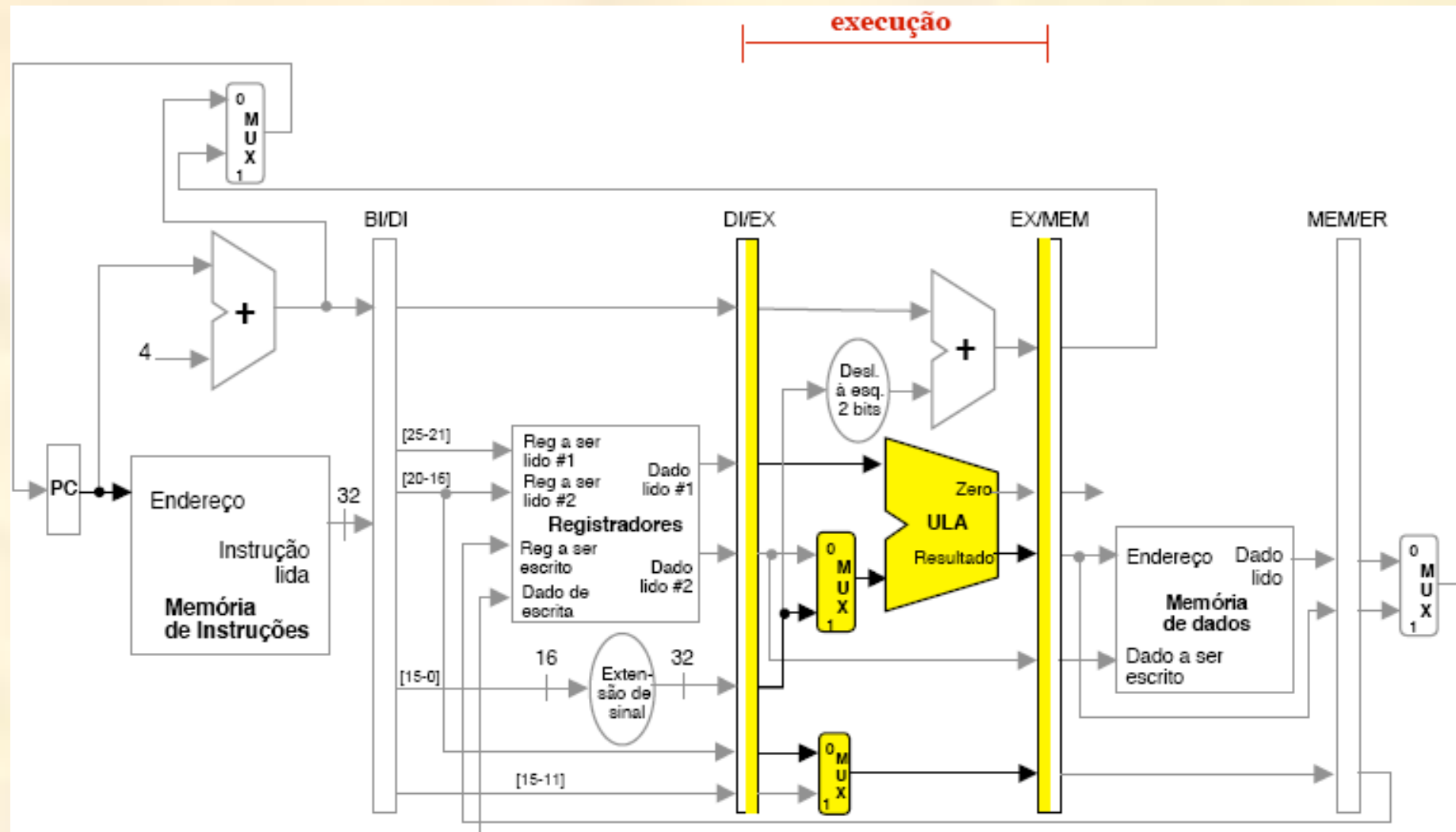
MIPS Pipeline – Exemplo com Instrução LW (Versão Corrigida)

- Decodificação da instrução LW e busca de registradores



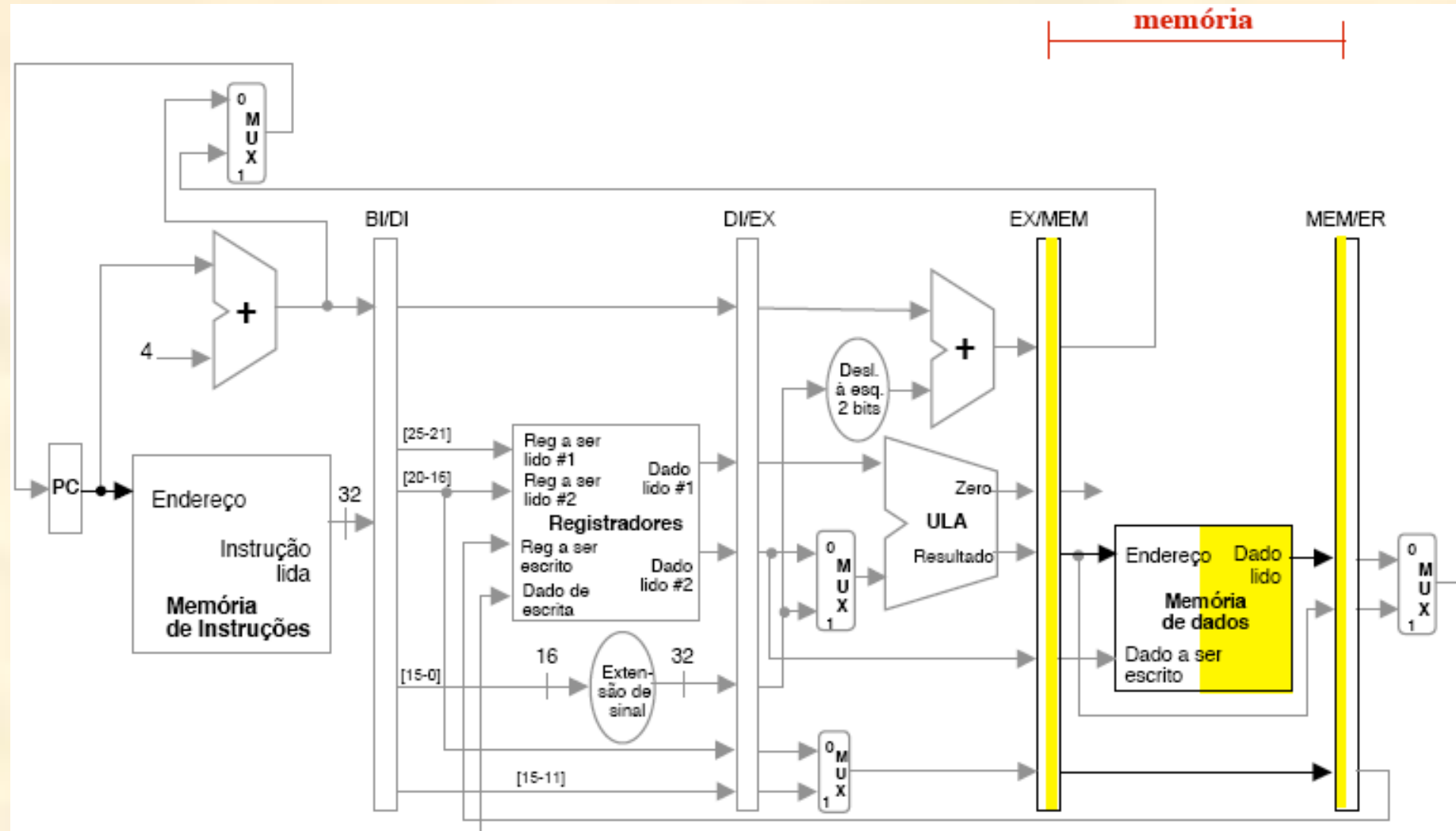
MIPS Pipeline – Exemplo com Instrução LW (Versão Corrigida)

- Execução da instrução LW (cálculo do endereço na memória de dados)



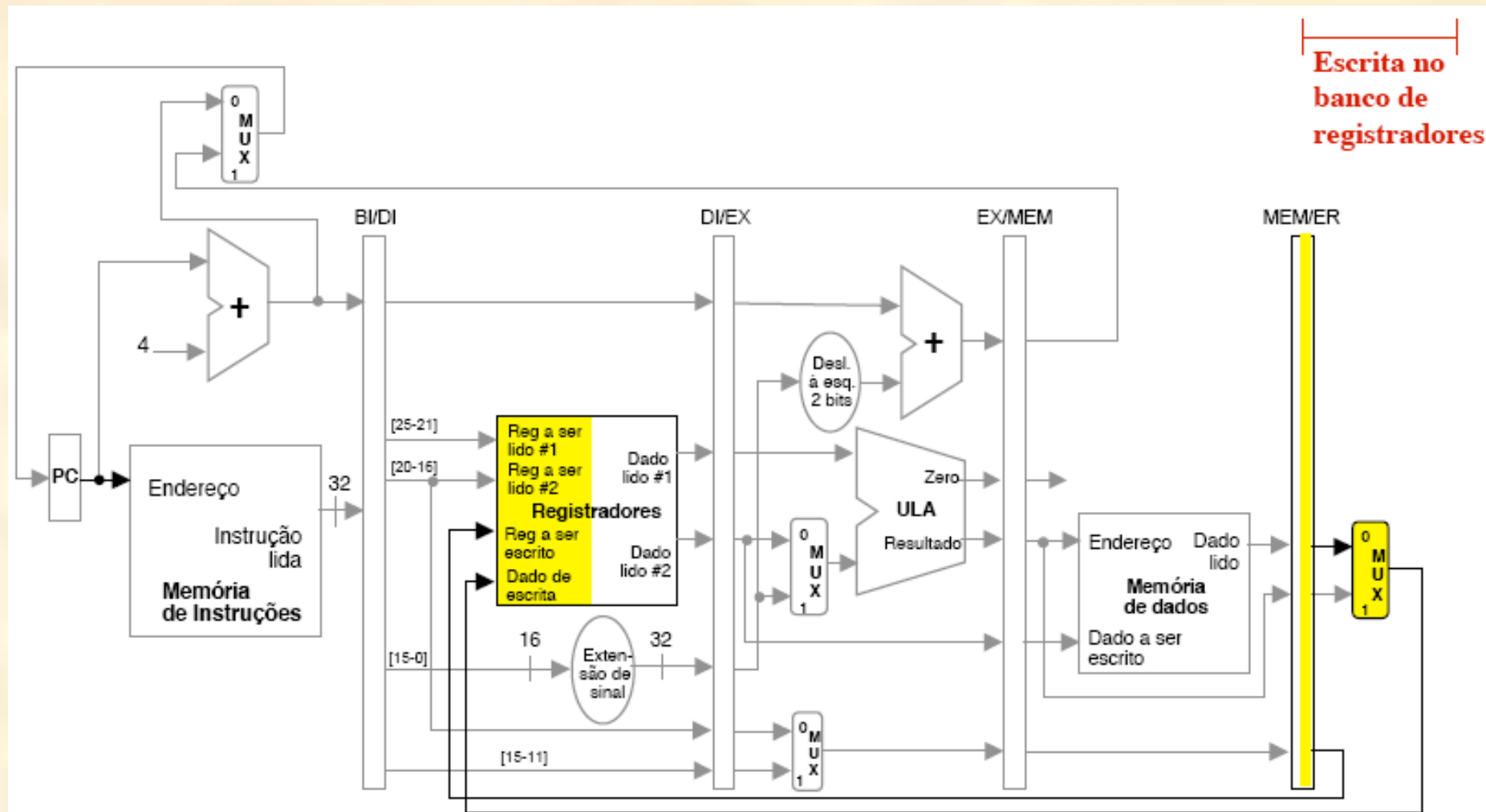
MIPS Pipeline – Exemplo com Instrução LW (Versão Corrigida)

- Acesso ao operando na memória de dados (instrução LW)



MIPS Pipeline – Exemplo com Instrução LW (Versão Corrigida)

- Armazenamento do operando no banco de registradores (instrução LW)

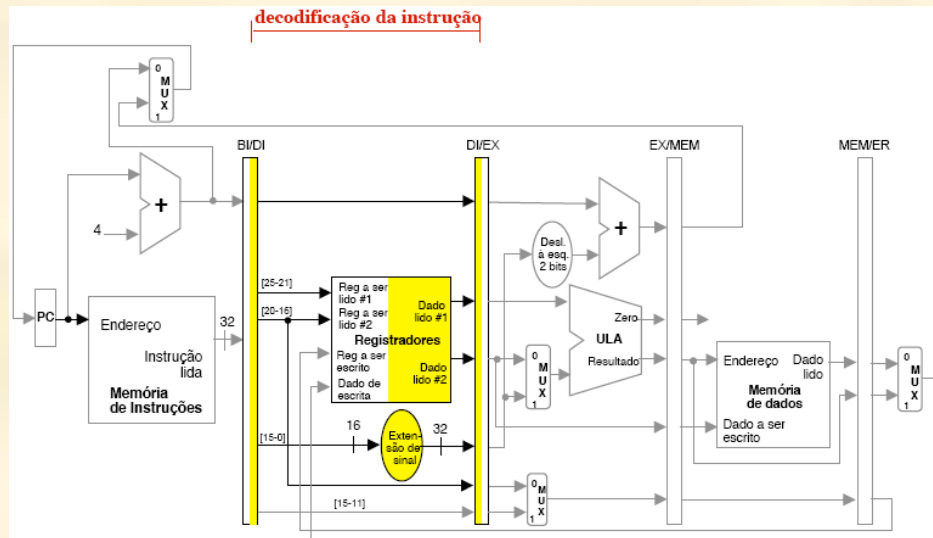


MIPS Pipeline –

Escrita e leitura do Banco de registradores

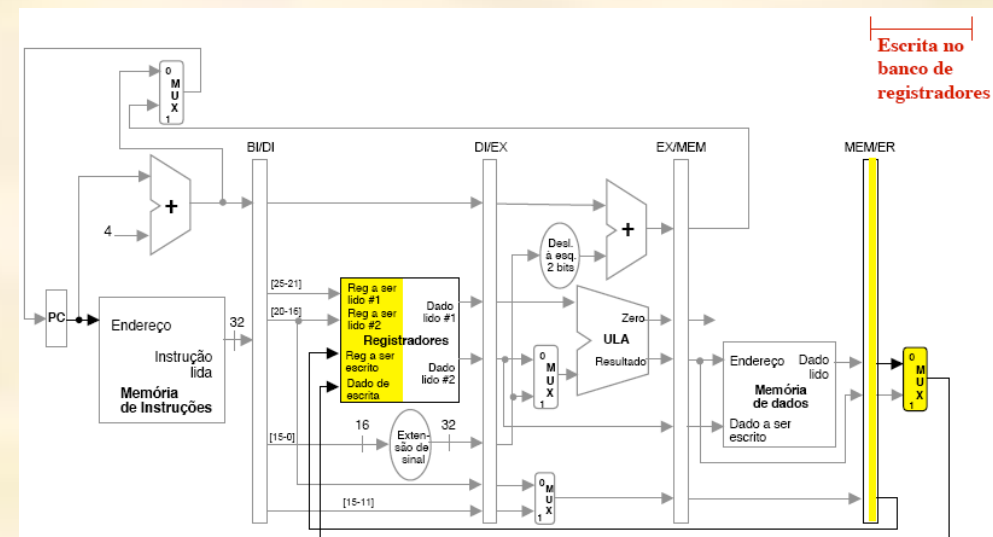
- O segundo e o quinto estágios do pipeline compartilham o mesmo banco de registradores
- *Como isto é possível?*

Pensando ...



2º estágio do pipeline

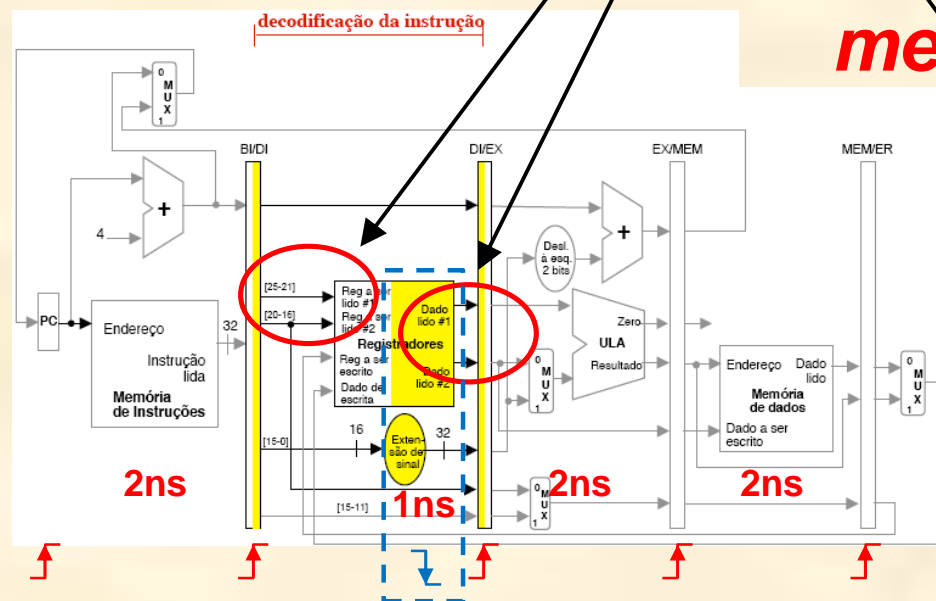
5º estágio do pipeline



Escrita e leitura

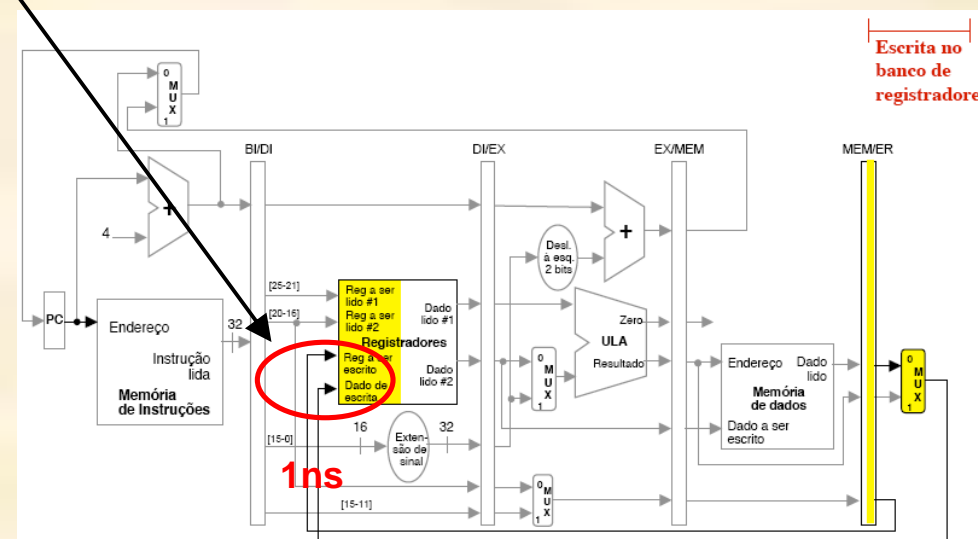
- O segundo e o quinto está registradores
- Como isto é possível?

- Portas de entrada e saída são distintas
- Banco de registradores (Breg) suporta dois endereçamentos simultâneos
- Escrita e leitura no Breg em bordas distintas de relógio
- BReg com tempo de acesso de 1ns, metade do período de relógio

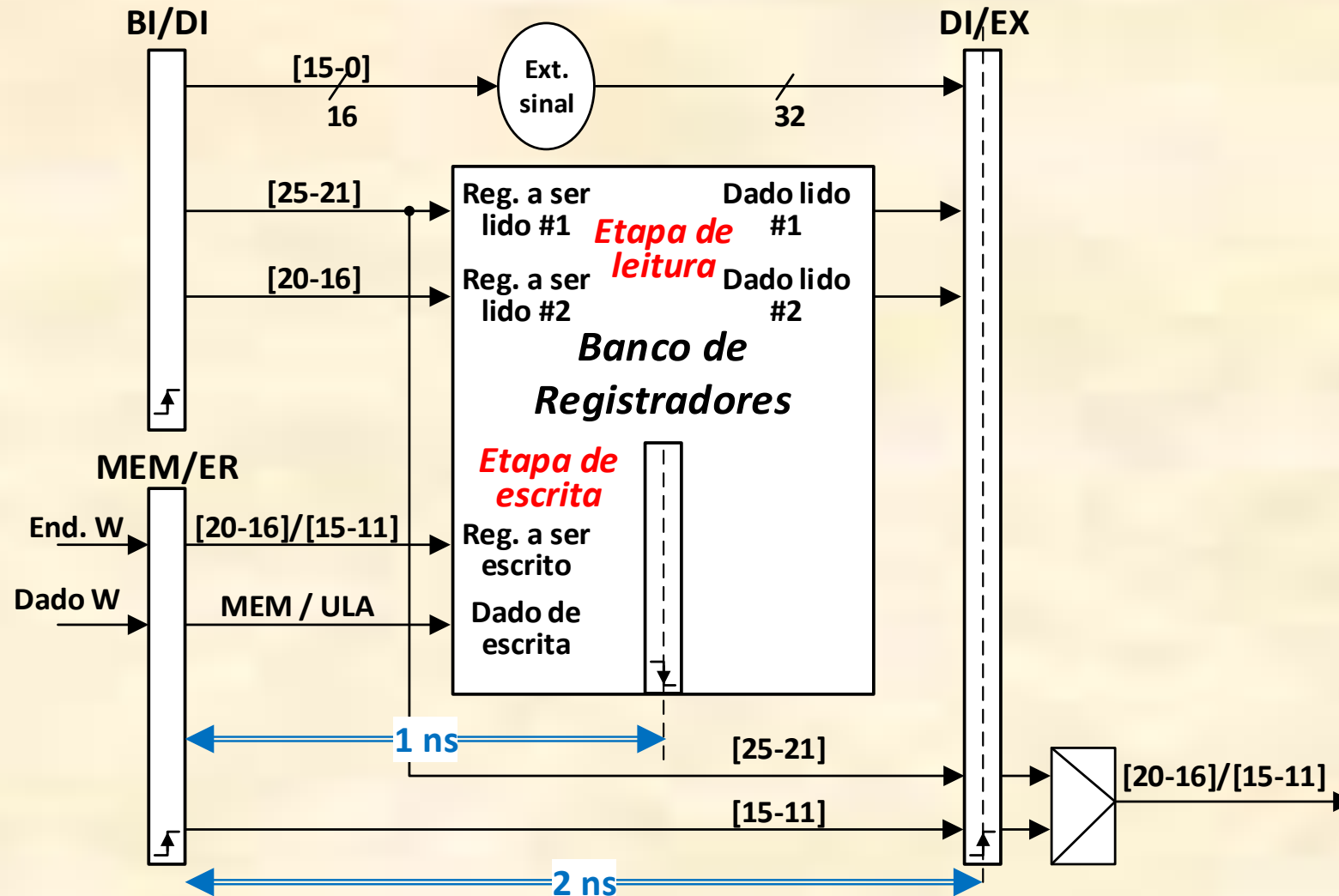


2º estágio do pipeline

5º estágio do pipeline



Banco de registradores Monofase versus Dupla fase



MIPS Pipeline –

Executando uma Sequência de Instruções

- Representar a seguinte sequência de instruções usando diagrama de pipeline com múltiplos ciclos de relógio:

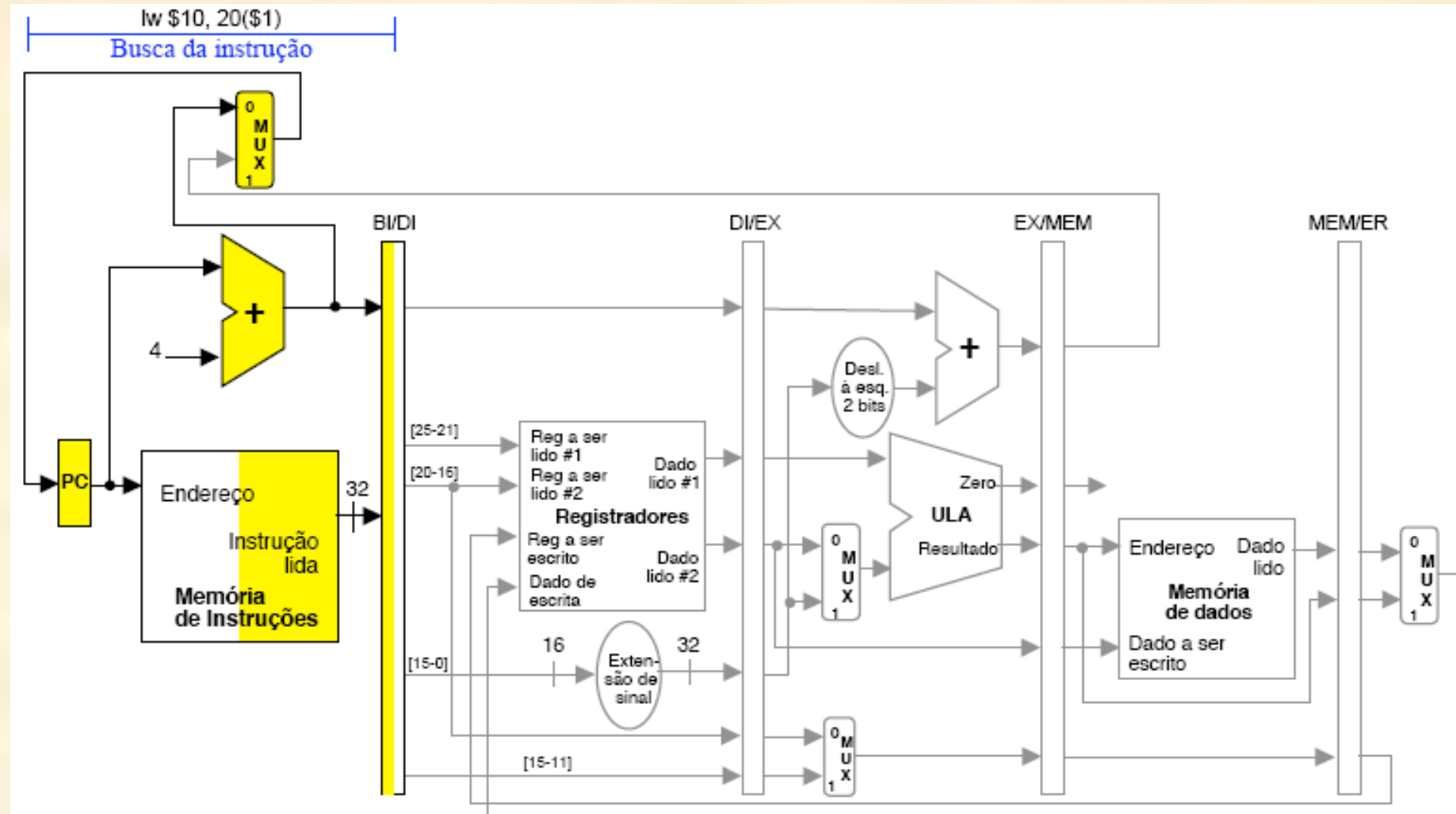
lw \$10, 20(\$1)

sub \$11, \$2, \$3

MIPS Pipeline –

Executando uma Sequência de Instruções

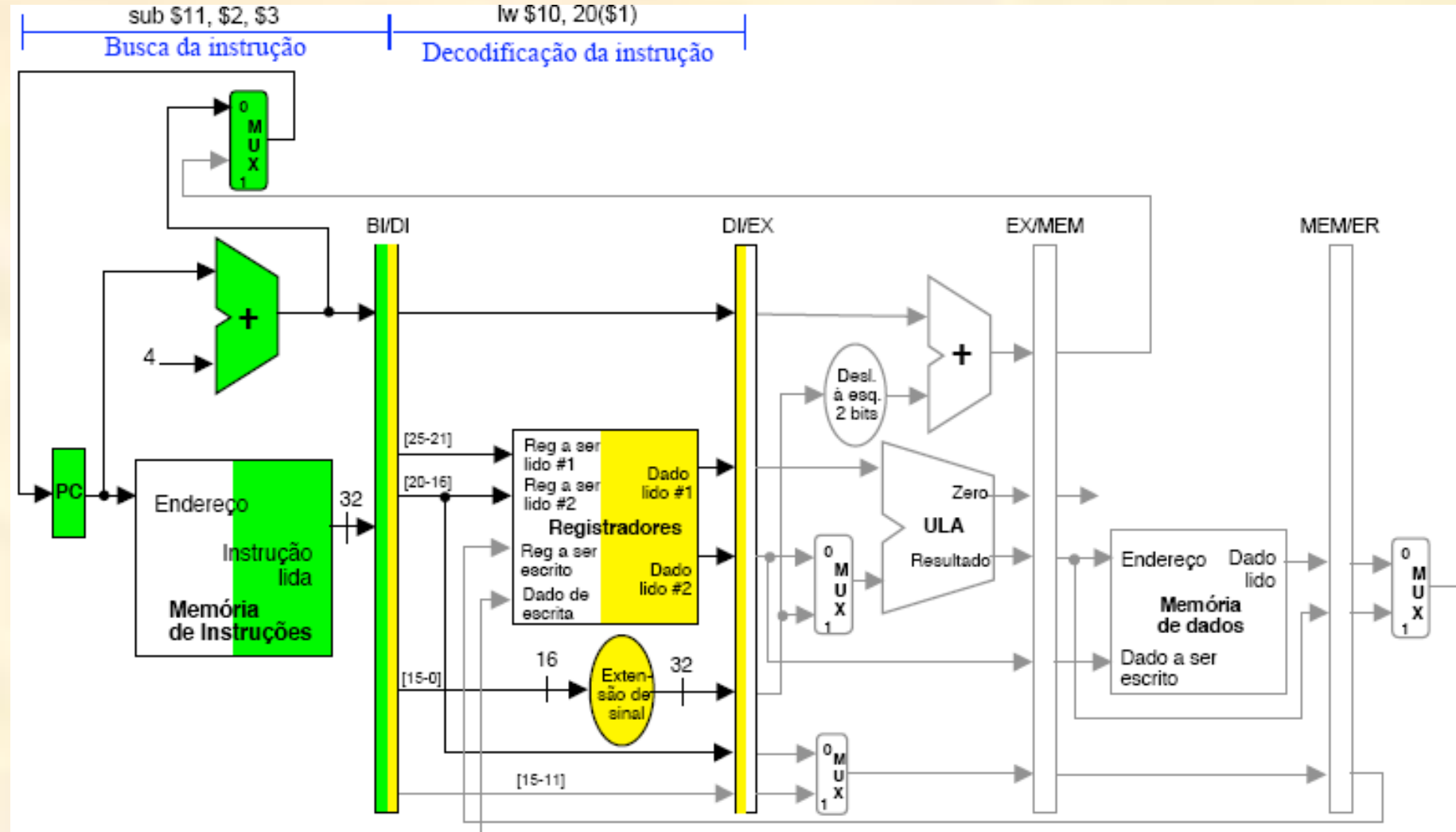
1. lw \$10, 20(\$1)
2. sub \$11, \$2, \$3



MIPS Pipeline –

Executando uma Sequência de Instruções

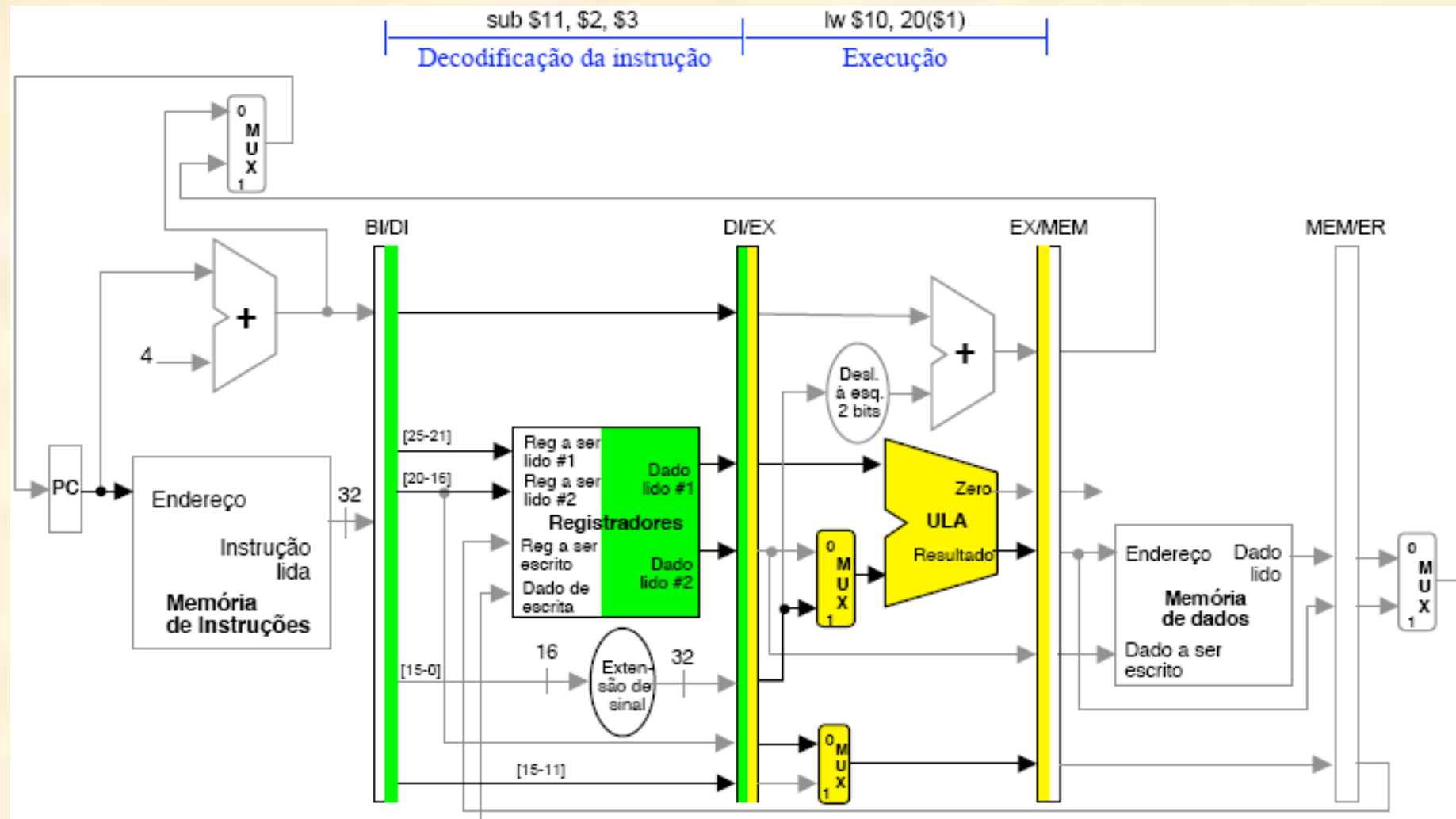
- lw \$10, 20(\$1)
- sub \$11, \$2, \$3



MIPS Pipeline –

Executando uma Sequência de Instruções

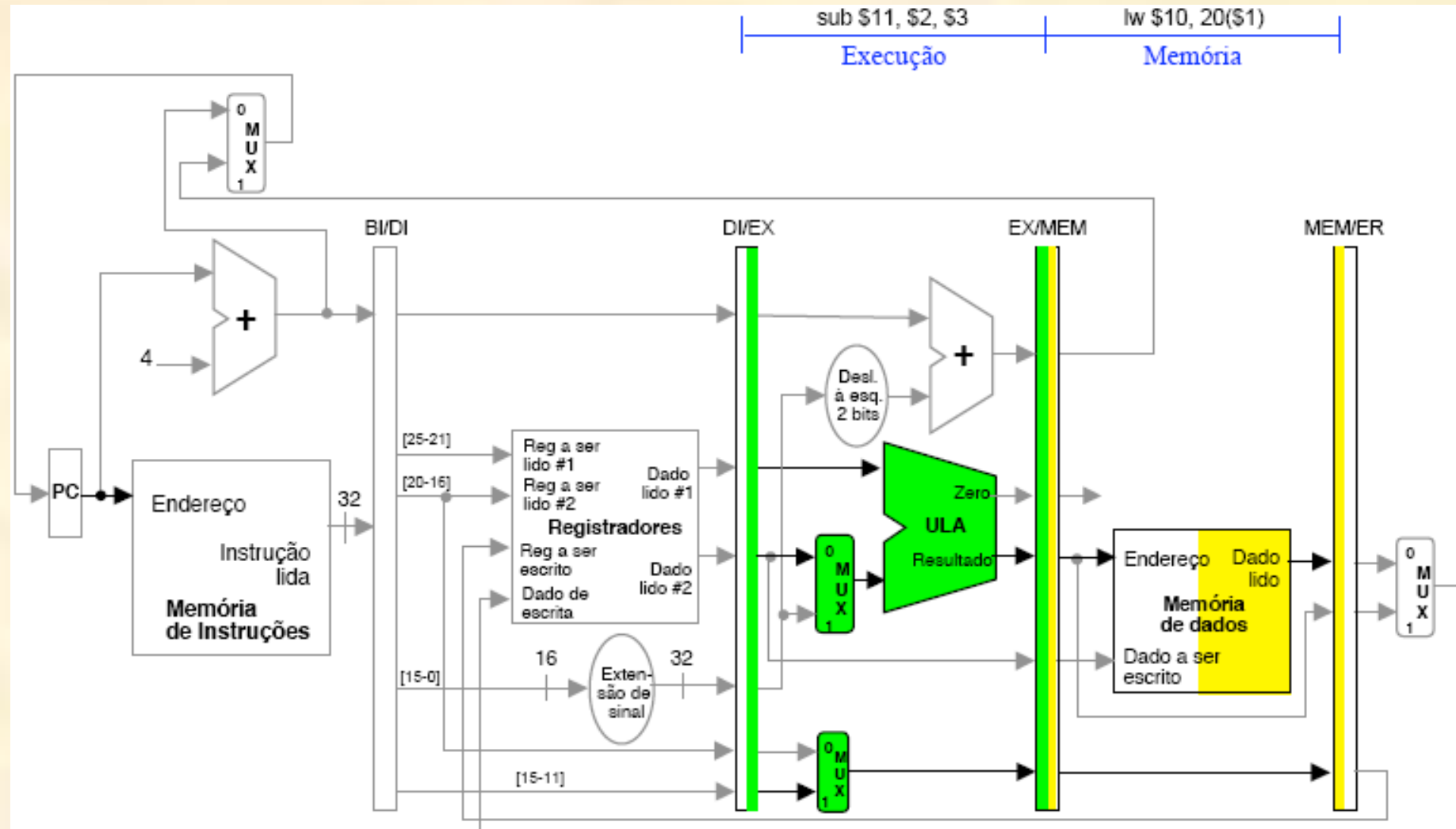
1. lw \$10, 20(\$1)
2. sub \$11, \$2, \$3



MIPS Pipeline –

Executando uma Sequência de Instruções

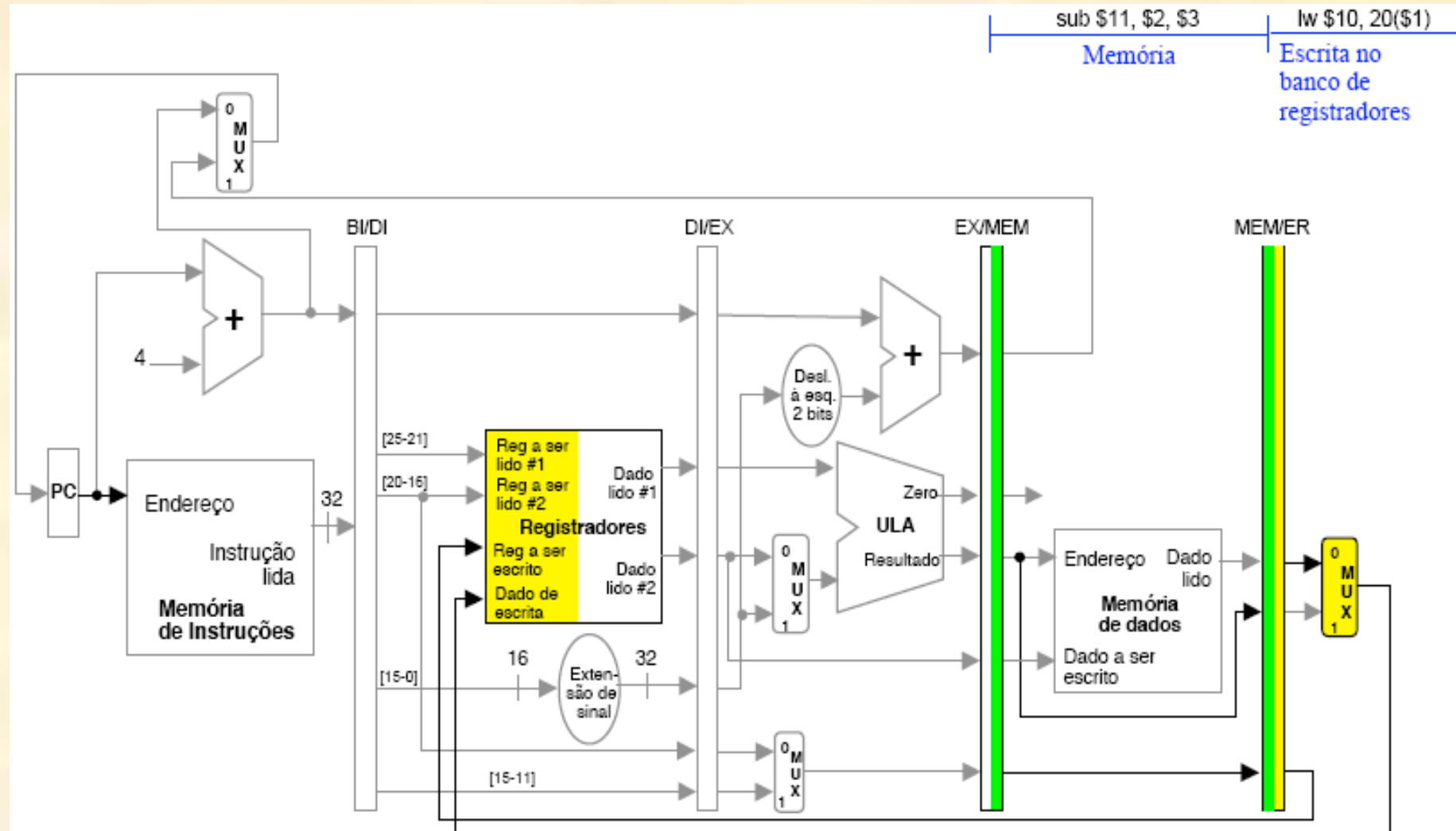
1. lw \$10, 20(\$1)
2. sub \$11, \$2, \$3



MIPS Pipeline –

Executando uma Sequência de Instruções

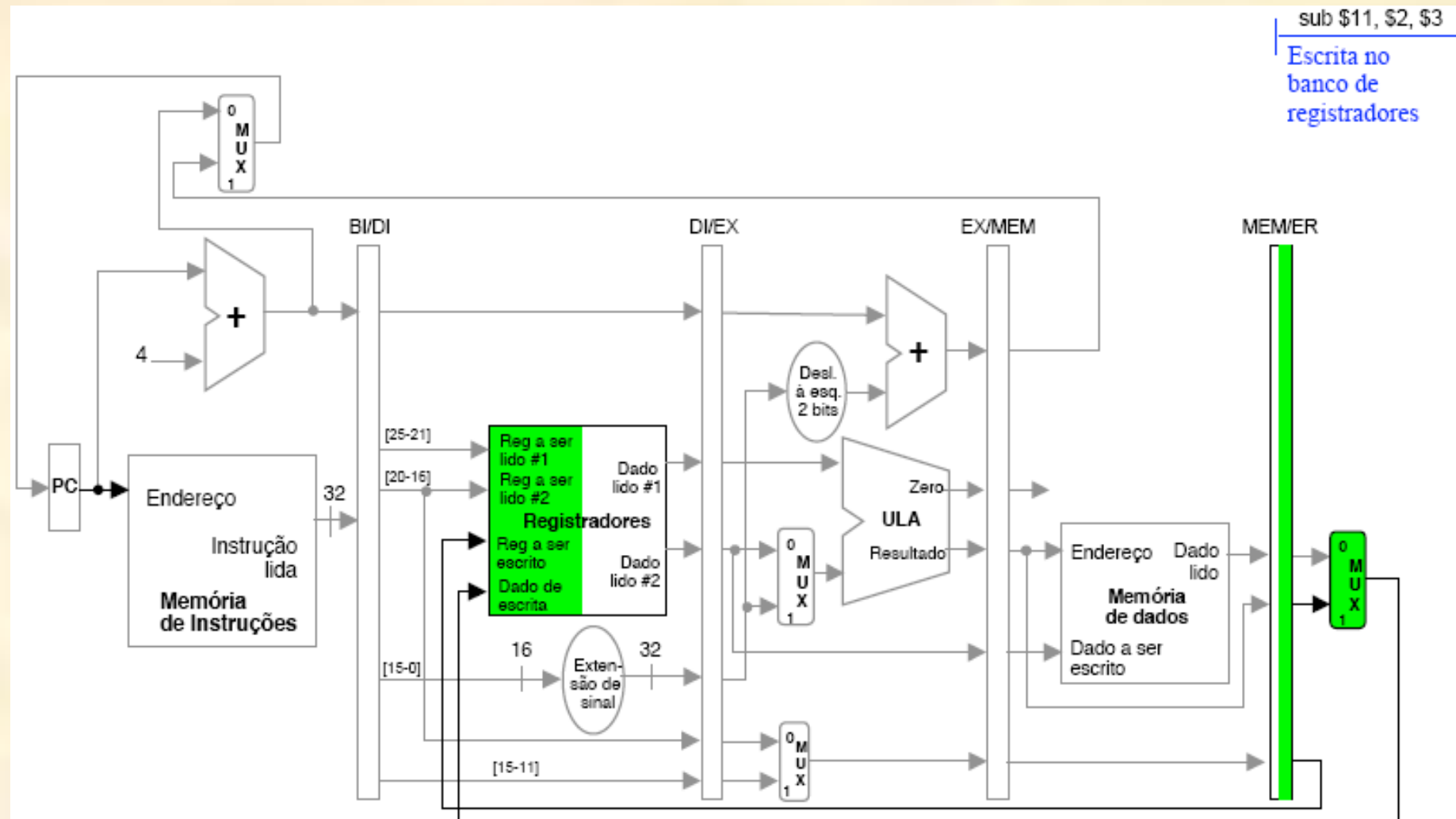
1. lw \$10, 20(\$1)
2. sub \$11, \$2, \$3



MIPS Pipeline –

Executando uma Sequência de Instruções

1. lw \$10, 20(\$1)
2. sub \$11, \$2, \$3



MIPS Pipeline – Bloco de Controle

Reagrupando os sinais de controle do MIPS monociclo ...

	Sinais de Controle a serem usados no estágio de execução/cálculo do endereço				Sinais de Controle a serem usados no estágio de acesso à memória			Sinais de Controle a serem usados no estágio de escrita no banco de registradores	
instrução	RegDst	ULAOp1	ULAOp0	ULAFonte	DvC	LerMem	EscMem	EscReg	MemParaReg
Tipo R	1	1	0	0	0	0	0	1	0
lw	0	0	0	1	0	1	0	1	1
sw	X	0	0	1	0	0	1	0	X
beq	X	0	1	0	1	0	0	0	X

São essencialmente os mesmos sinais de controle do MIPS monociclo. Todavia, estes sinais precisam ser propagados pelos estágios do pipeline juntamente com a instrução

