

Organização e Arquitetura de Processadores

Organização do MIPS

Multiciclo

Introdução

- **Uma implementação monociclo considera o maior caminho do sinal para determinar a frequência do ciclo de operação**
 - Todas as instruções executam no tempo determinado pela instrução mais lenta
 - A vazão de instruções (instruções/segundo) não é otimizada
- **Entre as abordagens para melhorar a vazão de instruções temos:**
 - Implementação de uma organização com relógio variável conforme a instrução detectada
 - Solução complexa de implementar e pouco eficiente
 - Implementação de uma organização com múltiplos ciclos
 - A organização é dividida em estágios e cada estágio é executado em um ou mais ciclos
 - Estágios típicos são busca, decodificação, execução, ...
 - O caso mais simples é um ciclo por estágio
 - O número de ciclos varia conforme a instrução executada
 - Quanto menor o período de relógio, mais favorece o balanceamento entre estágios e, conseqüentemente, maior a vazão; o ideal é que o tempo do ciclo seja o MMC (Mínimo Múltiplo Comum) entre os atrasos de todos os estágios
 - Contudo, estágios podem ser executados com mais de um ciclo de relógio
 - Implementação com paralelismo temporal
 - Um modelo de organização elementar com paralelismo temporal é o pipeline
 - ...

Construção de uma Organização Multiciclo

- **Reestruturação da organização monociclo em uma organização multiciclo**
 - Fluxo de dados deve conter barreiras temporais que determinam os estágios
- **Estágios com tempos próximos (idealmente iguais) e vários estágios para reduzir o caminho crítico do sinal**
 - Solução simplificada implementa todos estágios com o mesmo atraso de um ciclo de relógio
- **O ciclo completo de uma instrução passa pelas etapas de busca, decodificação e execução**
 - Solução natural é criar 3 estágios, correspondente às 3 etapas, usando um ciclo por estágio
 - Esta solução natural não é a mais otimizada, pois normalmente gerará estágios com atrasos muito diferentes
- **Na arquitetura MIPS, uma boa solução é dividir em 5 estágios**
 - Um estágio para a etapa de **busca** da instrução na memória de instruções
 - Um estágio para a etapa de **decodificação** da instrução, que pode ser feita em paralelo com a leitura do banco de registradores
 - De um a três estágios para a etapa de **execução**
 - Primeiro estágio para operar na ULA valores provenientes da instrução e do banco de registradores
 - Segundo estágio para escrita ou leitura do resultado na memória de dados
 - Terceiro estágio para a escrita no banco de registradores

Construção da Organização Multiciclo do MIPS

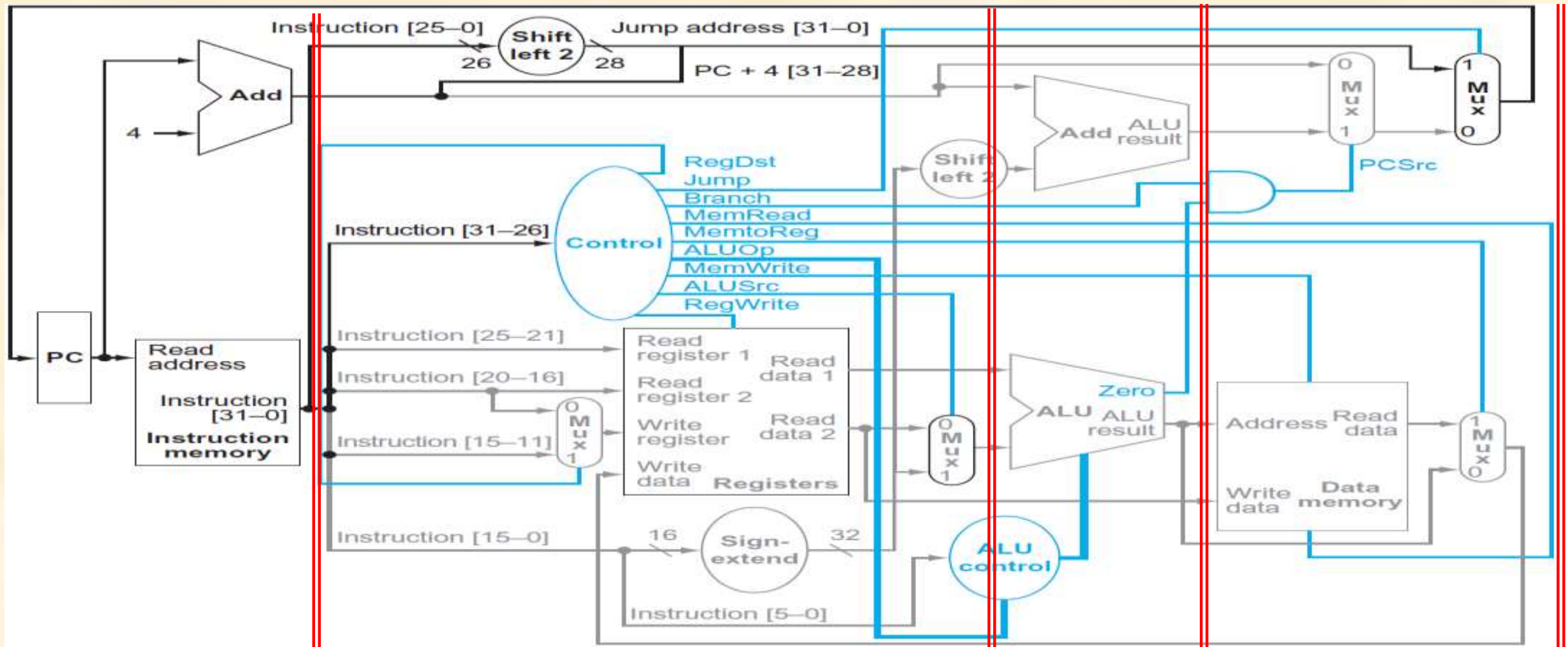
1. BUSCA

2. DECODIFICAÇÃO

3. EXECUÇÃO

4. ACESSO À MEMÓRIA

5. ESCRITA BANCO REG



Construção da Organização Multiciclo do MIPS

Emprego de Barreiras Temporais

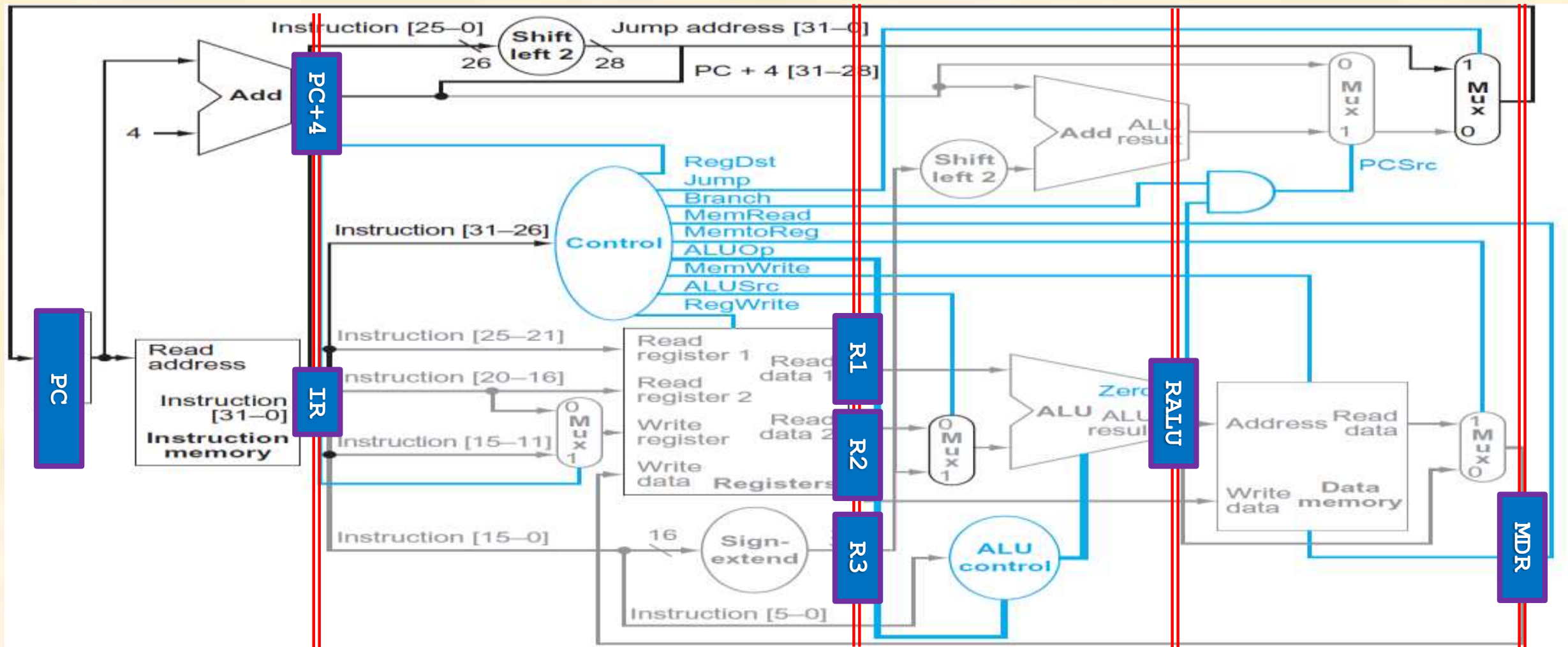
1. BUSCA

2. DECODIFICAÇÃO

3. EXECUÇÃO

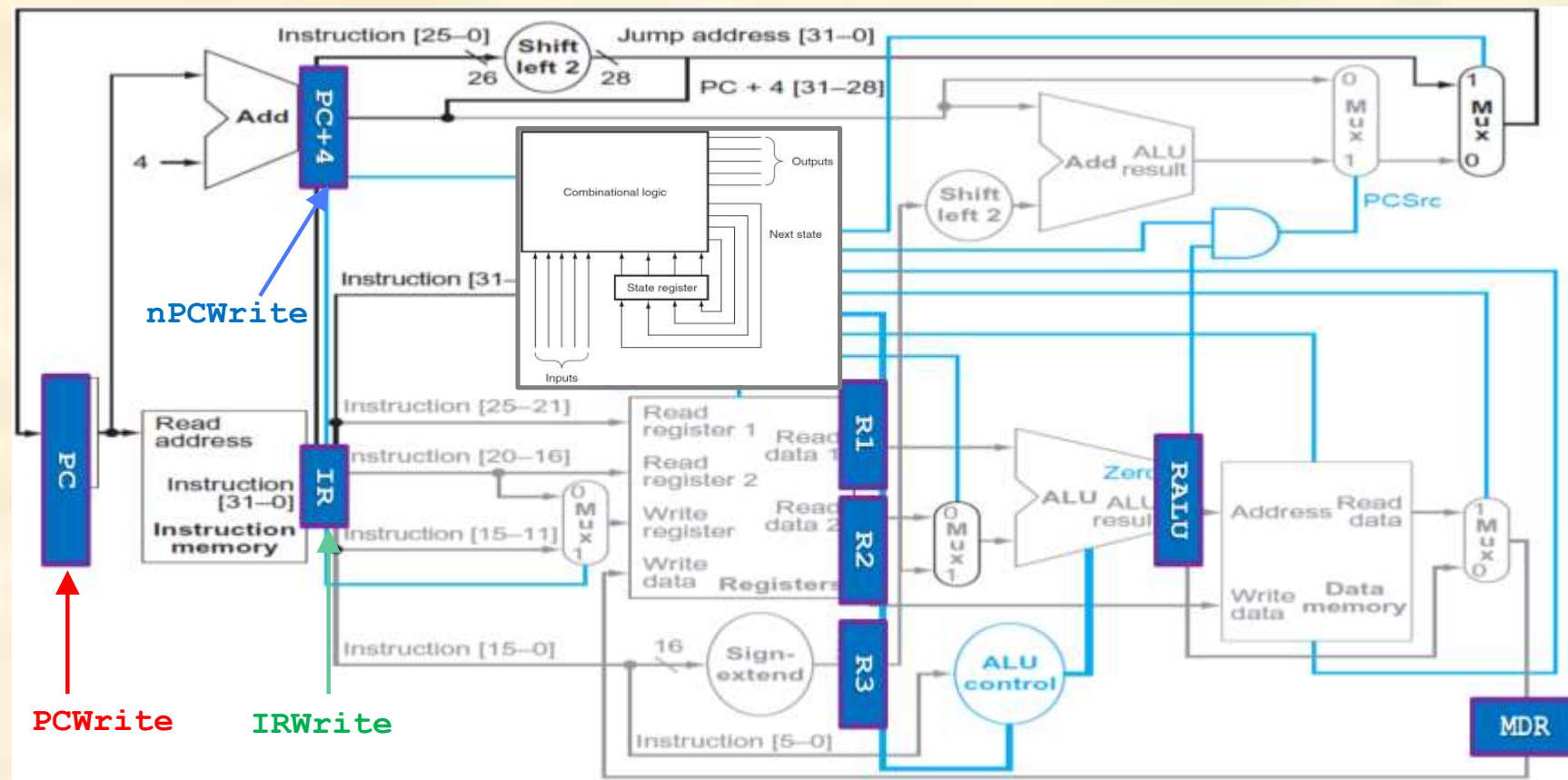
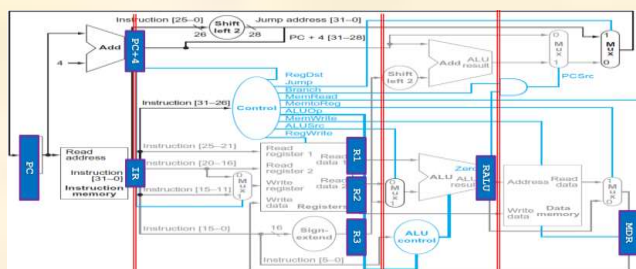
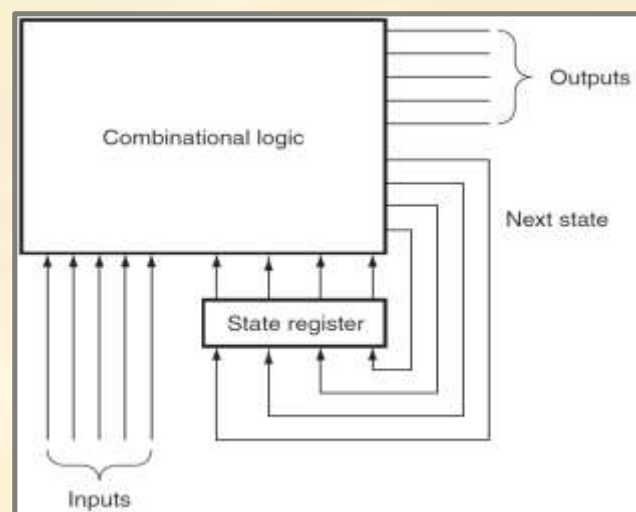
4. ACESSO À MEMÓRIA

5. ESCRITA BANCO REG



Implementação da Unidade de Controle

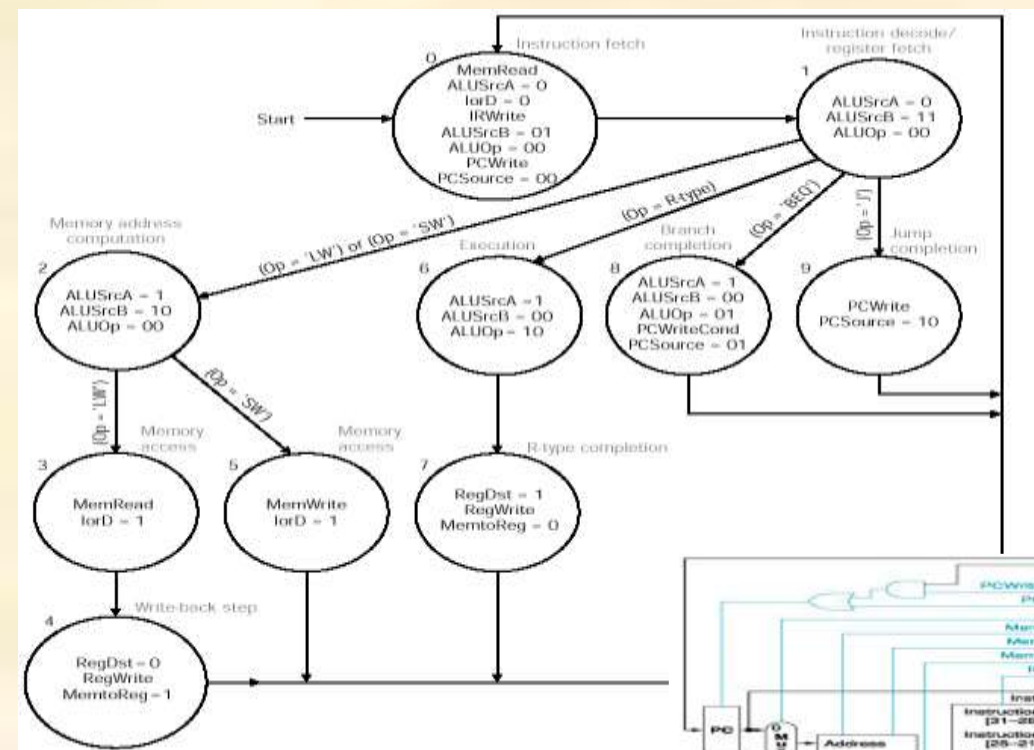
- Uma unidade de controle de um processador multiciclo pode ser implementada por um circuito sequencial que recebe a instrução e resultados do fluxo de dados e tem como saída os sinais de controle



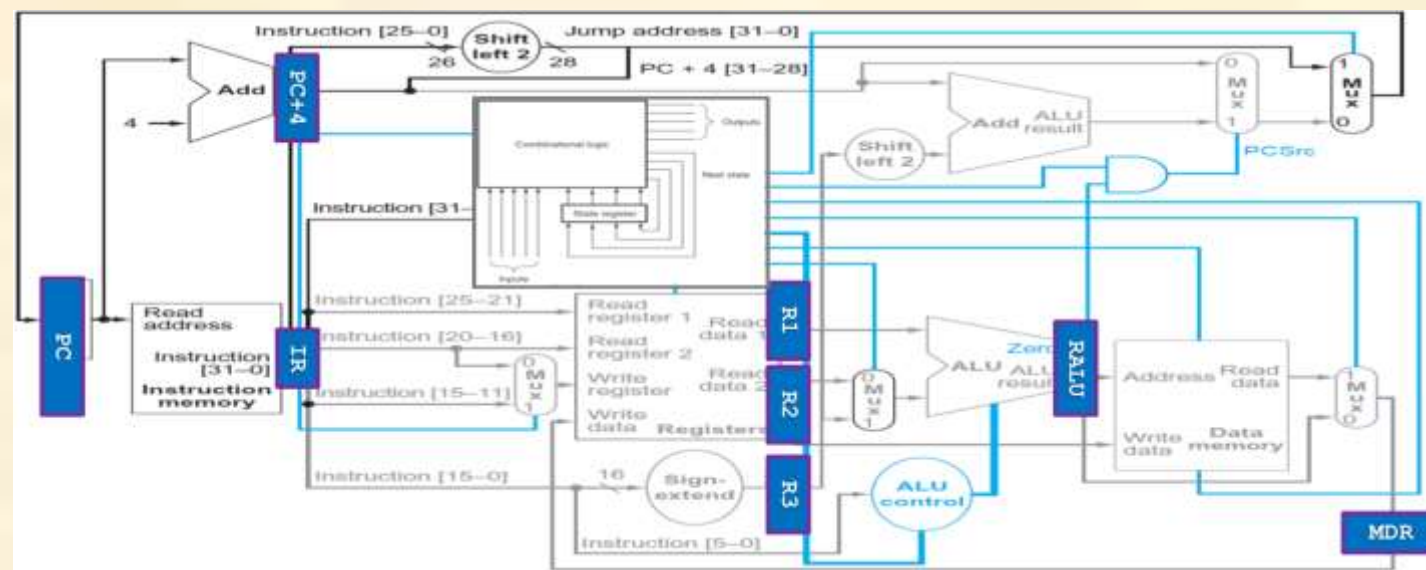
Novos sinais de controle, como PCWrite e IRWrite, habilitam as barreiras temporais, conforme o estágio

Máquina de Estados Finita do Bloco de Controle

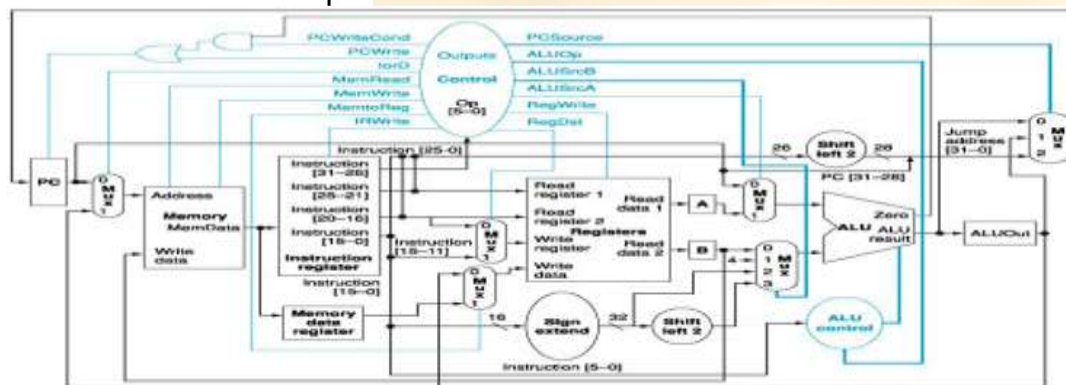
- Máquina de estados finita (FSM) é uma técnica para implementar um circuito sequencial
- O funcionamento da FSM considera as etapas de busca e decodificação, que independe da instrução, seguida da etapa de execução – esta sim, dependente de cada instrução



Sinais de controle do MIPS Multiciclo Von Neumann



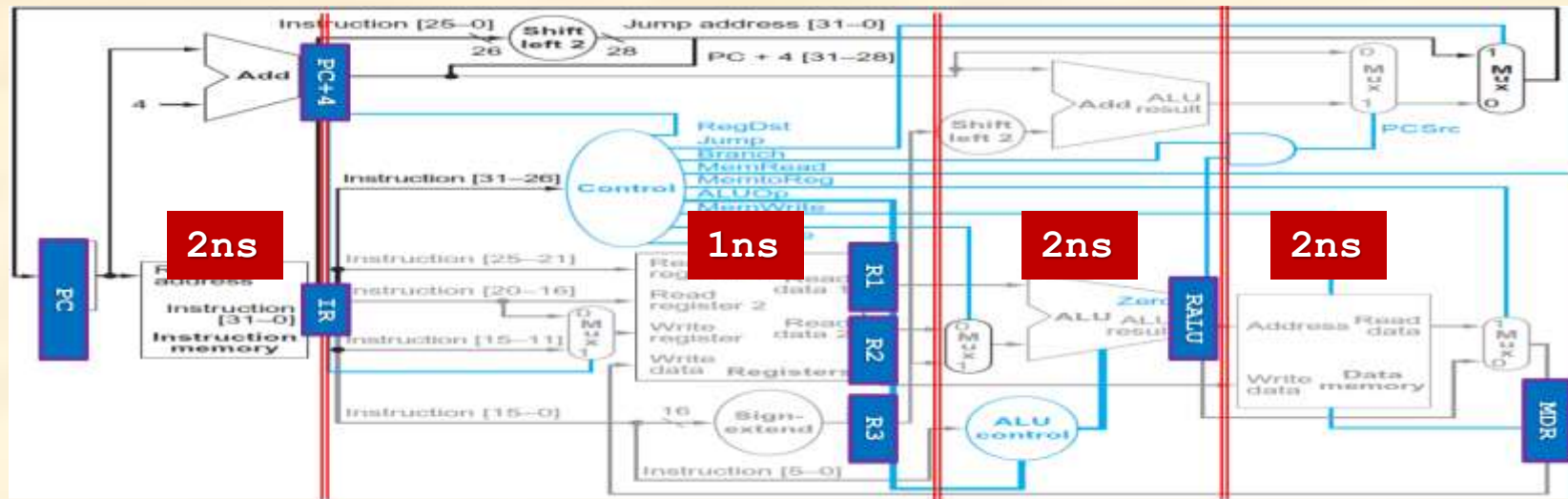
Sinais de controle das barreiras não estão apresentados na organização MIPS Multiciclo Harvard



Organização MIPS Multiciclo Simplificada

Todos Estágios com Atraso de um Ciclo de Relógio

- Supondo que os atrasos de cada estágio sejam determinados por memórias de dados e instrução = 2ns, ULA = 2ns e Banco de registradores = 1ns, então, o maior estágio tem atraso de 2ns



- Na implementação multiciclo, utilizando a FSM ilustrada no slide anterior, temos um ciclo por estágio, logo o tempo para executar cada instrução de uma classe é determinado pela tabela que segue

Classe de instruções	Número de ciclos	Total
Load	5	10 ns
Store	4	8 ns
Registrador	4	8 ns
Desvio condicional e Salto	3	6 ns

Desempenho Multiciclo x Monociclo

- **Implementação Monociclo**

- Considerando o caminho crítico de 8ns (somatório de todos os estágios executados em um único ciclo), o ciclo deve ser maior ou igual a 8ns
- Toda a instrução leva um único ciclo → Ciclos por Instrução (CPI) = 1
- Tempo de execução determinado pelo número de instruções pelo atraso do ciclo

- **Implementação Multiciclo**

- Utilizando a FSM proposta, o ciclo tem que ser maior ou igual a 2ns
- Instruções de uma dada classe são executadas com o mesmo número de ciclos
- CPI depende da relação entre o número de instruções de cada classe e o número total de instruções

Classe de instruções	Número de ciclos	Total
Load	5	10 ns
Store	4	8 ns
Registrador	4	8 ns
Desvio condicional e Salto	3	6 ns

$$CPI = \frac{\sum_{i=1}^n (CPI_i \times I_i)}{\sum_{i=1}^n I_i}$$

- Tempo de execução determinado pelo número de instruções multiplicado pelo atraso do ciclo e pela CPI

- **Desempenho Multiciclo x Monociclo depende de cada programa que é executado**

Exercício / Resposta

- Calcule a CPI média, o tempo total e o tempo médio de execução para ambas as organizações, considerando um programa com o seguinte perfil de execução

- 200 loads
- 150 stores
- 500 registrador
- 50 desvios e saltos

Classe de instruções	Número de ciclos	Total
Load	5	10 ns
Store	4	8 ns
Registrador	4	8 ns
Desvio condicional e Salto	3	6 ns

- $\#Instruções = 200 + 150 + 500 + 50 = 900$

- Monociclo

- $CPI = (200 * 1 + 150 * 1 + 500 * 1 + 50 * 1) / \#Instruções = 900 / 900 = 1$
- $Tempo\ total = 200 * 8ns + 150 * 8ns + 500 * 8ns + 50 * 8ns = 7200ns$
- $Tempo\ médio = Tempo\ total / \#Instruções = 7200ns / 900 = 8ns$

- Multiciclo

- $CPI = (200 * 5 + 150 * 4 + 500 * 4 + 50 * 3) / \#Instruções = 3750 / 900 = 4,167$
- $Tempo\ total = 200 * 10ns + 150 * 8ns + 500 * 8ns + 50 * 6ns = 7500ns$
- $Tempo\ médio = Tempo\ total / \#Instruções = 7500ns / 900 = 8,333ns$

Exercício

- **Compare as CPIs das organizações multiciclo e monociclo e diga qual executa mais rápido e quanto mais rápido , considerando um programa com o seguinte perfil de execução**

- 400 loads
- 100 stores
- 400 registrador
- 100 desvios e saltos

Classe de instruções	Número de ciclos	Total
Load	5	10 ns
Store	4	8 ns
Registrador	4	8 ns
Desvio condicional e Salto	3	6 ns

Resposta

- Compare as CPIs das organizações multiciclo e monociclo e diga qual executa mais rápido e quanto mais rápido , considerando um programa com o seguinte perfil de execução

- 400 loads
- 100 stores
- 400 registrador
- 100 desvios e saltos

Classe de instruções	Número de ciclos	Total
Load	5	10 ns
Store	4	8 ns
Registrador	4	8 ns
Desvio condicional e Salto	3	6 ns

- $\#Instruções = 400 + 100 + 400 + 100 = 1000$

- Monociclo

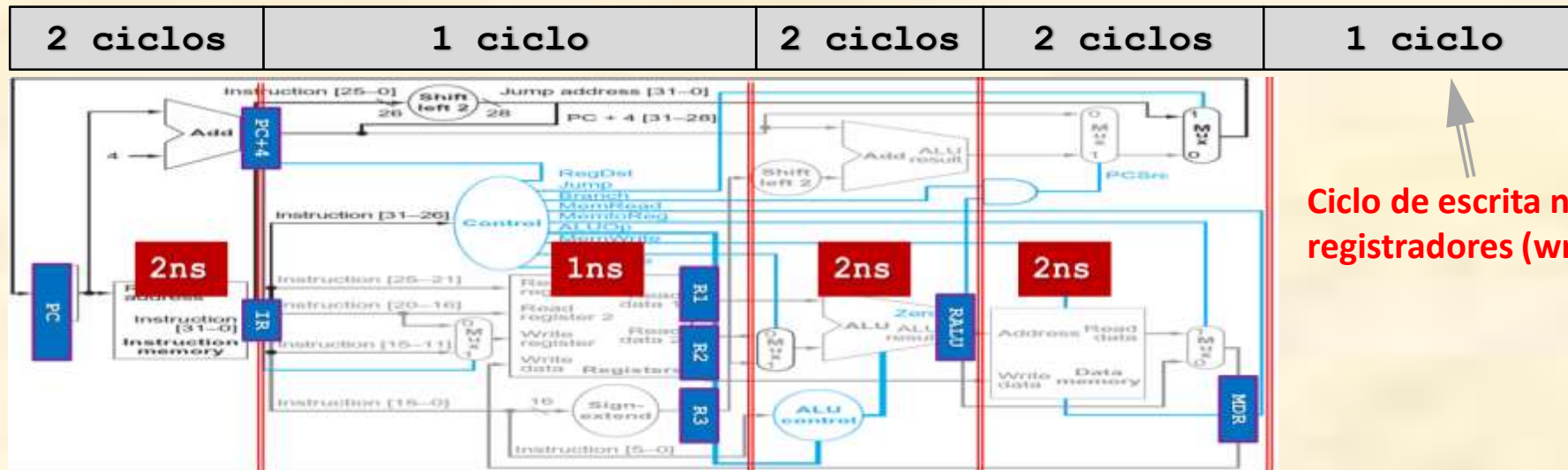
- $CPI = (400 * 1 + 100 * 1 + 400 * 1 + 100 * 1) / \#Instruções = 1000 / 1000 = 1$
- $Tempo\ total = 400 * 8ns + 100 * 8ns + 400 * 8ns + 100 * 8ns = 8000ns$
- $Tempo\ médio = Tempo\ total / \#Instruções = 8000ns / 1000 = 8ns$

- Multiciclo

- $CPI = (400 * 5 + 100 * 4 + 400 * 4 + 100 * 3) / \#Instruções = 4300 / 1000 = 4,3$
- $Tempo\ total = 400 * 10ns + 100 * 8ns + 400 * 8ns + 100 * 6ns = 8600ns$
- $Tempo\ médio = Tempo\ total / \#Instruções = 8600ns / 1000 = 8,6ns$

MIPS Multiciclo – Versão 2

- Implementação Multiciclo com relógio mais rápido e mais de um ciclo por estágio
- Estágio mais lento tem atraso de 1ns → Atraso determina o cálculo do ciclo; i.e., ciclo ≥ 1 ns
- Para operação correta, estágios são realizados com 1 ou 2 ciclos



- Nova máquina de estados e novo número de ciclos e tempo de execução

Classe de instruções	Número de ciclos	Total
Load	8	8 ns
Store	7	7 ns
Registrador	6	6 ns
Desvio condicional e Salto	5	5 ns

Exercícios

- Analise a possibilidade das instruções de salto condicional/incondicional serem executadas no estágio de decodificação ao invés do estágio de execução, como ilustrado na FSM. Qual a consequência?
- Calcule CPI média, tempo total e tempo médio de execução para ambas as organizações multiciclo e monociclo, considerando um programa com o seguinte perfil de execução

- 200 loads
- 150 stores
- 500 registrador
- 50 desvios e saltos

Classe de instruções	Número de ciclos	Total
Load	8	8 ns
Store	7	7 ns
Registrador	6	6 ns
Desvio condicional e Salto	5	5 ns

- Compare as CPIs das organizações multiciclo e monociclo e diga qual executa mais rapidamente, considerando um programa com o seguinte perfil de execução
 - 400 loads
 - 100 stores
 - 400 registrador
 - 100 desvios e saltos

Resposta

- **Analise a possibilidade das instruções de salto condicional/incondicional serem executadas no estágio de decodificação ao invés do estágio de execução, como ilustrado na FSM. Qual a consequência?**
 - Para o caso do **salto condicional**, seria necessário ter o circuito da ULA inserido junto com o banco de registradores. Neste caso, o período de relógio deveria levar em consideração o atraso dos dois circuitos.
 - Para o caso da primeira implementação multiciclo, seriam 4 ciclos. Para o caso da segunda implementação, seriam 3 ciclos.
 - Para o caso do **salto incondicional** seria necessário apenas a mudança de multiplexadores e da FSM, podendo aumentar o caminho crítico, mas não necessariamente
 - Nestes caso, ambas as implementações multiciclo manteriam o mesmo número de ciclos de relógio e consequentemente, apenas a instrução de salto incondicional seria mais rápida

Resposta

- **Calcule CPI média, tempo total e tempo médio de execução para ambas as organizações multiciclo e monociclo, considerando um programa com o seguinte perfil de execução**

- 200 loads
- 150 stores
- 500 registrador
- 50 desvios e saltos

Classe de instruções	Número de ciclos	Total
Load	8	8 ns
Store	7	7 ns
Registrador	6	6 ns
Desvio condicional e Salto	5	5 ns

- $\#Instruções = 200 + 150 + 500 + 50 = 900$

- **Monociclo**

- $CPI = (200 * 1 + 150 * 1 + 500 * 1 + 50 * 1) / \#Instruções = 900 / 900 = 1$
- $Tempo\ total = 200 * 8ns + 150 * 8ns + 500 * 8ns + 50 * 8ns = 7200ns$
- $Tempo\ médio = Tempo\ total / \#Instruções = 7200ns / 900 = 8ns$

- **Multiciclo**

- $CPI = (200 * 8 + 150 * 7 + 500 * 6 + 50 * 5) / \#Instruções = 5900 / 900 = 6,55$
- $Tempo\ total = 200 * 8ns + 150 * 7ns + 500 * 6ns + 50 * 5ns = 5900ns$
- $Tempo\ médio = Tempo\ total / \#Instruções = 5900ns / 900 = 6,55ns$

Resposta

- Compare as CPIs das organizações multiciclo e monociclo e diga qual executa mais rapidamente, considerando um programa com o seguinte perfil de execução

- 400 loads
- 100 stores
- 400 registrador
- 100 desvios e saltos

Classe de instruções	Número de ciclos	Total
Load	8	8 ns
Store	7	7 ns
Registrador	6	6 ns
Desvio condicional e Salto	5	5 ns

- #Instruções = 400 + 100 + 400 + 100 = 1000

- Monociclo

- $CPI = (400 * 1 + 100 * 1 + 400 * 1 + 100 * 1) / \#Instruções = 1000 / 1000 = 1$
- $Tempo\ total = 400 * 8ns + 100 * 8ns + 400 * 8ns + 100 * 8ns = 8000ns$
- $Tempo\ médio = Tempo\ total / \#Instruções = 8000ns / 1000 = 8ns$

- Multiciclo

- $CPI = (400 * 8 + 100 * 7 + 400 * 6 + 100 * 5) / \#Instruções = 6800 / 1000 = 6,8$
- $Tempo\ total = 400 * 8ns + 100 * 7ns + 400 * 6ns + 100 * 5ns = 6800ns$
- $Tempo\ médio = Tempo\ total / \#Instruções = 6800ns / 1000 = 6,8ns$