

## 权利要求书

1、一种能够进行二进制运算和比合三进制运算的计算机系统，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述计算机系统包括：

硬件设备，包括能够在二进制和比合三进制之间切换的处理器、存储系统、编码系统、输入系统和网络系统；

其中，硬件设备还包括内嵌的虚拟机管理固件，所述虚拟机管理固件在计算机系统启动时通过虚拟机配置生成二进制计算处理模式的虚拟机和/或比合三进制计算处理模式的虚拟机，并在生成的二进制虚拟机和/或比合三进制虚拟机上进行计算处理。

2、如权利要求 1 所述的计算机系统，其中，当虚拟机管理固件被关闭时，通过变更处理器处理模式，计算机系统直接运行二进制操作系统或三进制操作系统。

3、如权利要求 1 所述的计算机系统，其中，生成的虚拟机的处理器根据标志位在二进制和比合三进制之间切换。

4、如权利要求 1 所述的计算机系统，其中，计算机系统在创建虚拟机时创建配置文件，并根据配置文件来堆叠配置虚拟机的计算处理资源，

其中，该配置文件包括处理器配置、内存配置、存储配置、网络配置、外设配置和系统配置，

其中，计算机系统的客户机上的操作系统通过设备文件形式和宿主机之间进行配置信息的交流。

5、如权利要求 4 所述的计算机系统，其中，在三进制计算处理模式的内存配置中，内存组织采用双堆栈方式处理比合三进制数据，双堆栈方式采用串行模式、并行模式或串行和并行的混合模式来处理和保存比合三进制数据，

其中，在串行模式下，正数位的数据和反数位的数据以交替方式被存储，在并行模式中，以正数位阵列和反数位阵列的形式存储正数位数据和反数位数据。

6、如权利要求 4 所述的计算机系统，其中，在三进制计算处理模式的网络配置中，采用比合三进制的正数位表示计算机系统的实体 IP 地址，采用比

合三进制的反数位表示计算机系统的虚拟 IP 地址，从而使用实体 IP 地址和虚拟 IP 地址的组合来生成一对称三进制的 IP 地址。

7、如权利要求 4 所述的计算机系统，其中，在三进制计算处理模式的存储配置中包括内置存储配置和外挂存储配置，

5 在内置存储配置中，比合三进制数据的正数位和反数位数据以串行形式存储在一个内部存储节点中，在外挂存储配置模式中，比合三进制数据的正数位和反数位数据以并行形式分别存储在一个内部存储节点和一个外部存储节点中。

8、如权利要求 4 所述的计算机系统，其中，在三进制计算处理模式的处理器配置中，采用能够在二进制和三进制之间切换的数学运算元件和逻辑运算元件。

9、一种采用比合三进制的全加法器，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述全加法器包括：

15 6 个输入端(A,B,C,a,b,c)；

4 个输出端(G,g,S,s)；

一对二进制全加法器，其中，一个二进制全加法器的加法两个输入端分别接收相加的两个比合三进制位的两个正数位(A,B)，进位输入端接收正数位进位 C，两个输出端分别输出经过二进制加法计算后得到的正数位进位值 G1  
20 和正数位累加值 S1，另一个二进制全加法器的加法两个输入端分别接收相加的两个比合三进制位的两个反数位(a,b)，进位输入端接收反数位进位 c，两个输出端分别输出经过二进制加法计算后得到的反数位进位值 g1 和反数位累加值 s1；

二进制比合逻辑运算模块，具有四个输入端和四个输出端，输入端分为  
25 两组，一组输入端接收正数位进位值 G1 和反数位进位值 g1，另一组输入端接收正数位累加值 S1 和反数位值累加值 s1，输出端分为两组，一组输出端输出经过二进制比合运算的正数位进位值 G2 和反数位进位值 g2，另一组输出端输出经过二进制比合运算的正数位累加值 S2 和反数位累加值 s2，其中，二进制比合逻辑运算模块分别对输入的(G1,g1)和(S1,s1)执行二进制比合运算，  
30 使得当 G1 和 g1 为相同值时输出值(G2,g2)=(0,0)，当 G1 和 g1 为不同值时输

出值 $(G2,g2)=(G1,g1)$ ，当  $S1$  和  $s1$  为相同值时使输出值 $(S2,s2)=(0,0)$ ，当  $S1$  和  $s1$  为不同值时使输出值 $(S2,s2)=(S1,s1)$ ；

二进制到三进制转译模块，具有四个输入端和四个输出端，输入端分为两组，一组输入端接收正数位进位值  $G2$  和反数位进位值  $g2$ ，另一组输入端接收正数位累加值  $S2$  和反数位累加值  $s2$ ，输出端分为两组，一组输出端输出经过二进制比合运算的正数位进位值  $G$  和反数位进位值  $g$ ，另一组输出端输出经过二进制比合运算的正数位累加值  $S$  和反数位累加值  $s$ ，其中，当  $XOR(G2,g2)=0$  时使输出值 $(G,g)=(G2,g2)$ ， $(S,s)=(S2,s2)$ ，当  $XOR(G2,g2)=1$  时，如果  $G2=1,g2=0$ ，则使输出值 $(G,g)=(XOR(G2,s2),g2)$ ， $(S,s)=(AND(G2,s2),XOR(XOR(G2,S2),s2))$ ，如果  $G2=0,g2=1$ ，则使输出值 $(G,g)=(G2,XOR(g2,S2))$ ， $(S,s)=(XOR(XOR(g2,S2),s2),AND(g2,s2))$ 。

10、一种采用比合三进制的全加法器，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述全加法器包括：

6 个输入端 $(A,B,C,a,b,c)$ ；

4 个输出端 $(G,g,S,s)$ ；

比合逻辑运算模块，具有六个输入端和六个输出端，输入端分为三组，第一组输入端接收相加的两个比合三进制位的两个正反数位 $(A,a)$ ，另一组输入端接收相加的两个比合三进制位的两个正反数位 $(B,b)$ ，最后一组输入端接受两个比合三进制位进位值 $(C,c)$ ，输出端分为三组，一组输出端输出经过比合运算的  $A$  和  $a$ ，另一组输出端输出经过比合运算的  $B$  和  $b$ ，第三组输出端输出经过比合运算的  $C$  和  $c$ ，其中，比合逻辑运算模块分别对输入的 $(A,a)$ 、 $(B,b)$ 和 $(C,c)$ 执行比合运算，使得当  $A$  和  $a$  为相同值时输出值 $(A,a)=(0,0)$ ，当  $A$  和  $a$  为不同值时输出值 $(A,a)=(A,a)$ ，当  $B$  和  $b$  为相同值时使输出值 $(B,b)=(0,0)$ ，当  $B$  和  $b$  为不同值时使输出值 $(B,b)=(B,b)$ ，当  $C$  和  $c$  为相同值时使输出值 $(C,c)=(0,0)$ ，当  $B$  和  $b$  为不同值时使输出值 $(C,c)=(C,c)$ ；

一对二进制全加法器，其中，一个二进制全加法器的加法两个输入端分别接收比合逻辑运算模块输出的 $(A,B)$ ，进位输入端接收正数位进位  $C$ ，两个输出端分别输出经过二进制加法计算后得到的正数位进位值  $G1$  和正数位累加值  $S1$ ，另一个二进制全加法器的加法两个输入端分别接收二进制比合逻辑

运算模块输出的(a,b)，进位输入端接收反数位进位 c，两个输出端分别输出经过二进制加法计算后得到的反数位进位值 g1 和反数位累加值 s1；

二进制到三进制转译模块，具有四个输入端和四个输出端，输入端分为两组，一组输入端接收正数位进位值 G1 和反数位进位值 g1，另一组输入端接收反数位进位值 S1 和反数位累加值 s1，输出端分为两组，一组输出端输出经过比合运算的正数位进位值 G 和反数位进位值 g，另一组输出端输出经过二进制比合运算的正数位累加值 S 和反数位累加值 s，其中，当  $XOR(G1, g1)=0$  时使输出值  $(G, g)=(G1, g1)$ ， $(S, s)=(S1, s1)$ ，当  $XOR(G1, g1)=1$  时，如果  $G1=1$ ， $g1=0$ ，则使输出值  $(G, g)=(XOR(G1, s1), g1)$ ， $(S, s)=(AND(G1, s1), XOR(XOR(G1, S1), s1))$ ，如果  $G1=0, g1=1$ ，则使输出值  $(G, g)=(G1, XOR(g1, S1))$ ， $(S, s)=(XOR(XOR(g1, S1), s1), AND(g1, s1))$ 。

11、如权利要求 9 或 10 所述的全加法器，还包括：切换模块，根据不同的控制信号来控制全加法器在二进制计算模式和比合三进制计算模式之间切换，

15 其中，在二进制计算模式下，切换模块屏蔽二进制比合逻辑运算模块和二进制到三进制转译模块的操作，从而使所述一对二进制全加法器分别直接执行输入端(A,B,C)和(a,b,c)的加法运算，并且输出端(G,S)和(g,s)分别输出输入端(A,B,C)和(a,b,c)的加法运算的结果。

12、一种采用比合三进制的逻辑非元件，包括：

20 2 个输入端(a,a')，表示比合数  $A=[a, a']$ ；

2 个输出端(d,d')，表示比合数  $D=[d, d']$ ；

运算模块，接收输入端的输入并进行运算，将运算得到的结果输出到输出端，使得  $d=a'$  和  $d'=a$ 。

13、一种采用比合三进制的逻辑比差元件，包括：

25 2 个输入端(a,a')，表示比合数  $A=[a, a']$ ；

2 个输出端(d,d')，表示比合数  $D=[d, d']$ ；

运算模块，接收输入端的输入并进行运算，将运算得到的结果输出到输出端，使得  $d=a \wedge (a \& a')$  和  $d'=a' \wedge (a \& a')$ 。

14、一种采用比合三进制的逻辑与元件，包括：

30 4 个输入端(a,a',b,b')，分别表示比合数  $A=[a, a'], B=[b, b']$ ；

2 个输出端(d,d'), 表示比合数  $D=[d,d']$ ;

运算模块, 接收输入端的输入并进行运算, 将运算得到的结果输出到输出端, 使得  $d=AND(a,b)$  和  $d'=OR(a',b')$ 。

15、一种采用比合三进制的逻辑或元件, 包括:

5 4 个输入端(a,a',b,b'), 分别表示比合数  $A=[a,a'], B=[b,b']$ ;

2 个输出端(d,d'), 表示比合数  $D=[d,d']$ ;

运算模块, 接收输入端的输入并进行运算, 将运算得到的结果输出到输出端, 使得  $d=OR(a,b)$  和  $d'=AND(a',b')$ 。

16、一种采用比合三进制的逻辑同或元件, 包括:

10 4 个输入端(a,a',b,b'), 分别表示比合数  $A=[a,a'], B=[b,b']$ ;

2 个输出端(d,d'), 表示比合数  $D=[d,d']$ ;

运算模块, 接收输入端的输入并进行运算, 将运算得到的结果输出到输出端, 使得  $d=OR(a,b)$  和  $d'=OR(a',b')$ , 然后利用如权利要求 13 所述的比差逻辑元件对运算得到的 d,d' 进行处理使得输出端最终输出  $d=d \wedge (d \& d')$  和  $d'=d' \wedge (d \& d')$ 。

15  $\wedge (d \& d')$ 。

17、一种采用比合三进制的逻辑同与元件, 包括:

4 个输入端(a,a',b,b'), 分别表示比合数  $A=[a,a'], B=[b,b']$ ;

2 个输出端(d,d'), 表示比合数  $D=[d,d']$ ;

20 运算模块, 接收输入端的输入并进行运算, 将运算得到的结果输出到输出端, 使得  $d=AND(a,b)$  和  $d'=AND(a',b')$ 。

18、一种采用比合三进制的逻辑累加元件, 包括:

4 个输入端(a,a',b,b'), 分别表示比合数  $A=[a,a'], B=[b,b']$ ;

2 个输出端(d,d'), 表示比合数  $D=[d,d']$ ;

25 运算模块, 接收输入端的输入并进行运算, 将运算得到的结果输出到输出端, 使得  $d=(a' \& b') | (\sim a \& b) | (\sim b \& a)$  和  $d'=(a \& b) | (\sim a' \& b') | (\sim b' \& a')$ , 然后利用如权利要求 13 所述的比差逻辑元件对运算得到的 d,d' 进行处理使得输出端最终输出  $d=d \wedge (d \& d')$  和  $d'=d' \wedge (d \& d')$ 。

19、一种采用比合三进制的逻辑异或元件, 包括:

4 个输入端(a,a',b,b'), 分别表示比合数  $A=[a,a'], B=[b,b']$ ;

30 2 个输出端(d,d'), 表示比合数  $D=[d,d']$ ;

运算模块，接收输入端的输入并进行运算，将运算得到的结果输出到输出端，使得  $d=(a|b)\&(a'|b')$  和  $d'=(a|b')\&(a'|b)$ 。

20、一种采用比合三进制的逻辑异与元件，包括：

4 个输入端(a,a',b,b')，分别表示比合数  $A=[a,a']$ ,  $B=[b,b']$ ；

5 2 个输出端(d,d')，表示比合数  $D=[d,d']$ ；

运算模块，接收输入端的输入并进行运算，将运算得到的结果输出到输出端，使得  $d=(a\&b)|(a'\&b')$  和  $d'=(a\&b')|(a'\&b)$ 。

21、一种采用比合三进制的半加器，包括：

4 个输入端(a,a',b,b')，分别表示比合数  $A=[a,a']$  和  $B=[b,b']$ ；

10 4 个输出端(c,c',s,s')，表示比合进位数  $C=[c,c']$  和比合半加和数  $S=[s,s']$ ；

运算模块，接收输入端的输入并进行运算，将运算得到的结果输出到输出端，

其中，运算模块包括如权利要求 19 所述的逻辑累加元件、如权利要求 18 的逻辑同与元件和如权利要求 14 所述的逻辑比除元件，

15 通过如权利要求 18 所述的逻辑同与元件使得比合进位数的输出为  $c=a\&b$  和  $c'=a'\&b'$ ，

通过如权利要求 19 所述的逻辑累加元件使得  $s=(a'\&b')|(\sim a\&b)|(\sim b\&a)$  和  $s'=(a\&b)|(\sim a'\&b')|(\sim b'\&a')$ ，然后利用如权利要求 14 所述的逻辑比除元件使得比合半加和数的输出端最终输出  $s=s\wedge(s\&s')$  和  $s'=s'\wedge(s\&s')$ 。

20 22、一种采用比合三进制的乘法器，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述乘法器包括：

四个输入端(a,a',b,b')，分别接收将要进行乘法运算的两个比合数(a,a')和(b,b')；

25 两个输出端(d,d')，用于输出乘法运算的结果；

其中，运算模块包括如权利要求 20 所述的逻辑异与元件，

运算模块，对输入端输入的比合数进行运算并输出运算结果，使得  $d=\text{OR}(\text{AND}(a,b),\text{AND}(a',b'))$ ;  $d'=\text{OR}(\text{AND}(a,b'),\text{AND}(a',b))$ 。

23、一种采用比合三进制的 CPU，其特征在于包括如权利要求 9、10 或  
30 11 所述的可切换二进制和三进制的全加法器、如权利要求 21 所述的半加器、

如权利要求 22 所述的乘法器以及如权利要求 12-20 中的一个或多个所述的逻辑元件。

24、一种光学的逻辑与运算元件，包括：

两个输入端，分别接收将被进行逻辑与运算的两个光信号；

5 一个输出端，根据接收到的光信号的强度来输出与运算的结果，

其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时输出逻辑 1，当输出端接收到暗光信号时输出逻辑 0，

10 其中，输出端位于与两个输入端的位置之间的距离相等的位置处，使得在输出端处发生两个光信号的干涉，

其中，在至少一个输入端没有光信号时不产生光干涉，输出端接收不到光信号。

25、一种光学的逻辑或运算元件，包括：

15 两个输入端，分别接收将被进行逻辑或运算的两个光信号；

一个输出端，根据接收到的光信号的强度来输出逻辑或运算的结果，

其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时输出逻辑 1，当输出端接收到暗光信号时输出逻辑 0，

20 其中，输出端位于与两个输入端的位置之间的距离相等的位置处，在元件的内部形成光路引导两个输入端的光信号直接发射到输出端，从而在至少一个输入端有光信号时在输出端接收到光信号。

26、一种光学的逻辑非运算元件，包括：

25 两个输入端，其中的一个输入端 A 接收将被进行逻辑非运算的光信号，另一个输入端 a 接收恒定的光信号；

一个输出端 T，根据接收到的光信号的强度来输出逻辑非运算的结果，

其中，所述两个光信号是同频率同相位同方向的衍射/干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时输出逻辑 1，当输出端接收到暗光信号时输

30

出逻辑 0,

两个输入端(A,a)和输出端 T 位于直径为光信号的半波长  $\lambda/2$  的  $2n^2+2n+1$  倍的圆周上, 两个输入端(A,a)的距离为半个光波长  $\lambda/2$  的  $2n+1$  倍, 输入端 a 和输出端 T 之间的距离为半波长  $\lambda/2$  的  $2n^2+2n$  倍, n 是自然数。

5        27、一种用于逻辑比合运算的光学的逻辑比合运算元件, 包括:

两个输入端(A, a), 分别接收将被进行逻辑比合运算的两个光信号;

两个输出端(B, b), 根据接收到的光信号的强度来输出逻辑比合运算的结果,

10        其中, 所述两个光信号是同频率同相位同方向的干涉光, 当输入端接收到光信号时表示输入逻辑 1, 当输入端没有接收到光信号时表示输入逻辑 0, 当输出端接收到强光信号时输出逻辑 1, 当输出端接收到暗光信号时输出逻辑 0,

15        两个输入端(A,a)和两个输出端(B, b)位于直径为光信号的半波长  $\lambda/2$  的  $2n^2+2n+1$  倍的圆周上, 两个输入端(A,a)的距离为半个光波长  $\lambda/2$  的  $2n+1$  倍, 输入端 A 和输出端 B 之间的距离以及输入端 a 和输出端 b 之间的距离为半波长  $\lambda/2$  的  $2n^2+2n$  倍, n 是自然数,

其中, 输出端的光信号被表示为:  $B=XOR(A,AND(A,a))$ ,  $b=XOR(a,AND(A, a))$ 。

28、一种光学的逻辑异或运算元件, 包括:

20        两个输入端(A, a), 分别接收将被进行逻辑异或运算的两个光信号;

一个输出端(C), 根据接收到的光信号的强度来输出逻辑异或运算的结果;  
两个中间节点(B, b);

25        其中, 所述两个光信号是同频率同相位同方向的干涉光, 当输入端接收到光信号时表示输入逻辑 1, 当输入端没有接收到光信号时表示输入逻辑 0, 当输出端接收到强光信号时输出逻辑 1, 当输出端接收到暗光信号时输出逻辑 0,

30        两个输入端(A,a)和两个中间节点(B, b)位于直径为光信号的半波长  $\lambda/2$  的  $2n^2+2n+1$  倍的圆周上, 两个输入端(A,a)的距离为半个光波长  $\lambda/2$  的  $2n+1$  倍, 输入端 A 和中间节点 B 之间的距离以及输入端 a 和中间节点 b 之间的距离为半波长  $\lambda/2$  的  $2n^2+2n$  倍, n 是自然数,



输出端 C 位于与两个中间节点(B, b)的位置之间的距离相等的位置处。

29、一种比合三进制到对称三进制的光学的转换元件，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述转换元件包括：

5 两个输入端(A,B)，分别接收表示比合三进制数的正数位和反数位的两个光信号；

三个输出端(I,R,T)，分别输出表示转换结果的对称三进制数(1,0,-1)的光信号，

10 其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时表示与该输出端对应的对称三进制数存在，当输出端接收到暗光信号时表示与该输出端对应的对称三进制数不存在，

15 其中，两个输入端(A,B)和三个输出端(I,R,T)位于直径为光信号的半波长  $\lambda/2$  的  $2n^2+2n+1$  倍的圆周上，两个输入端(A,B)之间的距离为  $\lambda/2$  的  $2n+1$  倍，输出端 I 与输入端 A 之间的距离以及输出端 T 与输入端 B 之间的距离为  $\lambda/2$  的  $2n^2+2n$  倍，输出端 R 位于圆周上与两个输入端(A,B)的位置的距离相等的位置处，n 是自然数。

20 30、一种对称三进制到比合三进制的光学的转换元件，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述转换元件包括：

三个输入端(I,R,T)，分别接收表示对称三进制数(1,0,-1)的三个光信号；

两个输出端(A,B)，分别输出表示转换结果的比合三进制数的正数位和反数位的两个光信号，

其中，所述转换元件的内部形成有光路使得：

25 当对称三进制数为 1 时，输入端 I 的光信号通过光路直接发射到输出端 A，当对称三进制数为-1 时，输入端 T 的光信号通过光路直接发射到输出端 B，当对称三进制数为 0 时，输入端 R 的光信号通过光路同时发射到输出端(A,B)。

30 31、如权利要求 24 所述的逻辑与运算元件、如权利要求 25 所述的逻辑或运算元件、如权利要求 26 所述的逻辑非运算元件、如权利要求 26 所述的逻辑比合运算元件、如权利要求 27 所述的逻辑异或运算元件、如权利要求

29 所述的转换元件或如权利要求 30 所述的转换元件，其中，在输出端上布置有用于将接收到的光信号转换为电信号的光电感应器。

32、一种存储比合三进制数据的存储装置，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述存储装置包括：

正数链数据存储单元，存储表示比合三进制位的正数位的数据；

反数链数据存储单元，存储表示比合三进制位的反数位的数据。

33、如权利要求 32 所述的存储装置，还包括：并行串行转换单元，用于在并行模式和串行模式之间进行转换，

10 其中，在串行模式中，正数位的数据和反数位的数据以交替方式被存储，在并行模式中，以正数位阵列和反数位阵列的形式存储正数位数据和反数位数据。

34、如权利要求 32 所述的存储装置，其中，所述存储装置由三层印刷电路板构成，正数链数据存储单元被布置在存储装置的第一层印刷电路板上，  
15 反数链数据存储单元被布置在存储装置的第三层印刷电路板上，并行串行转换单元被布置在中间的第二层印刷电路板上，使正反并行链条和奇偶串行链条数据结构相互转换。

35、如权利要求 32 所述的存储装置，其中，正数链数据存储单元和反数链数据存储单元分别位于不同的存储节点。

20 36、一种存储比合三进制数据的记录光盘，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述记录光盘包括：

基板；

反射层；

25 记录层，在记录层按照不同角度形成两种类型的反光点，其中的一种类型的反光点表示比合三进制位的正数位，另一种类型的反光点表示比合三进制位的反数位。

37、一种存储比合三进制数据的记录光盘，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三  
30 进制位的正数位和反数位，所述记录光盘包括：

基板；

反射层；

两个记录层，在其中的一个记录层中记录比合三进制位的正数位，在另一个记录层中记录比合三进制位的反数位。

- 5        38、一种存储比合三进制数据的全息存储介质，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述全息存储介质的特征在于：

通过干涉的两束激光束在所述全息存储介质中形成与比合三进制数据的正数位和反数位对应的干涉条纹图案。

- 10       39、一种记录比合三进制数据的方法，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述方法包括：

将表示比合三进制位的正数位的数据记录在存储介质的正数链数据存储部分；

- 15       将表示比合三进制位的反数位的数据记录在存储介质的反数链数据存储部分。

40、一种基于三进制编码的输入法，包括：

检测用户在输入装置上输入的输入轨迹；

基于输入轨迹确定与输入轨迹对应的图案符号的三进制编码；

- 20       基于三进制编码与符号文字的映射表确定和输出与所述三进制编码对应的符号文字，

其中，所述输入轨迹是从矩形的四个顶点之一一起始，沿着矩形的四个边或对角线移动并且通过四个顶点中的至少两个顶点的一笔画输入轨迹，

- 25       其中，在所述三进制编码中，由一个三进制数位表示起始点的位置，由三进制数的三个不同数位之一分别表示两个顶点之间的顺时针运动轨迹、对角线的运动轨迹和逆时针运动轨迹。

41、如权利要求 40 所述的输入法，其中，三进制编码符号被存储在 ASCII 编码或 Unicode 编码的扩展编码中。

- 30       42、如权利要求 40 所述的输入法，其中，如下面的表所示来对应地表示和匹配三元 CHIA 编码符号和轨迹编码 Toicode：

小写	a	b	c	d	e	f	g	h	i	j	k
----	---	---	---	---	---	---	---	---	---	---	---

CHIA	ㄴ	ㄹ	ㄷ	ㄸ	ㄹ	ㄺ	ㄻ	ㄼ	ㄽ	ㄾ	ㄿ
韩音	ㄴ	ㄹ	ㄷ	ㄸ	ㄹ	ㄺ	ㄻ	ㄼ	ㄽ	ㄾ	ㄿ
Unicode	2be1	2be2	2be3	2be4	2be5	2be6	2be7	2be8	2be9	2bea	0xeb
ToiCode 轨迹码	1431, 1341	12413 4, 124 314, 1 34124 , 1342 14, 14 3124, 14213 4	1234	1421, 1241	12342 , 1243 2	14324 , 1423 4	123	14231 , 1324 1	13	134	124
小写	l	m	n	o	p	q	r	s	t	u	v
CHIA	ㄴ	ㄹ	ㄷ	ㄸ	ㄹ	ㄺ	ㄻ	ㄼ	ㄽ	ㄾ	ㄿ
韩音	ㄴ	ㄹ	ㄷ	ㄸ	ㄹ	ㄺ	ㄻ	ㄼ	ㄽ	ㄾ	ㄿ
Unicode	2bec	2bed	2bee	2bef	2bf0	2bf1	2bf2	2bf3	2bf4	2bf5	0xf6
ToiCode 轨迹码	143	14213 2, 142 312, 1 32412 , 1321 42, 12 3142, 12413 2	1423	14321 , 1234 1	1431, 1345	14213 , 1241 3	12341 3, 143 213, 1 43123 , 1231 43, 13 4123, 13214 3	12431 , 1342 1	1231, 1321	1432	142
小写	w	x	y	z	sp	,	.	;	:	ê	â
CHIA	ㄴ	ㄹ	ㄷ	ㄸ	ㄹ					ㄴ	ㄹ
韩音	ㄴ	ㄹ	ㄷ	ㄸ						ㄴ	ㄹ
Unicode	2bf7	2bf8	2bf9	2bfa	2b20						
ToiCode 轨迹码	1342	1324	132	1243	12	11	22	323, 234	414	14312 , 1341 2	13423 , 1324 3
大写	A	B	C	D	E	F	G	H	I	J	K
CHIA	ㄴ	ㄹ	ㄷ	ㄸ	ㄹ	ㄺ	ㄻ	ㄼ	ㄽ	ㄾ	ㄿ
韩音	ㄴ	ㄹ	ㄷ	ㄸ	ㄹ	ㄺ	ㄻ	ㄼ	ㄽ	ㄾ	ㄿ
Unicode	2bc1	2bc2	2bc3	2bc4	2bc5	2bc6	2bc7	2bc8	2bc9	2bca	2bcb
ToiCode 轨迹码	11342 , 4113 42	11421 32, 11 42312 , 1132 412, 1 13214 2, 112 3142, 11241	11234 , 4112 34	11421 , 1124 1, 411 421, 4 11241	11234 2, 112 432, 4 11234 2, 411 2432,	11432 4, 114 234, 4 11432 4, 411 4234	1123, 41123	11423 1, 113 241, 4 11423 1, 411 3241	113, 41113	1134, 41134	1124, 41124

		32									
大写	L	M	N	O	P	Q	R	S	T	U	V
CHIA	ㄌ	ㄢ	ㄣ	ㄛ	ㄞ	ㄟ	ㄠ	ㄡ	ㄢ	ㄣ	ㄤ
韩音	ㅇ	ㅁ	ㄴ	ㅇ	ㅍ	ㅑ	ㅓ	ㅕ	ㅗ	ㅛ	ㅜ
Unicode	2bcc	2bcd	2bce	2bcf	2bd0	2bd1	2bd2	2bd3	2bd4	2bd5	2bd6
ToiCode 轨迹码	1143, 41143	11421 32, 11 42312 , 1132 412, 1 13214 2, 112 3142, 11241 32	11423 , 4114 23	11432 1, 112 341, 4 11432 1, 411 2341	11431 , 1134 5, 411 431, 4 11345	11421 3, 112 413, 4 11421 3, 411 2413	11234 13, 11 43213 , 1143 123, 1 12314 3, 113 4123, 11321 43	11243 1, 113 421, 4 11243 1, 411 3421	11231 , 1132 1, 411 231, 4 11321	11432 , 4114 32	1142, 41142
英大写	W	X	Y	Z		←	→	↓	↑	num	bsp
CHIA	ㄨ	ㄨ	ㄣ	ㄤ							
韩音	ㅜ	ㅜ	ㅡ	ㅗ							
Unicode	2bd7	2bd8	2bd9	2bda							
ToiCode 轨迹码	11342 , 4113 42	11324 , 4113 24	1132, 41132	11243 , 4112 43		34	43	23	32	33	21

数字	0	1	2	3	4	5	6	7	8	9
CHIA	ㄦ	/	ㄥ	ㄷ	ㄴ	ㄷ	ㄴ	ㄱ	ㄴ	ㄴ
Unicode	2bb0	2bb1	2bb2	2bb3	2bb4	2bb5	2bb6	2bb7	2bb8	2bb9
ToiCode 轨迹码	21432, 23412, 214324 , 21423 4, 2341 24, 234 214, 24 3214, 2 41234	24	2134	2143	243	2432, 2 342	2432, 2 342, 21 431, 21 341	214	2413	21423, 24123
标点	!	@	#	\$	%	^	&	*	(	)
CHIA									ㄱ	ㄴ
ToiCode 轨迹码	3323, 2 32, 332 , 224, 2 232	3143, 3 413, 22 134	32143, 34123, 22143	3421, 4312, 2243	3243, 3 423, 22 432, 22 342	314, 32 4, 2243 2, 2234 2	34213, 31243, 2214, 3 31	3142, 4 3241, 2 2413, 3 33, 332	412, 34 1	321, 43 2

								3		
标点	~	`	-	_	=		/	\	[	]
CHIA					U				C	Q
ToiCode 轨迹码	2314, 4 123	3241, 3 31	121	434	212, 23 41, 321 4, 3124	141	42, 242 , 24134 , 24314	31, 131 , 32431 , 34231	3412, 2 2143	4321, 3 214
标点	<	>	?	,	"	+			{	}
CHIA									Z	X
ToiCode 轨迹码	312, 34 2, 2243	421, 43 1	31421, 31241, 4414	114	223	343, 42 31, 3124			3341, 4 2341, 4 3241	3321, 3 1432, 3 4132
控制	Fn	Ctrl	Alt	Enter	Shift	PrtSc	Del	Esc	WIN	Ctrl+A lt+Del
CHIA	⌘	⌃	⌥	↵		⌵	⌴	⌵	⌵	⌵
ToiCode 轨迹码	44	4, 4123 4, 4321 4, 4123 , 4321	4134, 4 314	33, 43 2, 224 , 442	1, 41	41231, 41321	21, 4413, 4 423	42132, 42312	423412 , 42143 2, 4124 32, 412 342, 43 2412, 4 32142	41342, 43142

。

43、如权利要求 40 所述的输入法，其中，除了一笔画输入轨迹之外的特定输入轨迹被定义为与特定的控制字符对应。

44、如权利要求 40 所述的输入法，其中，所述输入装置具有四个检测点，  
5 所述四个检测点位于矩形的顶点，用户通过所述四个检测点来输入特定的输入轨迹。

45、如权利要求 40 所述的输入法，其中，所述输入装置具有与多个输入轨迹的图案符号一一对应的实体或虚拟的多个按键，用户通过按压按键来输入对应的输入轨迹。

10 46、如权利要求 45 所述的输入法，其中，所述多个按键包括一笔画输入轨迹形成的所有图案符号中的全部或至少一部分。

47、如权利要求 40 所述的输入法，其中，所述输入装置是六面体，六面体的每个面上设置有 9 个相似图案符号的 9 个按键。

48、一种输入法，包括：

15 在输入装置上确定用户输入的输入轨迹；

确定与输入轨迹的图案对应的编码；

基于编码与符号文字的映射表，确定并输出与编码对应的符号文字，

其中，所述输入装置具有包括分布在圆周上的 8 个检测区域和圆心上的检测区域的 9 个不同的检测区域，所述输入轨迹从圆周上的 8 个检测区域中的任意一个检测区域起始并且沿着半径方向经过圆心的检测区域，然后再次移动到圆周上的 8 个检测区域中的任意一个而结束，

其中，圆周上的 8 个检测区域由 8 个不同的数值表示，

所述编码由输入轨迹的起始区域位置和结束点位置的数值表示。

49、一种输入法，包括：

在输入装置上确定用户输入的输入轨迹；

确定与输入轨迹的图案对应的编码；

基于编码与符号文字的映射表，确定并输出与编码对应的符号文字，

其中，所述输入装置具有包括分布在圆周上的 8 个不同的检测区域，所述输入轨迹从圆周上的 8 个检测区域中的任意一个检测区域起始并且沿着顺时针方向或逆时针方向移动至圆周上的一个检测区域，然后以相反的方向从该检测区域再次沿着圆周移动到圆周上的任意一个检测区域而结束，

其中，圆周上的 8 个检测区域由 8 个不同的数值表示，

其中，所述编码由输入轨迹的起始点位置和结束点位置的数值表示。

50、一种输入法，包括：

在输入装置上确定用户输入的输入轨迹；

确定与输入轨迹的图案对应的编码；

基于编码与符号文字的映射表，确定并输出与编码对应的符号文字，

其中，所述输入装置具有包括分布在线段上的 8 个检测点，所述输入轨迹从线段上的 8 个检测点中的任意一个检测点起始并且沿着线段的一个方向移动至线段上的一个检测点，然后以相反的方向从该检测点再次沿着线段移动到线段上的任意一个检测点而结束，

其中，8 个检测点由 8 个不同的数值表示，

其中，所述编码由输入轨迹的起始点位置和结束点位置的数值表示。

51、如权利要求 1 所述的计算机系统，其中，所述计算机系统的硬件设备包括输入设备，所述输入设备是采用如权利要求 30-40 中的任意一个所述

的输入法的输入装置。

- 52、如权利要求 1 所述的计算机系统，其中，所述计算机系统的硬件设备的运算系统采用如权利要求 9 或 10 所述的全加法器、如权利要求 12 所述的乘法器、如权利要求 23 所述的 CPU、如权利要求 24 所述的逻辑与门元件、
- 5 如权利要求 25 所述的逻辑或门元件、如权利要求 26 所述的逻辑非门元件、如权利要求 27 所述的逻辑比合运算门元件、如权利要求 28 所述的逻辑异或门元件、如权利要求 29 所述的转换元件和/或如权利要求 30 所述的转换元件。

- 53、如权利要求 1 所述的计算机系统，其中，所述计算机系统的硬件设备包括存储系统，所述存储系统采用如权利要求 32-35 中的任意一个所述的
- 10 存储装置、如权利要求 36-37 中的任意一个所述的光盘和/或如权利要求 38 所述的全息存储介质。

54、一种运行比合三进制运算的二进制计算机系统，包括：

基于二进制的硬件设备；

二进制的操作系统，

- 15 其中，在二进制操作系统的底层通过软件模拟比合三进制计算，并在底层包装 API 提供给上层应用调用，从而在操作系统的上层以及运行在操作系统在的应用中执行比合三进制运算。