

说明书

三进制和二进制混合运算的计算机系统

5 技术领域

本发明涉及计算机领域，更具体地说，涉及一种能够执行三进制和二进制混合运算的计算机系统，包括该混合运算的计算机系统的运算系统、内存系统、存储系统、网络系统、外设系统等。本发明的计算机系统适用于电子和光子计算。此外，根据本发明的外设系统的交互方式也适用于物联网和穿戴电子设备的物理和虚拟方式(VR/AR)的交互界面。

背景技术

三进制是以 3 为基数的进制。与二进制相似，三进制的数位称为三进制位(trit)。每个单位信息量密度上三进制位比二进制位的信息量大。通常，三进制中使用 0、1、2 三个数字。但在对称三进制中，则使用-1(记作 T)、0、1 来表达三进制位。

现今的计算机都使用二进制的数字系统，尽管它的计算规则非常简单，但其实二进制逻辑并不能完美地表达人类的真实想法。相比之下，三进制逻辑更接近人类大脑的思维方式。因为在一般情况下，人对于问题的看法不是只有“真”和“假”两种答案，还有一种“非常道”。在对称三进制逻辑学中，符号“1”代表“真”；符号“-1”代表“假”；符号“0”代表“不知道”。显然，这种逻辑表达方式更符合计算机在人工智能方面的发展趋势。它为计算机的模糊运算和自主学习提供了可能。三进制代码的一个特点是对称，即相反数的一致性，因此它就和二进制代码不同，不存在“无符号数”的概念。这样，三进制计算机的架构也要简单、稳定、经济得多。其指令系统也更便于阅读，而且非常高效，更加适宜用于非线性光计算处理。

如上所述，基于对称三进制的计算机系统并非无法实现。但是，当前的现实是：计算机系统普遍采用了“二进制”数字系统，为此需要一种能够在二进制计算机环境下执行三进制计算的技术。

发明内容

在下面的描述中将部分地阐明本发明另外的方面和/或优点，通过描述，其会变得更加清楚，或者通过实施本发明可以了解。

5 本发明提供了一种能够在二进制和三进制之间自由切换的计算机系统，并提供了与该计算机系统相适应的能够基于二进制和三进制进行运算的处理器、存储系统、编码系统、输入系统和网络系统等。

10 根据本发明的一方面，提供了一种能够进行二进制运算和比合三进制运算的计算机系统，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述计算机系统包括：硬件设备，包括能够在二进制和比合三进制之间切换的处理器、存储系统、编码系统、输入系统和网络系统；其中，硬件设备还包括内嵌的虚拟机管理固件，所述虚拟机管理固件在计算机系统启动时通过虚拟机配置生成二进制计算处理模式的虚拟机和/或比合三进制计算处理模式的虚拟机，并在生成的二进制虚拟机和/或比合三进制虚拟机上进行计算处理。

15 根据本发明的一方面，当虚拟机管理固件被关闭时，通过变更处理器处理模式，计算机系统直接运行二进制操作系统或三进制操作系统。

根据本发明的一方面，生成的虚拟机的处理器根据标志位在二进制和比合三进制之间切换。

20 根据本发明的一方面，计算机系统在创建虚拟机时创建配置文件，并根据配置文件来堆叠配置虚拟机的计算处理资源，其中，该配置文件包括处理器配置、内存配置、存储配置、网络配置、外设配置和系统配置，其中，计算机系统的客户机上的操作系统通过设备文件形式和宿主机之间进行配置信息的交流。

25 根据本发明的一方面，在三进制计算处理模式的内存配置中，内存组织采用双堆栈方式处理比合三进制数据，双堆栈方式采用串行模式、并行模式或串行和并行的混合模式来处理和保存比合三进制数据，其中，在串行模式下，正数位的数据和反数位的数据以交替方式被存储，在并行模式中，以正数位阵列和反数位阵列的形式存储正数位数据和反数位数据。

30 根据本发明的一方面，在三进制计算处理模式的网络配置中，采用比合三进制的正数位表示计算机系统的实体 IP 地址，采用比合三进制的反数位表

示计算机系统的虚拟 IP 地址，从而使用实体 IP 地址和虚拟 IP 地址的组合来生成一对称三进制的 IP 地址。

根据本发明的一方面，在三进制计算处理模式的存储配置中包括内置存储配置和外挂存储配置，

- 5 根据本发明的一方面，在内置存储配置中，比合三进制数据的正数位和反数位数据以串行形式存储在一个内部存储节点中，在外挂存储配置模式中，比合三进制数据的正数位和反数位数据以并行形式分别存储在一个内部存储节点和一个外部存储节点中。

- 10 根据本发明的一方面，在三进制计算处理模式的处理器配置中，采用能够在二进制和三进制之间切换的数学运算元件和逻辑运算元件。

- 根据本发明的另一方面，提供了一种采用比合三进制的全加法器，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述全加法器包括：6 个输入端(A,B,C,a,b,c)；4 个输出端(G,g,S,s)；一对二进制全加法器，其中，一个二进制全加法器的加法两个输入端分别接收所述相加的两个比合三进制位的两个正数位(A,B)，进位输入端接收正数位进位 C，两个输出端分别输出经过二进制加法计算后得到的正数位进位值 G1 和正数位累加值 S1，另一个二进制全加法器的加法两个输入端分别接收相加的所述两个比合三进制位的两个反数位(a,b)，进位输入端接收反数位进位 c，两个输出端分别输出经过二进制加法计算后得到的反数位进位值 g1 和反数位累加值 s1；二进制比合逻辑运算模块，具有四个输入端和四个输出端，输入端分为两组，一组输入端接收正数位进位值 G1 和反数位进位值 g1，另一组输入端接收正数位累加值 S1 和反数位值累加值 s1，输出端分为两组，一组输出端输出经过二进制比合运算的正数位进位值 G2 和反数位进位值 g2，另一组输出端输出经过二进制比合运算的正数位累加值 S2 和反数位累加值 s2，其中，二进制比合逻辑运算模块分别对输入的(G1,g1)和(S1,s1)执行二进制比合运算，使得当 G1 和 g1 为相同值时输出值(G2,g2)=(0,0)，当 G1 和 g1 为不同值时输出值(G2,g2)=(G1,g1)，当 S1 和 s1 为相同值时使输出值(S2,s2)=(0,0)，当 S1 和 s1 为不同值时使输出值(S2,s2)=(S1,s1)；二进制到三进制转译模块，具有四个输入端和四个输出端，
- 30 输入端分为两组，一组输入端接收正数位进位值 G2 和反数位进位值 g2，另

一组输入端接收正数位累加值 $S2$ 和反数位值累加值 $s2$ ，输出端分为两组，一组输出端输出经过二进制比合运算的正数位进位值 G 和反数位进位值 g ，另一组输出端输出经过二进制比合运算的正数位累加值 S 和反数位累加值 s ，其中，当 $XOR(G2,g2)=0$ 时使输出值 $(G,g)=(G2,g2)$ ， $(S,s)=(S2,s2)$ ，当
 5 $XOR(G2,g2)=1$ 时，如果 $G2=1,g2=0$ ，则使输出值 $(G,g)=(XOR(G2,s2),g2)$ ， $(S,s)=(AND(G2,s2), XOR(XOR(G2,S2),s2))$ ，如果 $G2=0,g2=1$ ，则使输出值 $(G,g)=(G2,XOR(g2,S2))$ ， $(S,s)=(XOR(XOR(g2,S2),s2), AND(g2,s2))$ 。

根据本发明的另一方面，还提供了采用比合三进制的全加法器，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述全加法器包括：6 个输入端 (A,B,C,a,b,c) ；4 个输出端 (G,g,S,s) ；比合逻辑运算模块，具有六个输入端和六个输出端，输入端分为三组正反组合 $(A,a),(B,b),(C,c)$ ，每组相互二进制比合处理，使得 A 和 a 数据为相同值时输出值 $(A,a)=(0,0)$ ，当为不同值时输出值 $(A,a)=(A,a)$ ，当 B 和 b 为相同值时使输出值 $(B,b)=(0,0)$ ，当 B 和 b 为不同值
 15 时使输出值 $(B,b)=(B,b)$ ，当一对进位值 C 和 c 为相同值时使输出值 $(C,c)=(0,0)$ ，当 C 和 c 为不同值时使输出值 $(C,c)=(C,c)$ ；一对二进制加法器模块，具有六个输入端和四个输出端，比合处理后的六个数据分为两组 (A,B,C) 和 (a,b,c) 分别输入到一对二进制全加器，其中，一个二进制全加法器的两个输入端 A 和 B 和进位 C 数据经过二进制全加器计算模块计算后，输出正数位的二进制加法结果的进位值和累加值 $(G1,S1)$ ，另一个二进制全加法器的两个输入端 a 和 b 和进位 c 数据经过二进制全加器计算模块计算后，输出反数位的二进制加法结果的进位值和累加值 $(g1,s1)$ ；二进制到三进制转译模块，具有四个输入端和四个输出端，输入端分为两组，一组输入端接收正数位进位值 $G1$ 和反数位进位值 $g1$ ，另一组输入端接收反数位进位值 $S1$ 和反数位累加值 $s1$ ，输出
 25 端分为两组，一组输出端输出经过二进制比合运算的正数位进位值 G 和反数位进位值 g ，另一组输出端输出经过二进制比合运算的正数位累加值 S 和反数位累加值 s ，其中，当 $XOR(G1,g1)=0$ 时使输出值 $(G,g)=(G1,g1)$ ， $(S,s)=(S1,s1)$ ，当 $XOR(G1,g1)=1$ 时，如果 $G1=1,g1=0$ ，则使输出值 $(G,g)=(XOR(G1,s1),g1)$ ， $(S,s)=(AND(G1,s1), XOR(XOR(G1,S1),s1))$ ，如果 $G1=0,g1=1$ ，则使输出值
 30 $(G,g)=(G1,XOR(g1,S1))$ ， $(S,s)=(XOR(XOR(g1,S1),s1), AND(g1,s1))$ 。

根据本发明的另一方面，所述全加法器还包括：切换模块，根据不同的控制信号来控制全加法器在二进制计算模式和比合三进制计算模式之间切换，其中，在二进制计算模式下，切换模块屏蔽二进制比合逻辑运算模块和二进制到三进制转译模块的操作，从而使所述一对二进制全加法器分别直接执行
5 输入端(A,B,C)和(a,b,c)的加法运算，并且输出端(G,S)和(g,s)分别输出输入端(A,B,C)和(a,b,c)的加法运算的结果。

根据本发明的另一方面，提供了一种采用比合三进制的乘法器，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述乘法器包括：四个输入
10 端(a,a',b,b')，分别接收将要进行乘法运算的两个比合数 $A=(a,a')$ 和 $B=(b,b')$ ；两个输出端 $D=(d,d')$ ，用于进行比合三值逻辑处理输出比合三进制乘法运算的结果；运算模块，对输入端输入的比合数进行运算并输出运算结果，使得 $d=OR(AND(a,b),AND(a',b'))$ ， $d'=OR(AND(a,b'),AND(a',b))$ 。

以上可表达为比合分式表达式： $A*B=[\frac{a}{a'}]*[\frac{b}{b'}]=[\frac{(a\&b)|(a'\&b')}{(a\&b')|(a'\&b)}]$

15 根据本发明的另一方面，提供了一种采用比合三进制的 CPU，其特征在于包括根据本发明的全加法器和乘法器。

根据本发明的另一方面，提供了一种光学的逻辑与运算元件，包括：两个输入端，分别接收将被进行逻辑与运算的两个光信号；一个输出端，根据接收到的光信号的强度来输出与运算的结果，其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时输出逻辑 1，当输出端接收到暗光信号时输出逻辑 0，其中，输出端位于与两个输入端的位置之间的距离相等的位置处，使得在输出端处发生两个光信号的干涉，其中，在至少一个输入端没有光信号时不产生光干涉，输出端接收不到
20 光信号。
25

根据本发明的另一方面，提供了一种光学的逻辑或运算元件包括：两个输入端，分别接收将被进行逻辑或运算的两个光信号；一个输出端，根据接收到的光信号的强度来输出逻辑或运算的结果，其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当
30 输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时输

出逻辑 1，当输出端接收到暗光信号时输出逻辑 0，其中，输出端位于与两个输入端的位置之间的距离相等的位置处，在元件的内部形成光路引导两个输入端的光信号直接发射到输出端，从而在至少一个输入端有光信号时在输出端接收到光信号。

5 根据本发明的另一方面，提供了一种光学的逻辑非运算元件，包括：两个输入端，其中的一个输入端 A 接收将被进行逻辑非运算的光信号，另一个输入端 a 接收恒定的光信号；一个输出端 T，根据接收到的光信号的强度来输出逻辑非运算的结果，其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时输出逻辑 1，当输出端接收到暗光信号时输出逻辑 0，两个输入端(A,a)和输出端 T 位于直径为光信号的半波长 $\lambda/2$ 的 $2n^2+2n+1$ 倍的圆周上，两个输入端(A,a)的距离为半个光波长 $\lambda/2$ 的 $2n+1$ 倍，输入端 a 和输出端 T 之间的距离为半波长 $\lambda/2$ 的 $2n^2+2n$ 倍，n 是自然数。

15 根据本发明的另一方面，提供了一种用于逻辑比合运算的光学的逻辑比合运算元件，包括：两个输入端(A, a)，分别接收将被进行逻辑比合运算的两个光信号；两个输出端(B, b)，根据接收到的光信号的强度来输出逻辑比合运算的结果，其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时输出逻辑 1，当输出端接收到暗光信号时输出逻辑 0，两个输入端(A,a)和两个输出端(B, b)位于直径为光信号的半波长 $\lambda/2$ 的 $2n^2+2n+1$ 倍的圆周上，两个输入端(A,a)的距离为半个光波长 $\lambda/2$ 的 $2n+1$ 倍，输入端 A 和输出端 B 之间的距离以及输入端 a 和输出端 b 之间的距离为半波长 $\lambda/2$ 的 $2n^2+2n$ 倍，n 是自然数，其中，输出端的光信号被表示为：
25 $B=XOR(A, AND(A,a))$, $b=XOR(a, AND(A,a))$ 。

根据本发明的另一方面，提供了一种光学的逻辑异或运算元件，包括：两个输入端(A, a)，分别接收将被进行逻辑异或运算的两个光信号；一个输出端(C)，根据接收到的光信号的强度来输出逻辑异或运算的结果；两个中间节点(B, b)；其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时输出逻辑 1，当输出端接收到暗光信号时输出逻辑 0，两个输入端(A,a)和两个输出端(B, b)位于直径为光信号的半波长 $\lambda/2$ 的 $2n^2+2n+1$ 倍的圆周上，两个输入端(A,a)的距离为半个光波长 $\lambda/2$ 的 $2n+1$ 倍，输入端 A 和输出端 B 之间的距离以及输入端 a 和输出端 b 之间的距离为半波长 $\lambda/2$ 的 $2n^2+2n$ 倍，n 是自然数，其中，输出端的光信号被表示为：
30 $C=XOR(A, XOR(B, b))$, $B=XOR(A, AND(A,a))$, $b=XOR(a, AND(A,a))$ 。

辑 0，当输出端接收到强光信号时输出逻辑 1，当输出端接收到暗光信号时输出逻辑 0，两个输入端(A,a)和两个中间节点(B, b)位于直径为光信号的半波长 $\lambda/2$ 的 $2n^2+2n+1$ 倍的圆周上，两个输入端(A,a)的距离为半个光波长 $\lambda/2$ 的 $2n+1$ 倍，输入端 A 和中间节点 B 之间的距离以及输入端 a 和中间节点 b 之间的距离为半波长 $\lambda/2$ 的 $2n^2+2n$ 倍，n 是自然数，输出端 C 位于与两个中间节点(B, b)的位置之间的距离相等的位置处。

根据本发明的另一方面，提供了一种比合三进制到对称三进制的光学的转换元件，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述转换元件包括：两个输入端(A,B)，分别接收表示比合三进制数的正数位和反数位的两个光信号；三个输出端(I,R,T)，分别输出表示转换结果的对称三进制数(1,0,-1)的光信号，其中，所述两个光信号是同频率同相位同方向的干涉光，当输入端接收到光信号时表示输入逻辑 1，当输入端没有接收到光信号时表示输入逻辑 0，当输出端接收到强光信号时表示与该输出端对应的对称三进制数存在，当输出端接收到暗光信号时表示与该输出端对应的对称三进制数不存在，其中，两个输入端(A,B)和三个输出端(I,R,T)位于直径为光信号的半波长 $\lambda/2$ 的 $2n^2+2n+1$ 倍的圆周上，两个输入端(A,B)之间的距离为 $\lambda/2$ 的 $2n+1$ 倍，输出端 I 与输入端 A 之间的距离以及输出端 T 与输入端 B 之间的距离为 $\lambda/2$ 的 $2n^2+2n$ 倍，输出端 R 位于圆周上与两个输入端(A,B)的位置的距离相等的位置处，n 是自然数。

根据本发明的另一方面，提供了一种对称三进制到比合三进制的光学的转换元件，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述转换元件包括：三个输入端(I,R,T)，分别接收表示对称三进制数(1,0,-1)的三个光信号；两个输出端(A,B)，分别输出表示转换结果的比合三进制数的正数位和反数位的两个光信号，其中，所述转换元件的内部形成有光路使得：当对称三进制数为 1 时，输入端 I 的光信号通过光路直接发射到输出端 A，当对称三进制数为-1 时，输入端 T 的光信号通过光路直接发射到输出端 B，当对称三进制数为 0 时，输入端 R 的光信号通过光路同时发射到输出端(A,B)。

根据本发明的逻辑与运算元件、逻辑或运算元件、逻辑非运算元件、逻辑

辑比合运算元件、逻辑异或运算元件或转换元件，其中，在输出端上布置有光电感应器，用于将接收到的光信号转换为电信号。

根据本发明的另一方面，提供了一种存储比合三进制数据的存储装置，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述存储装置包括：正数链数据存储单元，存储表示比合三进制位的正数位的数据；反数链数据存储单元，存储表示比合三进制位的反数位的数据；并行串行转换单元，用于在并行模式和串行模式之间进行转换，其中，在串行模式中，正数位的数据和反数位的数据以交替方式被存储，在并行模式中，以正数位阵列和反数位阵列的形式存储正数位数据和反数位数据。

根据本发明的另一方面，所述存储装置由三层印刷电路板构成，正数链数据存储单元被布置在存储装置的第一层印刷电路板上，反数链数据存储单元被布置在存储装置的第三层印刷电路板上，并行串行转换单元被布置在中间的第二层印刷电路板上，用于使正反并行链条数据和奇偶串行链条数据结构相互转换。

根据本发明的另一方面，正数链数据存储单元和反数链数据存储单元分别位于不同的存储节点。

根据本发明的另一方面，提供了一种存储比合三进制数据的记录光盘，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，所述记录光盘包括：基板；反射层；记录层，在记录层按照不同角度形成两种类型的反光点，其中的一种类型的反光点表示比合三进制位的正数位，另一种类型的反光点表示比合三进制位的反数位。

根据本发明的另一方面，提供了一种存储比合三进制数据的全息存储介质，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一对二进制位分别称为比合三进制位的正数位和反数位，通过干涉的两束激光束在所述全息存储介质中形成与比合三进制数据的正数位和反数位对应的干涉条纹图案记录比合三进制数据。

根据本发明的另一方面，提供了一种存储比合三进制数据的记录光盘，所述比合三进制采用一对二进制位的组合来表示一个对称三进制位，所述一

对二进制位分别称为比合三进制位的正数位和反数位，所述记录光盘包括：基板；反射层；两个记录层，在其中的一个记录层中记录比合三进制位的正数位，在另一个记录层中记录比合三进制位的反数位。

根据本发明的另一方面，提供了一种基于三进制编码的输入法，包括：

- 5 检测用户在输入装置上输入的输入轨迹；基于输入轨迹确定与输入轨迹对应的图案符号的三进制编码；基于三进制编码与符号文字的映射表确定和输出与所述三进制编码对应的符号文字，其中，所述输入轨迹是从矩形的四个顶点之一一起始，沿着矩形的四个边或对角线移动并且通过四个顶点中的至少两个顶点的一笔画输入轨迹，其中，在所述三进制编码中，由一个三进制数位表示起始点的位置，由三进制数的三个不同数位之一分别表示两个顶点之间的顺时针运动轨迹、对角线的运动轨迹和逆时针运动轨迹。

- 15 根据本发明的另一方面，三进制编码符号被存储在 ASCII 编码或 Unicode 编码的扩展编码中，三进制编码的基本原则是从左上角起始的符号用作字母，右上角起始的符号用作数字，左下角起始的符号用作控制符号，右下角起始的符号用作标点符号。

根据本发明的另一方面，如下表所示来存储和匹配三进制编码符号：

- 20 如下面的表所示来对应地存储三元 Chia 编码符号和轨迹编码，在 Toicode 轨迹码描述中，图 6 中 A 点表示数字编码 1 为左上角、B 点表示数字编码 2 为右上角、C 点表示数字编码 3 为右下角和 D 点表示数字编码 4 为左下角编号，其中，1234 表示符号 ㄩ 的轨迹，11234 表示前 1 点击左上角一次后，再次点击以此 1、2、3、4 位置滑动轨迹的编码或 411234 表示首先从 4、1 滑动后，再次点击滑动 1、2、3、4 各点轨迹编码，对应于 Chia 符号大写第三字母 𐄀：

小写	a	b	c	d	e	f	g	h	i	j	k
CHIA	𐄁	𐄂	𐄃	𐄄	𐄅	𐄆	𐄇	𐄈	𐄉	𐄊	𐄋
韩音	ㅏ	ㅑ	ㅓ	ㅕ	ㅗ	ㅛ	ㅜ	ㅠ	ㅣ	ㅝ	ㅞ
Unicode	2be1	2be2	2be3	2be4	2be5	2be6	2be7	2be8	2be9	2bea	0xeb
ToiCode 轨迹码	1431, 1341	12413 4, 124 314, 1 34124 , 1342 14, 14 3124,	1234	1421, 1241	12342 , 1243 2	14324, 14234	123	14231, 13241	13	134	124

		14213 4									
小写	l	m	n	o	p	q	r	s	t	u	v
CHIA	L	𐌛	𐌜	𐌝	𐌞	𐌟	𐌠	𐌡	𐌢	𐌣	𐌤
韩音	ㅇ	ㅁ	ㅂ	ㅅ	ㅈ	ㅊ	ㅋ	ㅌ	ㅍ	ㅑ	ㅒ
Unicode	2bec	2bed	2bee	2bef	2bf0	2bf1	2bf2	2bf3	2bf4	2bf5	0xf6
ToiCode 轨迹码	143	14213 2, 142 312, 1 32412 , 1321 42, 12 3142, 12413 2	1423	14321 , 1234 1	1431, 1345	14213, 12413	12341 3, 143 213, 1 43123 , 1231 43, 13 4123, 13214 3	12431, 13421	1231, 1321	1432	142
小写	w	x	y	z	sp	,	.	;	:	ê	â
CHIA	𐌥	𐌦	𐌧	𐌨	𐌩					𐌪	𐌫
韩音	ㅓ	ㅕ	ㅖ	ㅗ						ㅛ	ㅜ
Unicode	2bf7	2bf8	2bf9	2bfa	2b20						
ToiCode 轨迹码	1342	1324	132	1243	12	11	22	323, 234	414	1431 2, 13 412	13423 , 1324 3
大写	A	B	C	D	E	F	G	H	I	J	K
CHIA	𐌰	𐌱	𐌲	𐌳	𐌴	𐌵	𐌶	𐌷	𐌸	𐌹	𐌺
韩音	ㅈ	ㅊ	ㅋ	ㅌ	ㅍ	ㅑ	ㅒ	ㅓ	ㅕ	ㅖ	ㅗ
Unicode	2bc1	2bc2	2bc3	2bc4	2bc5	2bc6	2bc7	2bc8	2bc9	2bca	2bcb
ToiCode 轨迹码	11342 , 4113 42	11421 32, 11 42312 , 1132 412, 1 13214 2, 112 3142, 11241 32	11234 , 4112 34	11421 , 1124 1, 411 421, 4 11241	11234 2, 112 432, 4 11234 2, 411 2432,	114324 , 11423 4, 4114 324, 41 14234	1123, 41123	114231 , 11324 1, 4114 231, 41 13241	113, 41113	1134, 41134	1124, 4 1124
大写	L	M	N	O	P	Q	R	S	T	U	V
CHIA	𐌰	𐌱	𐌲	𐌳	𐌴	𐌵	𐌶	𐌷	𐌸	𐌹	𐌺
韩音	ㅇ	ㅁ	ㅂ	ㅅ	ㅈ	ㅊ	ㅋ	ㅌ	ㅍ	ㅑ	ㅒ
Unicode	2bcc	2bcd	2bce	2bcf	2bd0	2bd1	2bd2	2bd3	2bd4	2bd5	2bd6

ToiCode 轨迹码	1143, 41143	11421 32, 11 42312 , 1132 412, 1 13214 2, 112 3142, 11241 32	11423 , 4114 23	11432 1, 112 341, 4 11432 1, 411 2341	11431 , 1134 5, 411 431, 4 11345	114213 , 11241 3, 4114 213, 41 12413	11234 13, 11 43213 , 1143 123, 1 12314 3, 113 4123, 11321 43	112431 , 11342 1, 4112 431, 41 13421	11231 , 1132 1, 411 231, 4 11321	11432 , 4114 32	1142, 4 1142
大写	W	X	Y	Z		←	→	↓	↑	num	bsp
CHIA	𐄌	𐄍	𐄎	𐄏							
韩音	ㄱ	ㄴ	ㄷ	ㄹ							
Unicode	2bd7	2bd8	2bd9	2bda							
ToiCode 轨迹码	11342 , 4113 42	11324 , 4113 24	1132, 41132	11243 , 4112 43		34	43	23	32	33	21

数字	0	1	2	3	4	5	6	7	8	9
CHIA	𐄐	/	𐄑	𐄒	𐄓	𐄔	𐄕	𐄖	𐄗	𐄘
Unicode	2bb0	2bb1	2bb2	2bb3	2bb4	2bb5	2bb6	2bb7	2bb8	2bb9
ToiCode 轨迹码	21432, 23412, 214324 , 21423 4, 2341 24, 234 214, 24 3214, 2 41234	24	2134	2143	243	2432, 2 342	2432, 2 342, 21 431, 21 341	214	2413	21423, 24123
标点	!	@	#	\$	%	^	&	*	()
CHIA									𐄙	𐄚
ToiCode 轨迹码	3323, 2 32, 332 , 224, 2 232	3143, 3 413, 22 134	32143, 34123, 22143	3421, 4312, 2243	3243, 3 423, 22 432, 22 342	314, 32 4, 2243 2, 2234 2	34213, 31243, 2214, 3 31	3142, 4 3241, 2 2413, 3 33, 332 3	412, 34 1	321, 43 2
标点	~	`	-	_	=		/	\	[]
CHIA					𐄛				𐄜	𐄝
ToiCode 轨迹码	2314, 4 123	3241, 3 31	121	434	212, 23 41, 321 4, 3124	141	42, 242 , 24134 , 24314	31, 131 , 32431 , 34231	3412, 2 2143	4321, 3 214
标点	<	>	?	,	”	+			{	}
CHIA									𐄞	𐄟

ToiCode 轨迹码	312, 34 2, 2243	421, 43 1	31421, 31241, 4414	114	223	343, 42 31, 3124			3341, 4 2341, 4 3241	3321, 3 1432, 3 4132
控制	Fn	Ctrl	Alt	Enter	Shift	PrtSc	Del	Esc	WIN	Ctrl+Alt+Del
CHIA	☒	☐	Δ	┘		N	Λ	⌘	Ø	⌘
ToiCode 轨迹码	44	4, 4123 4, 4321 4, 4123 , 4321	4134, 4 314	33, 43 2, 224 , 442	1, 41	41231, 41321	21, 4413, 4 423	42132, 42312	423412 , 42143 2, 4124 32, 412 342, 43 2412, 4 32142	41342, 43142

。

根据本发明的另一方面，除了一笔画输入轨迹之外的特定输入轨迹被定义为与特定的控制字符对应。

根据本发明的另一方面，输入装置具有四个检测点，所述四个检测点位于矩形的顶点，用户通过所述四个检测点来输入特定的输入轨迹。

根据本发明的另一方面，所述输入装置具有与多个输入轨迹的图案符号一一对应的实体或虚拟的多个按键，用户通过按压按键来输入对应的输入轨迹。

根据本发明的另一方面，所述多个按键包括一笔画输入轨迹形成的所有图案符号中的全部或至少一部分。

根据本发明的另一方面，所述输入装置是六面体，六面体的每个面上设置有 9 个相似图案符号的 9 个按键。

根据本发明的另一方面，还提供了一种输入法，包括：在输入装置上确定用户输入的输入轨迹；确定与输入轨迹的图案对应的编码；基于编码与符号文字的映射表，确定并输出与编码对应的符号文字，其中，所述输入装置具有包括分布在圆周上的 8 个检测区域和圆心上的检测区域的 9 个不同的检测区域，所述输入轨迹从圆周上的 8 个检测区域中的任意一个检测区域起始并且沿着半径方向经过圆心的检测区域，然后再次移动到圆周上的 8 个检测区域中的任意一个而结束，其中，圆周上的 8 个检测区域由 8 个不同的数值表示，所述编码由输入轨迹的起始区域位置和结束点位置的数值表示。

根据本发明的另一方面，提供了一种输入法，包括：在输入装置上确定用户输入的输入轨迹；确定与输入轨迹的图案对应的编码；基于编码与符号

文字的映射表，确定并输出与编码对应的符号文字，其中，所述输入装置具有包括分布在圆周上的 8 个不同的检测区域，所述输入轨迹从圆周上的 8 个检测区域中的任意一个检测区域起始并且沿着顺时针方向或逆时针方向移动至圆周上的一个检测区域，然后以相反的方向从该检测区域再次沿着圆周移动到圆周上的任意一个检测区域而结束，其中，圆周上的 8 个检测区域由 8 个不同的数值表示，其中，所述编码由输入轨迹的起始点位置和结束点位置的数值表示。

根据本发明的另一方面，提供了一种输入法，包括：在输入装置上确定用户输入的输入轨迹；确定与输入轨迹的图案对应的编码；基于编码与符号文字的映射表，确定并输出与编码对应的符号文字，其中，所述输入装置具有包括分布在线段上的 8 个检测点，所述输入轨迹从线段上的 8 个检测点中的任意一个检测点起始并且沿着线段的一个方向移动至线段上的一个检测点，然后以相反的方向从该检测点再次沿着线段移动到线段上的任意一个检测点而结束，其中，8 个检测点由 8 个不同的数值表示，其中，所述编码由输入轨迹的起始点位置和结束点位置的数值表示。

根据本发明的计算机系统的硬件设备包括输入设备，所述输入设备是采用上述的任意的输入法的输入装置。

根据本发明的计算机系统的硬件设备的运算系统采用如上所述的全加法器、乘法器、CPU、逻辑与门元件、逻辑或门元件、逻辑非门元件、逻辑比合运算门元件、逻辑异或门元件、转换元件。

根据本发明的计算机系统的硬件设备包括存储系统，所述存储系统采用如上所述的存储装置和/或光盘。

附图说明

通过下面结合附图对实施例进行的描述，本发明的这些和/或其他方面和优点将会变得清楚和更易于理解，其中：

附图 1 为根据本发明实施例的三进制计算环境的架构图；

附图 2 为根据本发明实施例的“比合”三进制全加法器的逻辑结构图；

附图 3 为根据本发明实施例的“比合”三进制全加法器的逻辑电路图；

附图 4 为根据本发明实施例的基于光路和电路的逻辑运算元件的示意图；

附图 5 为根据本发明实施例的“比合”三进制的光路全加法器的各部分功能实现示意图；

附图 6 为根据本发明实施例的象数图符号轨迹编码原理和示意图；

附图 7 为根据本发明实施例的象数图输入法在移动终端上的应用示意图；

5 附图 8 为根据本发明实施例的象数图符号全键盘和穿戴设备示意图；

附图 9 为根据本发明实施例的象数图实体立体键盘和虚拟键盘输入方法示意图；

附图 10 为根据本发明实施例的象数图卡片输入装置的示意图。

10 具体实施方式

下面将参照附图来详细描述本发明的实施例的各个方面。为了与传统计算机相区别，为根据本发明的计算机系统定义了一些概念以更好地理解本发明的理念。将在以下详细描述本发明的计算机系统所采用的计算机架构和理论。以下的说明中定义的术语将仅作为示例性的描述而不是限制本发明的范围。

15 为了与传统计算机系统区别，根据本发明的基于二进制和三进制的混合运算的计算机系统被称为 **TRIA** 计算机系统。根据本发明的 **TRIA** 计算系统是一种二维阵列的矩阵计算机系统。相应地，为了将应用于根据本发明的 **TRIA** 计算机系统中的各种概念和术语与现有技术中使用的概念和术语进行区别，
20 在各个术语之前增加“**TRIA**”。例如，“**TRIA** 计算机系统”指的是根据本发明的计算机系统，而将“现有的计算机系统”或“计算机系统”指的是现有的二进制计算机系统。

如上所述，对称三进制（1,0,-1 组成）属于特殊的三进制（常用的不对称三进制 0,1,2 组成），每个基本信息单元在表示数据方面也需要三个符号，
25 而现有的计算机系统则是基于二进制的计算系统，其只能通过“0”和“1”来表示两种“数”或两种“状态”。换言之，现有的基于二进制的计算机系统的基本单位的一个位只能表示“0”和“1”，其无法用一个位来表示对称三进制的“-1(以下，将用符号 **T** 表示)”、“0”和“1”三种状态。

如上所述，对称三进制的每个基本单位是三值的状态变化。为了在二值
30 的环境下实现三值的计算处理，本发明引入了 **TRIA** “比合”三进制的概念来

处理对称三进制运算。TRIA “比合”三进制的原理是基于《太玄经》的“阴阳比叁”的思想，来源于《太玄经》的玄首序中“阴阳毕叁”，理解为阴阳相互、对比、叠加、配合而组合成三。《太玄经》是中国最早描述三元逻辑体系的书籍。与《易经》的二元逻辑体系相比，《易经》的“6 爻 64 卦”（象数组合 $64=2^6$ ）是以阴阳观，即二元论的数理模式反映其世界观；《太玄》的“4 重 81 首”（象数组合 $81=3^4$ ）是以一二三（阴性、阳性、中合性）的“道生一，一生二，二生三，三生万物，万物负阴而抱阳，冲气以为和的演化模式”的三元论，即三元论的数理模式反映其三元世界观。二者都是按照不同数理方式理解世界的“象数”方法论的经典。

如上所述，二进制、三进制、八进制、十六进制和十进制等，都是不同编码的组合形式的从一种状态到另一种状态之间变化的规则。量子计算中的量子比特是利用同一时刻两个状态的相干和叠加来表示一个量子重叠态的运行一个“昆比特位” (qubit)，其同时储存 0 和 1。一个昆比特位能同时储存所有的 2 个二进制数的 $C1|0\rangle + C2|0\rangle, C1|0\rangle + C2|1\rangle, C1|1\rangle + C2|0\rangle, C1|1\rangle + C2|1\rangle$ 的四种叠加态。“比合”三进制也类似于量子“昆比特” (Qubit) 的叠加态的表示方式，把对称三进制的一个单位“才特” (trit) 通过 2 个二进制位组合成一个数组或阵列(array)方式，表示一位“比合”三进制单位“才亚” (tria, tri-array, 三元阵列数，又名“比合数”)，“比合”三进制的一位“才亚”与对称三进制的一位“才特”一一对应。与双螺旋 DNA 的遗传密码 (A,T,C,G 的双链上的组合) 结构相似，“比合”三进制存储结构是双链的比特链条（“非”字形链条），其中一个单链条上的一个比特对应于另一个单链条上的一个比特，二者相互结合成一位“才亚”信息单元，每链条上的每个“比特”值是三进制信息（正或反的 1 或 0 信息）。通过 6 对比特位（12 比特）的 6 位“才亚”信息单元组成的 TRIA 双链条，表示一个对称三进制的一个字节(“tryte”，和二进制的字节“byte”属于相同概念)，因为“比合”三进制的双链条的特征，使用这种组合结构计算方式的“比合”三进制运算，既有二进制运算特征也有对称三进制的运算特征和优点，一个 TRIA “比合”全加法器就能处理加法和减法，无需二进制计算的补码处理方式就能处理减法计算。

TRIA “比合”三进制编码规则和其他进制编码信息单元规则对照表，具

体参照如下表 1。

表 1: TRIA “比合” 三进制信息单元编码和其他进制编码对比

编码	二进制 比特 B	十进制 单位	量子比 特 QB	DNA 编 码	非对称 三进制	对称三进制 才特(trit)	比合三进制 才亚(tria)
编码	1	1	01	A	1	1	TRIA[1, 0]
		2	10	C	2	-1 (T)	TRIA[0, 1]
	0	3	11	G	10	0	TRIA[0, 0]
		0	00	T	0		

TRIA “比合” 三进制双链条组合结构和对称三进制字节（tryte）对照示例表，具体参照如下表 2。

5 表 2: TRIA 比合三进制和对称三进制一个字节各位之间比较组合方式

三进制比较	组合形式	复数	3 ⁵	3 ⁴	3 ³	3 ²	3 ¹	3 ⁰	排列形式
“对称” 三进制	混合链条	Z	1	T	0	1	T	0	1T01T0
TRIA “比合” 三进制	正数链条	X	1	0	0	1	0	0	([1, 0], [0, 1], [0, 0], [1, 0], [0, 1], [0, 0])
	负数链条	Y	0	1	0	0	1	0	

即， $Z=1T01T0=(100100)_3 + (0T00T0)_3 = (100100)_3 - (010010)_3$;

$Z=T(X,Y)=[1,0],[0,1],[0,0],[1,0],[0,1],[0,0]_Z$;

$Z=T(X,Y)=X(100100)_Z+Y(010010)_Z$;（X=+1 和 Y=-1 的正反数据链条）

为了更加清晰地理解传统对称三进制和“比合”三进制之间的区别，可

10 参照表 3 所示的传统对称三进制和“比合”三进制之间的组合方式。

表 3: 对称三进制和“比合”三进制组合方式上的区别

a	3 ¹	T0	T0	T0	0	0	0	10	10	10	+3 ⁿ	00	00	01	0	0	1	10	10	11
b	3 ⁰	0T	00	01	T	0	1	0T	00	01	-3 ⁿ	TT	T0	T0	T	0	0	0T	00	00
a+b	对称	TT	T0	T1	T	0	1	1T	10	11	比合	TT	T0	T1	T	0	1	1T	10	11

从表 3 中可以看出，传统的对称三进制是按照 T、0、1 和 T0、00、10 的进位方式相加组合成一个对称三进制数，而“比合”三进制是正负区分叠加成一个对称三进制数，传统对称三进制是一种混比合数据链条而“比合”三进制是正反结合的两串数据链条。因为正反链条本身就有性质上的区别所以“反数”（负数）部分的 T 可替换成 1 表示，所以硬件能直接辨识和操作的数据类型和格式 0、1 两个编码的组合就能表示一个 T、0、1 三个编码组合的一个对称三进制数。

为了简化对称三进制的长度，“对称”九进制是一种以-4(D)、-3(C)、-2(B)、
20 -1(A)、0、1、2、3、4 为基本字元的九进制，如 $(1T)_Z=(2)_N$ 或 $0Z1T=0N2$ 、 $(TT)_Z=(D)_N$ 或 $0ZTT=0ND$ 等编码表示，对称三进制（0Z 开头）与“对称”九进制（0N

开头) 的关系如下表 4。

表 4: 对称三进制与“对称”九进制对应表

对称三进制数	TT	T0	T1	OT	0	1	1T	10	11	数独	4	A	B	洛数	A	4	C
十进制数	-4	-3	-2	-1	0	1	2	3	4		3	0	C		B	0	2
“对称”九进制编码	D	C	B	A	0	1	2	3	4		2	1	D		3	D	1

“对称”九进制两位数表示从-40(0Ndd)到+40(0N44)的 81 个数字，如下表 5 中(13)₁₀=(14)_N=0N14、(-14)₁₀=(B4)_N=0Nb4 等编码表示，具体参照如下表。

5 表 5: “对称”九进制与十进制对应表

十进制数		-1	-2	-3	-4	-5	-6	-7	-8	-9	-10	-11	-12	-13	-14	-15
“对称”九进制数		a	b	c	d	a4	a3	a2	a1	a0	aa	ab	ac	ad	b4	b3
十进制	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
“对称”九进制数	0	1	2	3	4	1d	1c	1b	1a	10	11	12	13	14	2d	2c

如上所述，“比合”三进制是“对称”三进制的阵列形式的表现形式，实质是对三元逻辑和运算的不同组合编码方式方法，三元逻辑的“真”、“假”、“非常”态的三元特征跟二元逻辑运算上有所不同，具体参照如下表。

表 6: 三元逻辑真值表，T 逻辑假、0 未知、1 逻辑真

三元逻辑真值列表	逻辑与				逻辑或				逻辑与非				逻辑或非				逻辑异或			
	┐	T	0	1	┐	T	0	1	⊗	T	0	1	⊗	T	0	1	⊕	T	0	1
	T	T	T	T	T	T	0	1	T	1	1	1	T	1	0	T	T	T	0	1
	0	T	0	0	0	0	0	1	0	1	0	0	0	0	0	T	0	0	0	0
	1	T	0	1	1	1	1	1	1	1	0	T	1	T	T	T	1	1	0	T
	逻辑合意				逻辑调和				逻辑非				备注: -1=T=T=False=假 0=0=R=None=无, 非真非假 1=1=I=True=真							
	⌈	T	0	1	⌈	T	0	1	⌘	T	0	1								
	T	T	0	0	T	T	T	0		1	0	T								
	0	0	0	0	0	T	0	1												
	1	0	0	1	1	0	1	1												

10 具体来说，参考表 6 中三值逻辑真值和“比合”三元逻辑运算结果的比合真值运算，通过 TRIA 比合三元逻辑运算中更好的理解三元逻辑和二元逻辑之间的内在规律。

比合三元逻辑的 A、B、C 为三元逻辑值是 I、O 和 T 的平衡三进制逻辑值相互对应的比合数。一种定义方式为 I=[1,0],O=[0,0],T=[0,1]。另一种定义方式 15 方式为 I=[0,1],O=[0,0],T=[1,0]。这两种方式的比合三进制运算结果相反(通过比合逻辑非相互转换)，其他编码方式 I=[1,1],O=[0,0],T=[1,0]=[0,1]等编码方式，通过 d=a & a', d'=a ^ a'等方法相互转换为默认形式，其他比合编码的变种 T=[1,1],O=[0,0],I=[1,0]=[0,1]方式也是比合逻辑处理的保护范围。

正反数用表 1 和 2 表示区分比合参数；A=[a,a'],B=[b,b']和三元运算运算

结果值 $C=[c,c']$ ，其中 a 、 b 和 c 是正数位， a' 、 b' 和 c' 反数位，可通过 C 语言或 verilog HDL 等来验证；使用分组逻辑和比合分式来标识正反比合间变化关系，如下：

三元逻辑(非): $\text{NOT}(C)=[c',c]$;

5 比合三元逻辑(非)分式表示法: $!C=[\frac{c}{c'}] = [\frac{c'}{c}]$;

三元逻辑(比差): $\text{ZON}(A)=[a \wedge (a \& a'), a' \wedge (a \& a')]$;

比合逻辑(比差)分式表达式: $\%A = \%[\frac{a}{a'}] = [\frac{a \wedge (a \& a')}{a' \wedge (a \& a')}]$;

三元逻辑(与): $A \& B=[a, a'] \& [b, b'] = [(a \& b), (a' \& b')] = [c, c'] = C$;

比合三元逻辑(与)分式表示法: $A \& B = [\frac{a}{a'}] \& [\frac{b}{b'}] = [\frac{a \& b}{a' \& b'}]$;

10 三元逻辑(或): $A | B=[a, a'] | [b, b'] = [(a | b), (a' \& b')] = [c, c'] = C$;

比合三元逻辑(或)分式表示法: $A | B = [\frac{a}{a'}] | [\frac{b}{b'}] = [\frac{a | b}{a' \& b'}]$

三元逻辑(与非): $\text{NOT}(A \& B)=[(a' | b'), (a \& b)] = [c, c'] = C$;

比合三元逻辑(与非): $!(A \& B) = !([\frac{a}{a'}] \& [\frac{b}{b'}]) = ![\frac{a \& b}{a' \& b'}] = [\frac{a' | b'}{a \& b}]$;

三元逻辑(或非): $\text{NOT}(A | B)=[(a' \& b'), (a | b)] = [c, c'] = C$;

15 比合三元逻辑(或非): $!(A | B) = !([\frac{a}{a'}] | [\frac{b}{b'}]) = ![\frac{a | b}{a' \& b'}] = [\frac{a' \& b'}{a | b}]$;

三元逻辑合意(同与): $A @ B=[a, a'] @ [b, b'] = [(a \& b), (a' \& b')] = [c, c'] = C$;

比合三元逻辑半加器进位(同与): $A @ B = [\frac{a}{a'}] @ [\frac{b}{b'}] = [\frac{a \& b}{a' \& b'}]$;

三元逻辑调和(同或): $A \# B=[a, a'] \# [b, b'] = [(a | b), (a' | b')] = [c, c'] = C$;

比合三元逻辑(同或): $A \# B = [\frac{a}{a'}] \# [\frac{b}{b'}] = [\frac{a | b}{a' | b'}]$;

20 三元逻辑(异或): $A \wedge B=[a, a'] \wedge [b, b'] = [(a | b) \& (a' | b'), (a | b') \& (a' | b)] = [c, c'] = C$;

比合三元逻辑(异或): $A \wedge B = [\frac{a}{a'}] \wedge [\frac{b}{b'}] = [\frac{(a | b) \& (a' | b')}{(a | b') \& (a' | b)}]$;

三元逻辑异与(乘法):

$A * B=[a, a'] * [b, b'] = [(a \& b) | (a' \& b'), (a \& b') | (a' \& b)] = [c, c']$;

比合三元逻辑(异与): $A * B = [\frac{a}{a'}] * [\frac{b}{b'}] = [\frac{(a \& b) | (a' \& b')}{(a \& b') | (a' \& b)}]$;

25 三元逻辑加(累加位):

$A + B=[a, a'] + [b, b'] = \text{ZON}[(a' \& b') | (\sim a \& b) | (\sim b \& a), (a \& b) | (\sim a' \& b') | (\sim b' \& a')]$;

比合三元逻辑(半加器累加位): $[\frac{a}{a'}] + [\frac{b}{b'}] = \%[\frac{(a' \& b') | (\sim a \& b) | (\sim b \& a)}{(a \& b) | (\sim a' \& b') | (\sim b' \& a')}]$ 。

三元比合半加法器:

对称三进制的加法的进位值部分是三元逻辑合意(同与)操作结果值, 累加值是三元逻辑(累加)操作结果值的组合。

5 三元逻辑(与)水平对称:

$A \& \& B = [a, a'] \& \& [b, b'] = [(a \& b'), (a' | b)] = [c, c'] = C$;

比合三元逻辑(与)分式表示法: $A \& \& B = [\frac{a}{a'}] \& \& [\frac{b}{b'}] = [\frac{a' \& b'}{a' | b}]$;

三元逻辑合意(同与)平对:

$A @ @ B = [a, a'] @ @ [b, b'] = [(a \& b'), (a' \& b)] = [c, c'] = C$;

10 比合三元逻辑加法进位(同与): $A @ @ B = [\frac{a}{a'}] @ @ [\frac{b}{b'}] = [\frac{a \& b'}{a' \& b}]$;

三元逻辑加(累乘):

$A ++ B = [a, a'] ++ [b, b'] = [(a' | b') \& (\sim a | b) \& (\sim b | a), (a | b) \& (\sim a' | b') \& (\sim b' | a')]$;

比合三元逻辑(累乘): $[\frac{a}{a'}] + + [\frac{b}{b'}] = [\frac{(a' | b') \& (\sim a | b) \& (\sim b | a)}{(a | b) \& (\sim a' | b') \& (\sim b' | a')}]$;

二元逻辑中包括 AND, OR, XOR 等 3 种可交换律逻辑在内一共有 $2^4=16$

15 种不同逻辑结果, 三元逻辑的逻辑结果是 $3^9=19683$ 种不同逻辑结果, 其中可交换律逻辑包括以上列举的比合三元逻辑共 729 种, 其变化太多在此不一列举。比合三元逻辑运算是通过一对二元逻辑组综合运算描述三元逻辑结果的运算方法, 使二元逻辑元件的组合来运算三元逻辑运算的方法, 通过表 1 的 DNA 或量子位和 TRIA 编码匹配方式来运算比合三进制的生物计算和比合
20 三进制量子计算 (量子单位以四元逻辑计算其变化值是 $4^{16}=4294967296$ 种), 通过比合逻辑把二元逻辑推算三元逻辑变化, 反过来三元逻辑运算中所组成的二元逻辑的变化规律, 二进制计算机模拟运输三进制计算机和对三进制计算机下运算二进制计算机模拟运算提供可操作的方法。使用低维度逻辑的比合方法研究更高维度的逻辑变化规律提供了一种方法和思路, 通过不同于传
25 统代数逻辑运算的比合分数逻辑, 此比合方法可通过三元逻辑去研究四元逻辑变化规律, 比合逻辑对数理逻辑和人工智能等方面会有所帮助。

“对称”三进制的运算运算, 三元值的运算, 具体参照如下表。

表 7: 对称三进制 “加+, 减-, 乘*, 除/”的行列计算表

	加法	减法	乘法	除法
--	----	----	----	----

对称三进制运算表 行与列的真值	+	T	0	1	-	T	0	1	*	T	0	1	/	T	0	1
	T	T1	T	0	T	0	T	T1	T	1	0	T	T	1	1/0	T
	0	T	1	1	0	1	0	T	0	0	0	0	0	0	0/0	1
	1	0	1	1T	1	1T	1	0	1	T	0	1	1	T	T/0	1

如上所述，为了解决对称三进制在二进制环境上的运算的方法，本发明人引入了一个“比合”概念，并通过“比合”概念的基础上引申和演算“阴阳比叁”的原理和对称三进制在二进制环境下的运算方法。“比合”是相同类型的不同形式的离散事物的相比相互配合的结合，精确表现出另一个单位事物的表现处理方式。举个例子，如我们的手臂两个相反功能的上肱二头肌和肱三头肌的收缩舒张相互配合来控制手臂的精确动作；两只眼睛的相互配合视觉感受三维立体图像；解释几何中的复数的实数部和虚数部（实际上相同实数的不同坐标轴上）的相比相合来精确描述二维空间上的一个点，生活中到处有“比合”处理的踪影。通过此原理，本发明处理运算对称三进制的“比合”三进制计算处理，“比合”文字符号，“比合”向量输入方法，“比合”角度输入方法，“比合”有限和无限等。

如上所述，TRIA “比合”三进制数是一对数的组合（正反相结合）的相比应结合而成描述一个对称三进制的三进制数，TRIA 的一个对称数 $Z=T(x,y)$ 的代数形式 $Z=x+yj$ ，其中 x 是正数部（阳数部）， y 是反数部（阴数部或负数部）而 y 的单位 j 是-1。通过两个二进制为变量值，采用类似复数(complex number)模式形式的实数部和虚数部相似的表示方式。在夹角为 180 度的坐标系上一个 Z 点的 X 轴和 Y 轴的解释几何形式表现跟夹角为 90 度的笛卡尔坐标系上的一个复数 Z 点的 X 轴和 Y 轴的几何表现形式相同，区别在于坐标系的夹角不同，这种正反相互结比合数是一种“比合数” (combine number)，比合数是类复数 $f(x, y)$ 的特殊形式 $f(A, x, y)$ ，其中坐标轴 A 的夹角为 180 度(π)。

TRIA 比合数包括二进制比合数和三进制比合数。其中一个 TRIA 三进制比合数是一个正反（阴阳结合）两部份的相互结合而成，表示一个对称三进制的一种比合数。其中 Z 是对称三进制数表示， $T(x,y)$ 是 TRIA 比合数表示，对称三进制数和 TRIA “比合”三进制数是相互对应。以下为了区别于对称三进制，命名为 TRIA“比合”三进制。TRIA 比合三进制是一种复数形式的数，应理解一个 TRIA 比合数包含阴阳两部分，一个 TRIA 比合数表示一个对称三进制。通俗理解，一个铜币的正面反面结合成一枚硬币（或者，一张纸），相似的“比合”数以正数（正数）和反数（负数）的相互结合组成，一个“比

合”单位值“政”(Z)，如 $(1T)_Z = [10,01]_Z$ 编码表示。

现有的计算机系统中，二进制运算单位(或，数据单位)通常是 8 位(一个字节)、16 位(一个字)、32 位或 64 位。因此，根据本发明的 TRIA 计算机系统的 TRIA“比合”三进制运算单位可以是两个 8 位、两个 16 位、两个 32 位、

5 两个 64 位，或 6 位、24 位、48 位、96 位、192 位、384 位等不同位。

根据本发明的 TRIA 计算机系统是能够执行二进制运算和对称三进制运算的计算机系统，因此若 TRIA 计算机系统中，二进制运算单位为 8 位，则执行对称三进制运算的对称三进制运算单位为两个 8 位。

10 在下面的描述中，假设对称三进制的运算单位为两个 8 位，即，16 位、两个字节或一个字。

根据本发明的 TRIA 计算机系统中，通过二进制的两个运算单位来表示对称三进制的一个运算单位，具体地讲，两个二进制运算单位中的一半用于表示具有对称三进制中的“1”的位，而另一半用于表示具有对称三进制中的“T”的位，且对称三进制“T”、“0”和“1”分别对应于 $[0,1]$ 、 $[0,0]$ 和 $[1,0]$ 。

15 在下面的描述，将表示对称三进制中的“1”的位的二进制单位的数据成为“X 链数据”、“X 链”或“正数链数据”，而将表示对称三进制中的“T”的位的二进制单位的数据成为“Y 链数据”、“Y 链”或“负数链数据”。

正反叠合平行坐标系中的一个 Z 数是一对 X 轴和 Y 轴上的数的叠合表示，叠合点的表示跟单位距离的宽度无关，也就是说与具体使用的进制无关，可以是二进制，三进制，十进制等。现代计算机主流使用二进制系统计算和存储，通过类复数形式在 X 轴和 Y 轴上的数据以一对二进制表示相对应的对称三进制“叠合”表示方法和“比合”表示方法；

25 TRIA 比合三进制是通过一对二进制的数据的“比合”表示一个对称三进制数据，其中应注意的是 X 和 Y 轴上的数据单位是三进制，而不是二进制，参数是以一对二进制数 0 和 1 表示的一个比合三进制数字。

虽然在上面的实施例中，通过 $[0,0]$ 来表示对称三进制的“0”，但是也可以通过 $[1,1]$ 来表示对称三进制的“0”。在下面的描述中，若没有特殊声明，则通过 $[0,0]$ 来表示对称三进制的“0”。

下面结合附图，详细描述根据本发明的 TRIA 计算机系统。

30 图 1 是示出根据本发明的计算机系统的框图。下面将参照图 1 描述其中

的各个部分。

如图 1 所示，根据本发明实施例的支持二进制和三进制的计算机处理环境（计算机系统）101 中包括诸如 CPU、内存、硬盘存储器、网络接口等硬件设备，在计算机处理环境 101 中内嵌的硬件设备管理层(BIOS/EFI 固件)102 中提供二进制与三进制开关模式 103。也就是说，在 BIOS/EFI 固件中包括内嵌的虚拟机管理内核 104 和虚拟机客户机配置信息表文件 105，虚拟机管理内核 104 和虚拟机客户机配置信息表文件 105 可被称为虚拟机管理模块 VMM。当虚拟机 106 启动的时候，通过配置信息与对应的不同类型的虚拟存储介质文件 107 来组合成一个虚拟机，虚拟机启动后引导操作系统 108。虚拟机配置信息 109 以一种特殊设备形式在客户机上配置相关应用服务。当用户通过手写板等输入终端设备写入不同的轨迹符号 110 时，根据本发明的三进制的输入系统可通过轨迹转换将轨迹符号 110 处理成“比合”轨迹编码 111。随后通过 TRIA 计算机系统内部的转译成具体的 ASCII 码字符或 Unicode 编码字符 112 以提供给用户界面显示为文字符号。在 TRIA 三进制操作系统上通过“比合”三进制编码 113 和对称三进制之间的转译方式在 TRIA 计算机系统进行处理计算，并且处理结果在三进制存储介质 114 上保存。TRIA 虚拟机运行当中操作系统以设备形式实施变更配置信息给虚拟机管理层 115，通过不同类型虚拟文件系统与配置信息快速组合 116 以部署新的虚拟机。TRIA 主机之间可通过心跳方式 117 提供高可用性集群，通过配置信息的同步更新快速切换成灾备环境，提供稳定的云服务。具体的 TRIA 虚拟机启动操作步骤，参照如下表 8。

表 8：TRIA 计算机虚拟化操作步骤

BIOS/EFI				
开启		TCPU	关闭=>	BCPU
TOS 三进制操作系统	启<=关闭	VMM	关闭=>启	BOS 二进制操作系统
开启 TVMM(TRIA VMM) 环境, (TCPU=1, VMM=1 时)				
Z(X,Y)	串联奇偶	VMCFG	并联正反	[X,Y]z
T=1 时, TCPU 三进制模式		CPUCFG 处理器配置	T=0 时, BCPU 二进制模式	
奇偶串链模式(Z 模式)		MEMCFG 内存配置	正反并链模式(XY 模式)	
操作系统虚拟类型	ZOSVDFS	DISKCFG 存储配置	XOSVDFS	YOSVDFS
应用系统虚拟类型	ZAPPVDFS	SYSCFG 虚拟环境和虚拟机配置接通信口模块 IP、ID 等	XAPPVDFS	YAPPVDFS
用户数据虚拟类型	ZUSRVDFS		XUSRVDFS	YUSRVDFS
串联式 TVM(TRIA VM) 虚拟机		NETWORK 网络配置	并联式 TVM(TRIA VM) 虚拟机	
		Other Devices 外设配置		

T=1 时，TOS 三进制操作系统	系统启动时读取 VMCFGDEV	T=0 时，BOS 二进制操作系统
提供三进制、二进制或混合模式的计算服务		

根据本发明的实施例，TRIA 计算机系统的硬件层提供对称三进制的运算环境，并且以硬件虚拟化的方式，TRIA 运算系统(即，CPU)通过指令相互切换成二进制计算处理方式和对称三进制计算处理方式。

当这种 TRIA 计算机系统被第一次启动时，例如，当 TRIA 计算机系统初次启动时，VMM 中的程序将会启动。通过 VMM 的管理接口配置和生成各种二进制和对称三进制的虚拟机。当二进制或对称三进制虚拟机启动的时候，调用预定指令初始化一个 CPU 的标志位(“比合”三进制的标志位 1，二进制标志位 0)，为此虚拟机上赋予一个切换成“比合”三进制，将对称三进制计算的处理器提供硬件级的计算服务。通过在该对称三进制虚拟机上运行基于对称三进制的操作系统，可以在基于对称三进制的操作系统上运行应用程序。因此，当根据本发明的 TRIA 计算机系统用作基于云计算服务队服务器时，可以给云终端提供对称三进制的计算环境。

如上所述，当根据本发明的 TRIA 计算机系统包括在多核多线程的处理器(CPU)时，可在 VMM 上同时运行不同模式的二进制计算环境和对称三进制计算环境。

在现有技术中，云计算中基础设施即服务的实现方式是通过软件层进行资源整合(包括但不限于计算资源(例如，CPU 和内存)，网络资源，I/O 资源，存储资源)和再次分配而完成。

根据本发明的实施例 TRIA 计算机系统中，VMM 环境中配置各种类型应用系统虚拟硬盘文件(VDF)和对应的配置信息文件，通过配置信息的调整方式调优虚拟机运行时的应用服务的最优化。通过一种特殊的虚拟配置设备形式运行于虚拟机上的客户环境上，通过读写此设备变更 VMM 上的配置信息。跟传统虚拟机做模板需要把操作系统和应用一起制作一个虚拟硬盘文件，TRIA 虚拟机是把操作系统、各应用系统各自独立出各不同的虚拟系统文件上，通过配置信息文件与个虚拟系统文件的匹配方式，以搭积木形式快速组建虚拟环境。云计算环境部署可提供更加便捷的解决方案，并且双存储节点和计算节点的分离提高安全性。

虽然，图 1 的 TRIA 计算机系统被示出为其包括了 TRIA 存储器、TRIA 输入设备、TRIA 输出设备、TRIA 运算处理器和 TRIA 进制控制单元，但是

其可被扩展为包括 TRIA 存储系统、TRIA 输入系统、TRIA 输出系统、TRIA 运算系统等。

下面将分别参照附图来介绍根据本发明实施例的 TRIA 计算机系统的各个系统组成，包括 TRIA 运算系统、TRIA 内存系统、TRIA 存储系统、TRIA 输入系统。

〈TRIA 运算系统〉

TRIA 计算处理

如本领域技术人员熟知的，不管计算机系统是二进制计算机系统还是三进制计算机系统，或者是其它进制的计算机系统，其核心运算是加、减、乘、除等基本数学运算以及与、或、非等基本逻辑运算，通过这些基本数学运算和基本逻辑运算的组合，可实现各种运算。因此，下面将介绍根据本发明的 TRIA 计算机系统的基本数学运算以及基本逻辑运算。

如上所述，根据本发明的 TRIA 运算处理，包括 TRIA 全加法器、减法运算等四则运算和逻辑处理。其中，根据本发明实施例的 TRIA 全加法器可包括二进制和三进制切换控制电路、双加法器处理、双加法结果值的二维阵列的矩阵比较结合处理、比较结合二进制值的三进制转译处理 and 对称三进制转换处理等部分。将在稍后参照图 2 到图 5 进行详细描述。

如上所述，根据本发明的 TRIA 数据存储结构中，通过 X 链和 Y 链数据的一对阵列值来表示三进制的 1、0 和 T。因此，根据本发明实施例的采用 TRIA 比合三进制的全加法器可以在二进制运算和对称三进制运算之间切换。例如，针对加法运算，TRIA 加法模块可被实现为 TRIA 双进制加法器，从而 TRIA 加法模块可根据进制 T 控制信号，使 TRIA 双进制加法器在二进制加法与对称三进制加法之间切换而进行加法运算。

此外，针对 TRIA CPU 所包括的 TRIA 加法模块、TRIA 减法模块、TRIA 乘法模块、TRIA 除法模块、TRIA 逻辑与模块、TRIA 逻辑或模块以及 TRIA 逻辑非模块，其中的一些模块可被实现为二进制运算器和对称三进制运算器，而另一些模块可被实现为双进制运算器。例如，TRIA 加法模块可被实现为如上所述的 TRIA 双进制加法器。换言之，根据本发明的 TRIA CPU 可以上不同模块的组合来实现。

此外，针对加、减、乘、除、逻辑与、逻辑或以及逻辑非运算，可通过一个硬件模块实现上述多个运算中的两个或多个运算。例如，可通过加法器实现加法和减法运算。

下面，介绍根据本发明的 TRIA 三进制的加法、减法的实现方式。

5 TRIA “比合” 三进制全加法器运算

加法是算术运算中最基本的运算，因此如果想搭建一台计算机，那么首先就要造出可以计算两个数的和的器件。加法计算就是计算机要做的唯一工作。如果可以造出加法器，同样地，就可以利用加法来实现减法、乘法和除法。

10 根据本发明的“比合”三进制全加法器（以下简称，T 全加法器）可通过控制信号不同而切换成为二进制全加法器和三进制全加法器。当控制信号 0 时，进行一对二进制全加法器处理；当控制信号 1 时，进行“比合”三进制全加法器处理。如图 2 所示，根据本发明实施例的 T 全加法器 201 的输入信号可包括：进制切换控制信号 202、一对正反信号 203 和 204，即表示比
15 合三进制数的正数部的 A、B 输入信号与 C 进位信号的 203，表示比合三进制数的反数部（负数部）的 a、b 输入信号与 c 进位信号 204。T 全加法器 201 可包括：二进制与三进制切换逻辑门电路 205；一对二进制加法器，包括正加法器 206 和反加法器 207；“比合”处理逻辑门电路 208；二进制转三进制逻辑门电路 209。T 全加法器 201 的输出是一对加法结果输出信号 210 和进制
20 切换信号。

当处理需要时，通过“比合”转换“对称”三进制的处理单元，可将 T 全加法器的输出 210 转换成对称三进制的值输出。“比合”和“对称”三进制之间，可以通过逻辑门‘电路’或逻辑门‘光路’相互间转换。将在稍后参
照图 3-图 5 介绍利用电路逻辑门元件和利用光路逻辑门元件实现 T 全加法器
25 201 的构思。

下面介绍对称三进制加法和比合三进制加法之间的关系。

首先，本领域的技术人员知道，对称三进制加法可表示为如下：

$$0+0=0, T+T=T1, T+0=T, T+1=0, 0+T=T, 1+1=1T, 1+0=1, 1+T=0, 0+1=1$$

这样，可以得出根据本发明实施例的比合三进制加法可表示为：

$$Z = Z1+Z2=T(X1, Y1) + T(X2, Y2)=(X1+Y1j)+(X2+Y2j) \\ = (X1+X2) + (Y1+Y2)j=T(X1+X2,Y1+Y2)=[X1+X2,Y1+Y2]$$

将 TRIA 比合三进制加法和对称三进制加法之间比较，具体参照如下表 9。

表 9：TRIA 比合三进制和对称三进制加法真值表

加法	现有“对称”三进制			TRIA “比合”三进制			
+	T	0	1	+	[0, 1]	[0, 0]	[1, 0]
T	T1	T	0	[0, 1]	[01, 10]	[0, 1]	[0, 0]
0	T	0	1	[0, 0]	[0, 1]	[0, 0]	[1, 0]
1	0	1	1T	[1, 0]	[0, 0]	[1, 0]	[10, 01]

- 5 根据上面的表 8 可以看出，将对称三进制加法和比合三进制加法比较，**TRIA** 比合三进制的加法特征是：同位相异时本位 1；同位同时 0 时本位 0；同位同时 1 时本位清零、进位 1、平移到相反的位 1（唯一进位变动情况）。这样，根据以上的规则可以将正数部累加值 **S**（以下，**S** 符号表示正数部累加值）、正数进位值 **G**（以下，**G** 符号表示正数部进位值）、负数部累加值 **s**（以下，**s** 符号表示负数部累加值）和负数部进位值 **g**（以下，**g** 符号表示负数部进位值）变化总结为如下，具体参照如下表 10。
- 10

表 10：TRIA 比合加法运算阵列方式，各位真值变化关系表

对称数	比合数	相对位置		正和位 S				负和位 s				正进位 G				负进位 g			
对称三进制	正数	进位 G	本位 S	S	0	0	1	s	1	0	0	G	0	0	1	g	1	0	0
				0	1	0	0	1	0	1	0	0	0	0	0	1	1	0	0
	反数	反进位 g	反位 s	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0
				1	0	1	0	0	0	0	1	1	0	0	1	0	0	0	0

如上所述，根据本发明的对称三进制和 TRIA “比合”三进制的加法运算对应关系：

- 15 $T+T=>T1 \Leftrightarrow [0,1]_Z+[0,1]_Z=>[0,1][1,0]_Z;$
 $1+1=>1T \Leftrightarrow [1,0]_Z+[1,0]_Z=>[1,0][0,1]_Z;$
 $0+T=>T \Leftrightarrow [0,0]_Z+[0,1]_Z=>[0,1]_Z; \quad 0+1=>1 \Leftrightarrow [0,0]_Z+[1,0]_Z=>[1,0]_Z;$
 $0+0=>0 \Leftrightarrow [0,0]_Z+[0,0]_Z=>[0,0]_Z; \quad 1+T=>0 \Leftrightarrow [1,0]_Z+[0,1]_Z=>[0,0]_Z;$

- 20 根据本发明的 T 全加法器 201 具有正数部和负数部共 6 个输入值，其中包括正数部 3 个输入值（A、B 与进位 C），负数部 3 个输入值（a、b 与进位 c）；4 个输出值：其中包括，正数部 2 个输出值（进位 G 和累加值 S）；负数

部 2 个输出值（进位 g 和累加值 s ）。

T 全加法器 201 和二进制全加法器相比，二进制全加法器有三个输入值的 $2^3=8$ 种不同变化信号输入值和 2 个输出值 $2^2=4$ 种不同结果信号，而 T 全加法器 201 的输入值是 6 个输入值的变化 $2^6=64$ 个不同输入信号和 4 个输出值 $2^4=16$ 种不同信号结果值。64 种不同信息输入通过逻辑门判断，输出到 16 种不同信息变化的矩阵运算，结果计算判断输出 7 种不同（-3 和 +3 各 1 种、-2 和 +2 各 6 种、-1 和 1 各 15 种，0 位 20 种排列组合共 64 种输入编码和 7 种输出编码）阵列结果。实现这样的输入值和输出值的对应关系的逻辑电路是错综复杂的。为了解决 T 全加法器 201 与二进制全加法器相比几何数增加的信息输入的矩阵运算处理的逻辑门计算，本发明通过复用二进制全加法器的逻辑门处理部分、“比合”运算逻辑门的处理部分和二进制转译三进制逻辑门处理部分的相互配合与组合逻辑门的位操作运算，完成 TRIA“比合”全加法器单元的计算处理，并且 TRIA 二进制和三进制切换逻辑门的处理部分完成 2 进制和 3 进制的全加法器计算的相互切换。

下面将参照图 3 来详细说明根据本发明实施例的 T 全加法器 201 的具体电路结构和工作方式。附图 3-301 的正数部的 3 个输入值（A, B, C）和负数部 3 个输入值（a, b, c）各自并行计算处理，在附图 3-302 的正、反(负)二进制全加法器逻辑运算处理后，二进制矩阵比合逻辑运算电路 303 对二进制全加法器 302 输出的正数部的进位值 G 和负数部的进位值 g 之间进行相互“比合”运算，并对正数部的累加值 S 和负数部的累加值 s 之间进行相互“比合”运算。经过比合处理后的一对进位值（ G, g ）和一对累加值（ S, s ）的二进制“比合”数 $[G, S]$ 和 $[g, s]$ 通过附图 3-304 的二进制转译三进制处理输出成对称三进制值的三进制“比合”数 $[G, S]$ 和 $[g, s]$ ，完成 T 全加法器计算处理。

其中“比合”处理方法是两个输入值相异时不变化输出两个输出值，两个输入值相同时同时清零处理后输出到两个输出值逻辑门处理方法。

下面将分别介绍图 3 中的比合逻辑运算电路 303 以及三进制转译逻辑电路 304 的工作原理。

比合运算处理（combine）

T 全加法器 201 中比合处理的数学原理是 0 的分化处理 $0=A+(-A)$ 方式。

“比合”计算中把[1,1]转换处理成[0,0]形式，如下公式推导。

$$Z=T(X,Y)=X+Yj, T(A,A)=A+Aj=0; Z=Z-0=T(X,Y)-T(A,A)=T(X-A,Y-A);$$

$$Z = Z1+Z2-0=T(X1, Y1) + T(X2, Y2) - T(A,A)$$

$$Z \text{ 函数形式}=T(X1,Y1)+T(X2-A,Y2-A) \text{或}=T(X1,Y1)+T(X2-A,Y2-A)$$

$$5 \quad Z \text{ 比合数形式}=[X1+Y1j]+[(X2-A)+(Y2-A)j];$$

$$\text{或}=[(X1-A)+(Y1-A)j]+[X2+Y2j]$$

TRIA 比合二进制 B 的二进制“比合数”表示方法，单位是 2。

$$B_x = \sum X = x_n 2^n + x_{n-1} 2^{n-1} \dots + x_2 2^1 + x_0 2^0; (x \in \{1,0\});$$

$$B_y = \sum Y = y_n 2^n + y_{n-1} 2^{n-1} \dots + y_2 2^1 + y_0 2^0; (y \in \{1,0\});$$

$$10 \quad B = (x_n - y_n) 2^n + (x_{n-1} - y_{n-1}) 2^{n-1} + \dots + (x_0 - y_0) 2^0; (x, y \in \{1,0\});$$

$$= B_n B_{n-1} \dots B_1 B_0;$$

如下表格 11 是一对二进制全加法器计算结果的阵列的比合操作表。如表 10 所示，T 全加法器 201 的一对正反输入值包括正数部输入值 A、B 和进位 C 以及反数部输入值 a,b 和进位 c 的二进制全加法器加法结果 (0,0),(0,1),(1,0),(1,1)值，正数部 (G,S) 和反数部 (g,s) 的 (进位值,累加值)，通过一对比合数的进位值[G,g]之间 G 与 g 和累加值[S,s]之间 S 和 s 的阵列比合处理，完成二进制比合处理输出(G,S)和(g,s)的比合数，具体的“比合”处理真值表，参照如下表 11。

表 11：双二进制计算输出的“比合”计算表,其中

双 2 进制全加法器			“比合”二进制输出表		(0,0)	(0,1)	(1,0)	(1,1)
(G,S)和(g,s)			双二进制 (G, S), (g, s) “比合”处理 [G,g][S,s]	(0,0)	(0,0),(0,0)	(0,0),(0,1)	(0,0),(1,0)	(0,0),(1,1)
B+	(0, 0)	(1, 0)		(0,1)	(0,1),(0,0)	(0,0),(0,0)	(0,1),(1,0)	(0,0),(1,0)
0, 0	(0, 0)	(1, 0)		(1,0)	(1,0),(0,0)	(1,0),(0,1)	(0,0),(0,0)	(0,0),(0,1)
0, 1	(0, 1)	(1, 1)		(1,1)	(1,1),(0,0)	(1,0),(0,0)	(0,1),(0,0)	(0,0),(0,0)

20 图 3 的比合逻辑门处理电路单元

“比合”处理单元逻辑电路方法

为了清晰表示，根据本发明的“比合”运算处理的方法，结合附图 3-303 中的虚框包含的“二进制矩阵比合逻辑运算电路”，具体描述。首先，正反二进制的结果输出正进位 G、正累加 S（二进制里的进位值输出 C 和累加值输出 S）和反进位 g、反累加 s（相对于第一个二进制加法相比，另一个加法器输出值），进位值 G 与 g 和累加值 S 与 s 之间各自“比合”处理后输出结果值。

结合附图 4-402 的“比合”处理是输入值 A 和 a，通过输入值 A 与输入

值 a 之间与操作(AND)后结果值,再次跟输入值 A 之间通过异或操作(XOR)输出为 B 结果值, 以下表是双二进制全加法器输出的一对比合操作中的一个比合操作逻辑门电路的输出结果, 逻辑表达式是 $B=(A\&a)^A$, $b=(A\&a)^a$, 具体参考如下表。

5 比合处理分式表达式 (比差): $\%A=\%[\frac{a}{a'}] = [\frac{a^{a^{(a\&a')}}}{a'^{a^{(a\&a')}}}]$ 。

原“比合”处理和比合逻辑名称之间混淆而改为“比差”处理, 比合数 $A=[a,a']$ 的正反数相差($A=a-a'$)结果等价, $[1,0]=1-0=1$, $[0,0]=0-0=0$, $[1,1]=1-1=0$, $[0,1]=0-1=-1$; 比合逻辑中一对比合数 a 和 a' 的数组 $[a,a']$ 表示相比用分式表示 $A = \frac{a}{a'}$ 更加合理和简单易懂, 可以更容易比较比合逻辑中两个正反比合数

10 之间的逻辑运算的变化关系, 更容易区分二进制逻辑和比合三进制逻辑之间的差异, 传统数理逻辑在形式上整数逻辑表达式, 比合三进制逻辑在形式上分式逻辑表达式,如表 12 比差(比合)处理。

表 12: TRIA 比合处理的逻辑电路处理真值表

二进制比合数	位	入	出	“比合”运算电路	入	出	入	出	入	出	入	出
$[1, 0], [0, 0], [0, 1]$	正	a	b	$b = a^{(a\&a')}$	0	0	1	1	0	0	1	0
对称“比合”值 1,0,-1	反	a'	b'	$b' = a'^{(a\&a')}$	0	0	0	0	1	1	1	0

“比合”处理单元光干涉等效处理方法

15 下面将参照图 4 来说明根据本发明实施例的采用光学元件实现根据本发明的比合处理的示意图。

“比合”处理在不仅在 T 全加法器中, 在 TRIA 计算机处理中“比合”三进制信息的传输处理、正反并行结构双链位操作、串行结构奇偶位的存储上也使用, 为了更加有效的处理, 根据本发明的“比合”处理可通过光学方法

20 等效处理来实现计算逻辑门电路的“比合”处理。

若干个光波 (成员波) 相遇时产生的光强分布不等, 由各个成员波单独造成的光强分布之和, 而出现明暗相间的现象。光学中两列光波的频率相同, 相位差恒定, 振动方向一致的相干光源, 才能产生光的干涉。光波长 λ 通过双缝到屏上发生干涉, 如果路程差是半波长的偶数倍, 即 $\Delta X=2n \lambda /2$;那么产生的是亮条纹, 如果半波长的奇数倍, 那么产生的是暗条纹 $\Delta X=(2n+1) \lambda /2$ 。

25 光电耦合器是以光为媒介传输电信号的一种电-光-电转换器件。它由发光源和受光器两部分组成。把发光源和受光器组装在同一密闭的壳体内, 彼此间用透明绝缘体隔离。在光电耦合器输入端加电信号使发光源发光, 光的强度取决于激励电流的大小, 光照射到封装在一起的受光器上后, 因光电效应而产

生了光电流，由受光器输出端引出，这样就实现了电-光-电的转换。发光源的引脚为输入端，受光器的引脚为输出端，常见的发光源为发光二极管，受光器为光敏二极管、光敏三极管等。

根据本发明干涉光等效“比合”处理，附图 4-403 中的比合逻辑门光路等效处理器单元可通过光学元器件，如光电耦合器等来实现。至少以半个波长的五倍为直径的一个单位圆空间上，圆周上布置投光器和受光器，通过 A 和 a 上投光器两个入射光和 B 和 b 上受光器的光检测装置组成，其中入射光单位长度为半个光波长 $\lambda/2$ ，A 与 a 和 B 与 b 在一个同心圆上。A 与 b 和 a 与 B 在同心圆的两个直径距离，长度为 $5*(\lambda/2)$ ，入射光源 A 与 a 的距离为 $3*(\lambda/2)$ ，A 与 B 和 a 与 b 的投射距离为 $4*(\lambda/2)$ 。入射光源 A 和 a，以同频率、同相位、同方向入射（输入信号 $A=1$ ， $a=1$ ）到密闭的壳体内，AB 与 aB 和 ab 与 aB 的光路程相差半个波长，受光器 B 和 b 的上两个光波的叠加而显示暗光，使 B 和 b 的受光器同时为输出值信号 0（输出信号 $B=0$ ， $b=0$ ）。入射光源 A 与 a 之中，只有一个入射时，没有光的干涉，当 A 入射光源信号 1 同时 a 入射光源信号 0 时（ $A=1$ ， $a=0$ ），B 受光器输出信号 1、b 受光器无光信号检测而输出信号 0（ $B=1$ ， $b=0$ ）；同理，当 a 入射光源信号 1 时同时 A 入射光信号 0 时（ $A=0$ ， $a=1$ ），b 受光器输出信号 1、B 受光器无光信号检测而输出信号 0（ $B=0$ ， $b=1$ ）；入射光源 A 与 a 同时无光信号时（输入信号 $A=a=0$ ），受光器 B 与 b 同时无光信号检测而输出信号为 0（输出信号 $B=b=0$ ）。其中入射光源距离 A 与 a 用勾股数 3 的半个光波长相差倍数，A 与 B 和 a 与 b 的垂直投射距离用勾股数 4 的半个光波长相差倍数，按照勾股定理干涉光源 A 与 b 和 a 与 B 之间的距离为勾股数 5 的半个光波长相差倍数，两个干涉光路程相差 $5-4=1$ 一个半个光波长的倍数，使 B 和 b 受光器在光干涉时，同时光波峰和光波谷相互抵消而产生暗光。本发明通过光的干涉原理和勾股定理，在最小的空间上实现“比合”逻辑门等效处理，此等效“比合”干涉光处理方法，不仅可用在光电耦合器上，也可以适用于全光器元器件（全光器，光控制光的光学元器件）上。以下是干涉光“比合”处理的表（表中入 A 与 a，出 B 与 b 信号值）。应理解，这里的 3、4、5 倍半波长仅是勾股数的一个示例，只要满足 $2n+1$ 、 $2n^2+2n$ 、 $2n^2+2n+1$ 的勾股数关系即可，勾股数的目的是为了两个干涉光之相差达到半个波长相差，使两束干涉光同时输入信号相互抵消作用

比合计算目的，不影响本发明的实现目的的情况下，应该理解，其他长度的调整的变动、修改及其等同物全部包括在本发明的范围内。

综上所述，“比合”干涉光处理是一对入射光源与一对投射输出光之间的半个光波长相差距离，通过光的衍射和干涉现象，改变投射部分的明暗值的变化规律，计算处理“比合”操作，具体的处理“入射值”和“输出值”变化关系，参考如下“比合”等效光路表 13。

表 13: TRIA 比合三进制处理“比合”逻辑门等效光路

比合操作 光干涉等 效处理	勾股定理在光干涉效应的“比合”处理			入	出	入	出	入	出	入	出
	A 入	AB 与 aB 光路程半个光波相差	B 出	0	0	1	1	0	0	1	0
	a 入	ab 与 Ab 光路程半个光波相差	b 出	0	0	0	0	1	1	1	0

通过“比合”光元器件替代“比合”电元器件，提高处理效率和处理信息密度。“比合”干涉光等效处理单元替代电路的效益是，第一，光器件允许通过的光频率高、范围大，也就是所谓的带宽非常大，传输和处理的信息量极大。两束光要发生干涉，必须频率相同，振动方向一致和有不变的初始相位差。第二，信息传输中畸变和失真小，信息运算速度高。第三，光传输和转换时，能量消耗极低。使用光波而不是电流来处理数据和信息对于计算机的发展而言是至关重要的一步；摩尔定理也接近临界值，在将来，光计算机将为我们带来更强劲的运算能力和处理速度。

附图 5 的 502 示出二进制光路全加法器，其中包括示出二进制半加器光路元件，通过两个光路半加器的进位光的聚焦作为进位光接收器的二进制进位值 C，两个光路半加器的串联结果值 S 的相互结合一个二进制全加法器的光路逻辑运算，这和二进制全加法器的逻辑结构相似。

以上介绍了根据本发明的光干涉“比合”处理等效勾股数光学元器件。下面将介绍“比合”三进制“才亚”转对称三进制“才特”(trito)的光学元器件在“比合”光学元器件的基础上改进，详细内容在“才亚”转“才特”部分中描述。

“比合”二进制转译“比合”三进制处理(tria2to3)

在本申请中，TRIA 比合三进制 Z 是类复数 $f(x, y)$ 的三进制“比合数”，其单位是 3。

$$Z_x = \sum X = x_n 3^n + x_{n-1} 3^{n-1} \dots + x_3 3^2 + x_2 3^1 + x_0 3^0; (x \{1,0\});$$

$$Z_y = \sum Y = y_n 3^n + y_{n-1} 3^{n-1} \dots + y_3 3^2 + y_2 3^1 + y_0 3^0; (y \in \{1, 0\});$$

$$Z_t = |\sum X| - |\sum Y| = x_n 3^n + x_{n-1} 3^{n-1} \dots + x_2 3^1 + x_0 3^0 - y_{n-1} 3^{n-1} \dots - y_1 3^1 - y_0 3^0$$

$$= (x_n - y_n) 3^n + (x_{n-1} - y_{n-1}) 3^{n-1} + \dots + (x_1 - y_1) 3^1 + (x_0 - y_0) 3^0; (x, y \in \{1, 0\});$$

$$= (Z_n) 3^n + (Z_{n-1}) 3^{n-1} \dots + (Z_1) 3^1 + (Z_0) 3^0; (Z \in \{1, 0, T\});$$

$$5 \quad = Z_n Z_{n-1} \dots Z_1 Z_0;$$

其中对称三进制 1 表示，即： $Z_n=1 = x_n - y_n; (x=1, y=0);$

表示对称三进制 0，即： $Z_n=0 = x_n - y_n; (x=1, y=1 \text{ 或 } x=0, y=0);$

表示对称三进制 T (T 为-1)，即： $Z_n=T=-1 = x_n - y_n; (x=0, y=1);$

二进制比合数和三进制比合数之间不同编码方式，-3、-2、2、3 的二进制对称数 BB、B0、10、11 的编码，在三进制对称数 T0、T1、1T、10 编码表示；二进制对称数-1 和 1 各有两种编码方式 0B、B1 和 01、1B 编码，用三进制对称数 T 和 1 编码表示。T 全加法器 201 中，经过 tria2to3 逻辑门处理的位操作转译，使“比合”二进制与“比合”三进制的阵列之间转译处理，输出三进制进位的对称三进制数，以下表 14 是比合二进制和比合三进制转译比较表。

表 14：T 全加法器处理，比合二进制与比合三进制转译表(符号 B=-1, T=-1)

十进制	-3	-2	-1	-1	0	1	1	2	3
2 进制比合	0-3=-3	0-2=-2	0-1=-1	1-2=-1	0-0=0	1-0=1	2-1=1	2-0=2	3+0=3
B(正)(反)	(0,0)(1,1)	(0,0)(1,0)	(0,0)(0,1)	(0,1)(1,0)	(0,0)(0,0)	(0,1)(0,0)	(1,0)(0,1)	(1,0)(0,0)	(1,1)(0,0)
比合 2 进制	[0,1][0,1]	[0,1][0,0]	[0,0][0,1]	[0,1][1,0]	[0,0][0,0]	[0,0][1,0]	[1,0][0,1]	[1,0][0,0]	[1,0][1,0]
对成 2 进制	BB	B0	0B	B1	00	01	1B	10	11
比合 3 进制	[0,1][0,0]	[0,1][1,0]	[0,0][0,1]	[0,0][0,1]	[0,0][0,0]	[0,0][1,0]	[0,0][1,0]	[1,0][0,1]	[1,0][0,0]
对称 3 进制	T0	T1	T	T	0	1	1	1T	10

如上所述，为了解决 T 全加法器 201 的“比合”二进制阵列运算和“比合”三进制运算结果之间的矛盾，根据本发明的实施例 T 全加法器 201 中的 tria2to3 逻辑门处理单元 304 在完成双二进制加法处理后，可进行“比合”二进制输出值的“比合”三进制的转译处理。

为了清晰表示，结合附图 3-304 中的虚框包含的 TRIA 比合三进制转译逻辑电路来说明根据本发明的比合二进制转译三进制的方法。

其中，二进制和三进制之间转译处理方法是：当正部（正数链）和反部（负数链）的两个进位值（G, g）逻辑异或(XOR)判断结果为 0 时，即两个输入值（G, g）相同时直接输出各自的相应的“比合”处理后的结果值。当两个进位值（G, g）逻辑异或(XOR)判断结果为 1 时，即两个输入值相异时，

继续进行下一步的判断，其中，当正进位值 G 是 1 时，正进位值 G 和负累加值 s 相互逻辑异或(XOR)处理后的结果输出到正进位 G ，正进位值 G 和负累加值 s 之间与操作(AND)处理后结果输出到正累加值 S ，反进位值 g 直接输出到反进位值 g ，正进位值 G 、正累加值 S 和反累加值 s 之间的异或操作(XOR)处理结果输出到反累加值 s ；当反进位值 g 为 1 时，正进位值 G 直接输出到正进位值 G ，反进位值 g 、反累加值 s 和正累加值 S 之间(XOR)异或操作后结果输出到正累加值 S 上，反进位值 g 和正累加值 S 之间(XOR)异或操作后结果输出到反进位值 g 上，反进位值 g 和正累加值 S 之间(AND)与操作后结果输出到反累加值 s 上，这样，完成二进制和三进制“比合”值之间转译处理。

10 为了清晰表示根据本发明的 T 全加法器 201 的整个处理过程，具体参照如下表 15。

表 15: TRI-10A“比合”三进制处理过程（正与反的真值处理过程）

输入值	二进制计算处理	二进制比合处理 2^n	二、三进制的比合转换后输出处理 3^n	正进位 G	正累加 S
				反进位 g	反累加 s
正部 A, B 和进位 C	正二进制全加法器	进位比合处理 ($2^n G/2^n g$)	两进位值的异或值 $XOR(G, g)=0$ 时，直接返回各值 (G, S, g, \underline{s})	G	S
				\underline{g}	\underline{s}
反部 a, b 和进位 c	反二进制全加法器	累加比合处理 ($2^n S/2^n \underline{s}$)	进位值 $G=1$ 时, 2 和 3 比合转换处理后，返回结果 (G, S, g, \underline{s})，	$G=G \wedge \underline{s}$	$S=G \& \underline{s}$
				$\underline{g}=\underline{g}$	$\underline{s}=G \wedge S \wedge \underline{s}$
			进位值 $g=1$ 时, 2 和 3 比合转换处理后，返回结果 ($G, S, \underline{g}, \underline{s}$)，	$G=G$	$S=\underline{g} \wedge S \wedge \underline{s}$
				$g=g \wedge S$	$\underline{s}=\underline{g} \& \underline{s}$

15 TRIA“比合”全加法器 TRI-10B 的方法 2: 首先正数部的 3 个输入值(A, B, C) 和反数部 3 个输入值 (a, b, c)，经过“比合”和转译等，逻辑门处理后结果值输出到两个二进制全加法器上，模拟二进制全加法器结果输出为跟“比合”三进制计算处理结果相同的计算输出结果[G,S]和[g,s]的“比合”三进制处理方法。

20 TRIA“比合”全加法器 TRI-10C 的方法 3: 首先正数部的 3 个输入值(A, B, C) 和反数部 3 个输入值 (a, b, c)，先正反“比合”处理后，整数部(A,B,C) 二进制加法处理结果($G1, S1$)，反数部 (a,b,c) 二进制加法处理结果($g1, s1$)，在经过二进制转三进制比合转译模块处理，结果输出[G,g][S,s]_z 比合三进制数。

“比合”三进制“才亚”转对称三进制“才特”(trito)

如上所述，根据本发明的 TRIA“比合”三进制的一个信息单位“才亚”通

过逻辑门处理转换成“对称”三进制的一个信息单位“才特”。通过“才特”的一个信息单元的三元值，在可存储一个信息单元由三值状态的存储信息单元上存储信息，使存储的密度提高。这样，可以为云计算和大数据等所带来的大容量存储需求提供存储资源。跟相同位数的二进制存储相比三进制存储在单位存储上提供更高的信息密度（ $3^{16}/2^{16}=656$ 倍， $3^{32}/2^{32}=431439$ 倍的信息量）。

“比-对”三进制处理单元逻辑电路方法

如上所述，根据本发明的 TRIA “比合”三进制的“才亚”(tria)信息阵列[0,1]、[0,0]、[1,0]转换成“对称”三进制的“才特”(trit)的 T、0、1 三值，可根据如图 3 所示的“比-对”转换逻辑门电路处理单元完成。为了更加清晰解释，参照附图 4-405 的“比合-对称”三进制三进制电路部分，处理单元包括“才亚”信息 A 与 a 的信息输入和 I、R、T 三个信息输出。具体信息处理方式是 A 与 a 的阵列组合信号为[A,a]=[1,0]时，直接输出到 I 电路输出；同理，A 与 a 的阵列组合信号为[A,a]=[0,1]时，直接输出到 I 电路输出；A 与 a 的阵列组合信号为[A,a]=[0,0]时，首先，输入值 A 与 a 逻辑或（OR）位操作后，结果值再次逻辑非（NOT）位操作结果值成为 1，在电路 R 输出。通过此处理方法，“才亚”信息转换为“才特”信息，通过“才特”信息的三值，在不同的三元存储介质上写入三进制“才特”值。

综上所述，通过两个输入值的逻辑门操作，输出三个不同状态的真值，将一对阵列信息的变化转变成不同的三个状态值，输出三值状态，改变阵列信息转换成三值信息，完成对称三进制输出的方法，参照如下表格 16 的比-对信息转真值表。

表 16: TRIA 比合三进制转对称三进制处理逻辑门电路真值表

比-对处理电路			比	对	比	对	比	对	输出信号	转换值
比合三进制转对称三进制逻辑电路	A	A	I	1	1	0		0	输出信号 1	1
		Not (OR(A, a))	R	0		0		1	输出信号 1	0
	a	a	T	0		1	T	0	输出信号 1	T

“比-对”三进制处理单元等效干涉光路方法

根据本发明干涉光等效“比-对”三进制处理可由附图 4-406 的“比合”三进制-对称三进制转换逻辑门光路等效处理器单元实现，也就是说，可通过光学元器件光电耦合器或全光干涉元件来实现比合三进制-对称三进制转换。

跟“比合”光处理单元相同，在以半个波长的至少五倍为直径的一个单位圆空间的圆周上布置投光器和受光器，其中，在 A 和 a 所示的位置处输入投光器的两个入射光，在 I、R、T 所示的位置处布置受光器的光检测装置作为输出。A、a、I、R、T 在一个同心圆上。A 到 T 和 a 到 I 之间的距离是同心圆的两个直径，AR 与 aR 的路程相同，长度为 $5*(\lambda/2)$ ，入射光源的位置 A 与 a 的距离为 $3*(\lambda/2)$ ，A 与 I 和 a 与 T 的投射距离为 $4*(\lambda/2)$ 。同频率、同相位、同方向的入射光源 A 和 a 入射（这时，输入信号 A=1，a=1）到密闭的壳体内，AI 与 aI 和 aT 与 aI 的光路程相差半个波长，受光器 I 和 T 的上两个光波的叠加而显示暗光，使 I 和 T 的受光器同时为输出值信号 0（输出信号 I=0，T=0），而 R 受光器因为 A 与 a 的干涉光的叠加而感应强光，通过光电效应转换为电信号 1。入射光源 A 与 a 之中，当只有一个入射时，由于无光的干涉，所以当 A 入射光源信号而 a 没有入射光源信号时（A=1，a=0），I 受光器输出信号 1，T 与 R 受光器无光信号检测而输出信号 0（I=1，T=0，R=0）；同理，当 a 入射光源信号 1 同时 A 入射光信号 0 时（A=0，a=1）时，T 受光器输出信号 1，I 与 R 受光器无光信号检测而输出信号 0（I=0，R=0，T=1）；入射光源 A 与 a 同时无光信号时（输入信号 A=a=0），受光器 I、R、T 同时无光信号检测，而输出信号为 0（输出信号 T=R=I=0）。其中，入射光源 A 与 a 之间的距离为相差 3 勾股数倍数的半个光波长，A 与 I 以及 a 与 T 的垂直投射距离为相差倍数 4 勾股数的半个光波长，这样，按照勾股定理，干涉光源 A 与受光器 T 以及干涉光源 a 与受光器 I 之间的距离为相差倍数 5 的半个光波长，这样，两个干涉光路程相差 $5-4=1$ 一个半个光波长，使 I 和 T 受光器在光干涉时，同时光波峰和光波谷相互抵消而接收到暗光，而 R 因干涉光的叠加而接收到强光。

综上所述，“比-对”干涉光转换处理利用一对入射光源、一对投射输出光之间相差半个光波长距离和入射光相同距离的点，产生三个投射光。通过光的衍射和干涉现象，改变投射部分的明暗的值变化规律，计算处理“比-对”干涉光转换处理操作，具体的处理“入射值”和“输出值”变化关系，参考如下“比合”等效光路表 17。

表 17：TRIA 比合三进制转对称三进制处理逻辑门等效光路真值表

	比-对处理光路干涉			比	对	比	对	比	对	输出信号	转换值
比合-对称转换光干涉等效处理转换	A	只有 A 通道发光 1	I	1	1	0		0		输出信号 1	1
		A 和 a 光相互干涉 1	R	0		0		1	1	输出信号 1	0

光路	a	只有 a 通道发光 1T	T	0	1	T	0	输出信号 1	T
----	---	--------------	---	---	---	---	---	--------	---

此外，还可以按照类似的方式来实现光学的各种逻辑运算元件。

参见图 4 的 407，在“比-对”干涉光转换处理的光学元件的输出 I 和 T 受光器屏蔽，只有 R 的受光器检测。入射光之间的干涉效应将此“比-对”干涉光转换处理光学元件成为一个 AND 与操作的光学元件。继续以表 16 的数据解释，当入射光 A 和 a 的同时输入光信号时，一个受光器 R 能接受到光信号($A \& a \Rightarrow R$, $R=1 \& 1 \Rightarrow 1$)，而当入射光 A 或 a 的光信号为不同时入射或没有入射的时候，R 受光器不能收到光信号，这等效于逻辑门电路操作的 AND ‘与’位操作。这里，A 和 a 与 R 之间的距离相等；入射光 A=1 和 a=1 时，两束光相互干涉从而在 R 上接收到一个亮点结果值 R=1；入射光 A=1 和 a=0 时，两束光之间无干涉现象，在 R 上无干涉光产生因此结果值为 R=0；同样地，A=0 和 a=1 时，两束光之间无干涉现象，在 R 上无干涉光现象，产生结果值为 R=0；两个同时无入射光时 A=0 和 a=0，结果在 R 上无光干涉现象，结果值为 R=0。

如图 4 的 408 所示，输入端 A 或 a 的光信号被直接对准发射在 R 受光器上。这里，在元件内部形成光路使得光信号被直接发射向 R 受光器。A 和 a 与 R 之间的距离相等。这样，可实现处理 OR 光路逻辑门操作。具体地，当 A 或 a 的无光信号输入($A=0, a=0$)时，聚焦点 R 受光器无光信号($R=0$)；当 A 或 a 中的至少一个有光信号输入时，聚焦点 R 受光器就能接受到光信号($R=1$)。通过此方法处理，可实现光学的等效 OR ‘或’位操作光学逻辑运算元器件，另外，采用两束光的凸镜的汇集方法也能实现相同的光逻辑或计算。

如图 4 的 409 所示，输入端 A 是将被执行逻辑非运算的光信号，而 a 是保持恒定的光信号，即， $a=1$ 。这样，可实现 NOT 逻辑非门操作。具体地，当 A 无光信号输入($A=0$)时，输出端 T 的受光器可接收到来自 a 的光信号而输出 1；当 A 有光信号输入($A=1$)时，输出端 T 的受光器接收到 A 和 a 的光信号的干涉形成的暗光信号，因此输出 $T=0$ 。附图 4-409 示出的是通过光的衍射的逻辑非门实现方式；附图 4-403 示出的是通过两束光的干涉也能实现相同功能。设 a 为恒定光，A 为信号光，输出结果信号 b。当 A=0 无信号的时候 a 的恒定光直接投射到 b 上，逻辑计算结果为 $b=1$ ；当 A=1 有光信号的时候 A 和 a 的光的相互干涉，使 b 上暗光逻辑计算结果为 $b=0$ 。

如图 4 的 410 所示，根据本发明的光学等效的异或逻辑运算可由如 406 所示的比合-对称转换处理单元和或门逻辑运算单元组成。当入射光 A=1 和

a=1 时, 经过 406 的光比合处理得到结果为 $A=0$ 和 $a=0$, 经过 408 所示的光或门得到结果为 0; 当入射光 $A=1$, $a=0$ 时, 406 光比合处理结果为 $A=1, a=0$, 经过 408 的光或门汇集结果为 1; 当入射光 $A=0$, $a=1$ 时, 经过 406 光比合处理结果为 $A=0, a=1$, 经过 408 的光或门汇集结果为 1; 当无入射光 $A=0, a=0$ 时, 406 光比合处理结果为 $A=0, a=0$, 经过 408 的光或门汇集结果为 0。也就是说, 通过光比合单元 406 和光或门 408 的结合 410 来处理光异或门光逻辑处理单元。

综上所述, “比合”等效逻辑门光路元器件, 利用光的干涉原理, 在半个波长的“5 倍勾股数”为直径的单位圆空间上形成。根据本发明的“比合”光路元件通过对一对入射光的光干涉采用不同处理输出而得到不同的光信号, 包括: 二入三出(2to3, 图 4-406)、二入二出(2to2, 图 4-403)和二入一出(2to1, 图 4-407, 408, 409)。其中, 二入二出(2to2)“比合”单位圆光路元件用于平行输出两个光信号, 执行根据本发明的“比合”位操作; 二入三出(2to3)“比合”单位圆光路元件输出三个光信号, 实现根据本发明的“比合三进制-对称三进制”转换位操作; 二入一出(2to1)“比合”单位圆光路元件, 输出一个光信号, 分别实现等效的“与”操作光学元器件(图 4-407)、“或”操作光学元器件(图 4-408)、“非”操作光学元器件(图 4-409)。

可以在纳米板上印刷此“比合”单位圆光学处理元器件的光路。通过此方法, 可通过在纳米基板上印刷光路的形式来实现等效处理逻辑门光路。半个波长 5 倍勾股数直径的单位圆等效逻辑门光路元件比电路元器件结构简单。也就是说, 可以通过印刷方式蚀刻纳米材料来制作光路, 从而通过处理光信号来完成逻辑门和位操作。

“二进制”切换“三进制”逻辑电路

根据本发明的一实施例, 根据本发明的 T 全加法器 201 还可通过一个输入信号来改变 T 全加法器 201 的计算模式。当输入信号值 T 为 0 时, 通过切换控制逻辑电路 205, T 全加法器 201 改变为一对二进制加法器计算处理; 当输入信号值 T 为 1 时, 通过切换控制逻辑电路 205, T 全加法器改变为三进制加法器计算处理。

如上所述, 切换逻辑的电路包括 (NOT) 反相器和 (AND) 与逻辑门阵

列。输入信号分支成一对正反分支的逻辑电路，通过（NOT）反相器区别正反分支；通过正反分支输出的控制信号，与其他的输入信号（AND）与操作控制其他输入信号的开启和关闭，达到切换逻辑门电路的处理。

如上所述，根据本发明的 T 全加法器 201 上，参照附图 3 的二进制与三进制切换逻辑电路单元 301。在控制信号输入 T 被输入后，该信号 T 分支成一个反相器和直通的电路分支，然后分别跟各自的输入信号组（A,B,C,a,b,c）进行与操作，从而开启和关闭输入信号的不同流向。当 T 控制信号为 0 时，反相器通过输入值 0 转换为信号值 1，使输入信号值之间进行与操作。因控制信号的值为 1 结果值取决于控制信号的输入信号的 1 和 0 的状态开启了输入信号，通过电路输入信号分别输入到两个二进制加法器上，并且切换控制电路开启二进制输出的电路，计算处理二进制计算。当 T 控制信号为 0 时，反相器的结果值为 1，屏蔽了当切换信号 T 为 1 时的电路信号处理，反相后的控制信号 1 和三进制输入信号之间与位操作，开启三进制输入信息。通过三进制逻辑门电路的处理，包括双二进制加法处理、“比合”计算、二与三“比合”进制之间的转译的进位值(G/g)和累加值(S/s)计算处理结果输出，再次控制信号跟二进制的逻辑电路的输出结果信号屏蔽和开启三进制计算处理结果值的信息输出。

参照回到图 2，根据本发明的 T 全加法器 201（以下，T 全加法器来表示）可以将 8 个 T 全加法器单元连接，每个 T 全加法器单元的进位输出都作为下一个 T 全加法器单元的进位输入，这样就构成一个 8 位的 T 全加法器，并且还通过 T 全加法器的 T 控制信号切换各 T 全加法器的计算处理模式。应理解，T 全加法器的串联个数不局限于 8 位，可以是不同位的 T 全加法器。

综上所述，根据本发明的切换控制逻辑电路 205 将控制信号 T 通过反相器的分支电路后，和输入输出信息之间进行与位操作来开启和屏蔽输入输出信息，从而实现二进制和三进制的相互切换计算处理。详细的控制过程，参照如下表 18 的信息变化。

表 18：切换不同进制的切换控制电路的真值表

T 控制信号	反相器	控制信号分支值	输入信号	AND（控制,输入）	与操作结果值
1	1	1	1	AND（1,1）	1
	NOT（1）	0	1	AND（0,1）	0
0	0	0	1	AND（0,1）	0
	NOT（0）	1	1	AND（1,1）	1

另外，根据本发明的 TRIA 处理器不仅可将“比合”三进制转换为“对称”三进制，相反的逆转换方式也简便。如附图 4 的 401 所示，“对称”三进制转换“比合”三进制的光路，在 T、R、I 三个对称三进制信号输入后，利用输出端 $A=I+R$ 和 $a=R+T$ 转换成比合三进制逻辑输出。在 401 中，形成 I 直通 A、T 直通 a 和 R 分别同时通向 A 和 a 的光路。这样，当对称三进制的值为 1(I=1)时，I 的发光器投射光射向 A 受光器使输出端(A,a)转换成[1,0]；当对称三进制值为 0(R=1)时，R 的发光器投射光同时分别射向 A 受光器和 a 受光器，使输出端(A,a)转换成[1,1]；当对称三进制值为-1(T=1)时，T 的发光器投射光射向 a 受光器使输出端(A,a)转换成[0,1]，这样，通过光路元器件来完成“对称”三进制到“比合”三进制的转换。

“比合”三进制模拟器引擎

根据本发明的对称三进制的 TRIA “比合”三进制的全加法器运算处理过程，可以在二进制计算环境下通过 Python 语言模拟“比合”三进制计算方法。此运算处理过程方法不仅限于 Python 语言，也可通过其他汇编、C 语言等来进行进一步优化。用此方法在二进制环境下编译成 TRIA “比合”三进制加法器操作引擎提供 API 接口给操作系统，从而可在二进制计算机操作系统上虚拟化“比合”三进制计算处理的对称三进制计算的模拟操作系统环境。

如上所述，根据本发明的 T 全加法器模拟器可参照附图 2 的逻辑门电路的模拟程序，包括“比合”操作功能模块（combine 函数），二进制全加法器功能模块(bin_adder 函数)，二和三“比合”转译模块(tria2to3 函数)和“才亚”转换“才特”三进制(trito 函数)。通过 T 全加法器模拟器功能模块(tria_adder 函数)调用计算，其中，输入参数分别为二进制和三进制切换输入值(以下，变量 T 表示)，正数部输入值(A,B 和进位 C)，反数部输入值(a,b 和进位 c)。当输入值 T 为 0 时，切换到二进制计算模式各自调用 bin_adder 处理后输出；当输入值 T 为 1 时，首先并行调用 bin_adder 计算处理后，调用 combine 函数“比合”处理，并判断正、负进位值异或值(XOR)等于 0 时直接返回结果值，当异或值(XOR)等于 1 时调用 tria2to3 函数转译操作后返回结果值完成，“比合”三进制全加法器处理。“比合”三进制结果通过调用 trito，按位转换处理输出“对称”三进制。

T 全加法器模拟程序的各模块和处理步骤，具体参照如下表 19。

表 19：二进制环境下“比合”三进制模拟引擎，Python 语言程序例

	处理模块和处理步骤	Python 语言模拟 TRIA 逻辑电路程序
功能模块	1) 上下比合操作逻辑运算	def combine(h,l): return (h&l)^h, (h&l)^1
	2) 二进制全加法器逻辑运算	def bin_adder(aIn,bIn,cIn): return (aIn+bIn+cIn)/2, (aIn+bIn+cIn)%2
	3) 二进制转换三进制逻辑运算	def tria2to3(ha,hb,la,lb):
	上进位（正进位）1 时逻辑运算	if ha == 1: return ha^lb, ha&lb, la, ha^hb^lb
	下进位（负进位）1 时逻辑门运算	if la == 1: return ha , la^lb^hb, la^hb, la&hb
	4) "比合"转换"对称"三进制处理 [1,0]=1, [0,0]=0, [0,1]=-1 (-1, 符号 T 表示)	def trito(A,a): if not(A a): return 0 if A == 1: return 1 if a == 1: return -1
TRIA 比合 三进制 运算	T 全加法器	def tria_adder(T,A,B,C,a,b,c):
	(1) 二进制加法操作	G,S = bin_adder(A,B,C) g,s = bin_adder(a,b,c)
	当 TRIA 控制信号 1，处理比合操作	if T == 1:
	(1) 二进制结果上下进位和累加值 比合处理	G,g = combine(G,g) S,s = combine(S,s)
	(2) 比合二进制值转换 TRIA 比合 三进制操作	if G^g==0:
		return "Tri:", (G,S,g,s)
		else: return "T:", tria2to3(G,S,g,s)
二进制 运算	当 TRIA 控制信号 0，处理二进制	else:
	输出二进制各自的结果值	return " B:", (G,S,g,s)

如上所述，根据本发明“比合”三进制双链数据结构特征和“比合”三进制模拟器引擎，编制处理对称三进制虚拟机双字节码的面向对象 TRIA 计算机语言，跟 JAVA 计算机语言的虚拟机字节码相似。

TRIA 运算处理，通过 T 全加法器运算，处理输出“比合”三进制结果，并且三进制转二进制的方式(此说明中未示出)，转换成二进制的结果的输出、再次转入到二进制全加法器上继续运算处理的二进制三进制混合计算。三进制 T 全加法器的减法运算结果，判断处理负数时转译为二进制的补码形式。

10 减法运算和乘法运算

如上所述，根据本发明的 TRIA 数据存储结构，“比合”三进制的正反双链的信息组合方式，减法运算的时候，被减数不变，只需互换减数的正反双链的信息阵列后，通过 T 全加法器加法计算，就能计算处理 TRIA 计算机减

法运算。相对于二进制的减法运算，需要减数反码处理和补码处理等操作处理省略，“比合”三进制计算机的优点，通过一个 T 全加法器完成加法和减法的处理。

以下内容是为了清晰说明此操作方法的详细内容。

5 对称三进制减法： $T-T=0$, $T-0=T$, $T-1=T1$, $0-T=1$, $0-0=0$,
 $0-1=T$, $1-T=1T$, $1-0=1$, $1-1=0$

“比合”三进制减法转加法，是将减数的 X2 和 Y2 互换后的加法处理。

比合数方法表示： $Z=Z1-Z2=(X1-Y1)-(X2-Y2)=(X1-Y1)+(Y2-X2)$;

函数方法表示： $Z=T(X1,Y1)-T(X2,Y2)=T(X1,Y1)+T(Y2,X2)$;

10 其中， $Z=T(X, Y)$; $Z1=T(X1, Y1)=X1-Y1$; $Z2=T(X2,Y2)=X2-Y2$;

如上所述，根据本发明的 TRIA 减法处理，只需要减数的比合数中(正,反)的参数，互换成比合数(反,正)的参数值后，T 全加法器中被减数和减数互换后的比合数的减数带入后“比合”加法运算就能将减法转换为加法处理。

15 根据本发明的 TRIA 数据存储结构，按照“比合”三进制的正反双链的信息组合方式处理对称三进制乘法运算，相对于全加法器，乘法器无进位。

对称三进制乘法： $T*T=1$, $T*1=T$, $T*0=0$, $0*T=0$, $0*0=0$,

$1*1=1$, $1*T=T$, $0*1=0$, $1*0=0$

“比合”三进制乘法： $Z1*Z2=>[A,a]*[B,b]=[D,d]=>Z$

$T*T=[0,1]*[0,1]=[1,0]=1$, $T*1=[0,1]*[1,0]=[0,1]=T$, $0*T=[0,0]*[0,1]=[0,0]=0$

20 $1*1=[1,0]*[1,0]=[1,0]=1$, $0*0=[0,0]*[0,0]=[0,0]=0$, $0*1=[0,0]*[1,0]=[0,0]=0$

$Z1*Z2=[((a\&b)|(a'\&b')), ((a\&b')|(a'\&b))]=[d,d']=>Z$

“比合”三进制的正反“比合”数[A,a]和[B,b]输入和结果[D,d]，具体逻辑门处理表达式可用于电路和光路处理上。

25 也就是说，根据本发明实施例比合三进制的乘法器的运算模块实现的输入和输出的逻辑运算表达为如下：

$d=OR(AND(a,b),AND(a',b'))$; $d'=OR(AND(a,b'),AND(a',b))$

比合三元逻辑(异与): $[\frac{a}{a'}] * [\frac{b}{b'}] = [\frac{(a\&b)|(a'\&b')}{(a\&b')|(a'\&b)}] = [\frac{d}{d'}]$ 。

比合三进制的乘法是表 6 中三元逻辑异或的两个比合参数 $A=(a,a')$ 和 $B=(b,b')$ 的比合三进制异或结果值 $A^B = [\frac{a}{a'}]^B = [\frac{(a|b)\&(a'|b')}{(a|b')\&(a'|b)}]$ 的比合逻辑非

30 的关系。

比合逻辑 $(A^B)=!(A*B)$ 或 $(A*B)=!(A^B)$,比合逻辑乘法器和比合逻辑异

与是同一个比合三元处理运算，比合逻辑异或和比合逻辑非处理等价。

比合运算 $(A*B)=!(A^B)$ 的分式表达 $[\frac{(a\&b)|(a'\&b')}{(a\&b')|(a'\&b)}] = ! [\frac{(a|b)\&(a'|b')}{(a|b')\&(a'|b)}]$ 。

其中，d 和 d'是乘数结果值正、反位数，具体参照如下表 20。

5 表 20：“比合”三进制乘法逻辑门处理方法

乘法	Z1	Z2	Z	逻辑表达式	例	Z1	Z2	Z	对	Z1	Z2	Z	对	Z1	Z2	Z	对
对称 $Z1*Z2=Z$	a	b	d	$(a\&b) (a\&b')$	子	1	1	1	1	0	0	0	0	0	1	0	T
	a'	b'	d'	$(a\&b') (a'\&b)$		0	0	0		0	0	0		1	0	1	

“比合”三进制的其他运算，包括乘法、除法等运算处理是真值运算的一位操作结果值，因此跟 T 全加法器的进位相比，逻辑门运算结构简单。以乘法运算为例，通过乘数的各位中的顺序提出一位信息，与被乘数的全部各位信息按照规定的逻辑门电路逐步顺序乘法处理后，累加到 T 全加法器上，从而实现处理乘法运算。除法运算和乘法运算相似没有进位，因此不再赘述。

光路全加法器

根据本发明，还可采用光学器件来实现单位圆光路设计的全加法器。结合附图 5 的 500 的单位圆勾股数光电等效干涉光元件原理，其中，501 虚框部分表示根据本发明实施例的比合三进制光路全加法器，其包括：双“比合”光路的二进制全加法器(+Bin,-Bin)503、双“比合”运算处理器(Combine)504、二进制三进制转译器(Tri-Translator)505 以及二进制与三进制转换部分（省略，参考图 3 的 T 全加法器电路二进制计算输出部分 T 信号切换方法）。其中，光路二进制全加法器的具体光路图如虚线框 502 所示（一对正反二进制全加法器 503 中之一），二进制三进制转译器 505 的具体光路图包括图 5 中的 507、508 和 509。

首先，一对正和反“比合”光路二进制全加法器(OI-Bin Adder)503 分别包括比合三进制数的正数部的二进制加法器和反数部的二进制加法器。以输入为(A,B,C)的正数二进制加法器为例，其累加输出 $S=XOR(XOR(A,B), C)$ ，而进位输出 $G=OR(AND(A,B), AND(XOR(A,B),C))$ 。这里使用的光学逻辑运算元件在图 4 中已经参照 407-410 进行了描述，因此不再详细描述。同样地，可以得到反数二进制加法器的累加输出 $s= XOR(XOR(a,b), c)$ ，进位输出 $g= OR(AND(a,b), AND(XOR(a,b),c))$ 。

分别将进位光信号(G 与 g)和累加值信号(S 与 s)输出到正和反光路“比合”处理器(OI-Combiner)504, 然后进行比合处理后输出[G,g][S,s]二进制“比合”光信号。

三进制转译器(OI-Translator)505 包括三种分支, 其输入为一对“比合”处理完的光信号[G,g][S,s]。其中一对正反进位光信号(G 与 g)的光路 XOR 异或门处理, 如果异或信号处理值为 0 时“ $XOR(G,g)=0$ ”, 通过光路反相器 NOT 把光信号转变成 1, 从而输入切换开启 506 所示的光路与门组, 使光信号直接输出[G,g][S,s]; 一对正反进位光信号异或值为 1 时(即, “ $XOR(G,g)=1$ ”), 当光路判断 $g=1$ 时, 开启 507 所示的光路与门组, 使得光信号参数改变为 (g,G,s,S) 输入并通过 509 所示的 Tria4outer 光信号处理单元, 然后输出 (g,G,s,S); 当光路判断 $G=1$ 时, 开启 508 所示的光路与门组将光信号参数改变为(G,g,S,s)输入并通过 509 所示的 Tria4outer 光信号处理, 然后输出(G,g,S,s)。Tria4outer 509 的具体光信号处理方法是: 以光信号参数(G,g,S,s)为例, 输入光信号 G 和 s 的光路 XOR 异或门处理结果作为正数进位输出 G, 输入光信号 g 直接输出作为反数进位输出 g, 输入光信号 G 和 s 的光路 AND 与门处理结果作为输出正数位累加输出 S, 输入光信号 G、S 的 XOR 异或处理结果与输入光信号 s 的光路 XOR 异或处理结果作为反数位累加输出 s。

另外, 虽然在图 5 中没有示出, 但是对称三进制输入的三值信号通过 401 的光(3to2)的元件处理, 可实现对称三进制与“比合”和三进制的切换。

另外, 根据本发明的 T 全加法器还可如图 5 的 510 所示, 先对输入的比合三进制数进行比合运算, 然后进行加法运算, 最后进行三进制转译。

具体地, 图 5 种的 510 是 501 的不同变化形式, 首先 Combine 比合处理正和反的输入数字信号(A,a),(B,b),(C,c), 每一对正反信号通过 403 的比合逻辑元件处理, 比合处理元件可使用非线性光学晶体和介质达到光的比合计算处理的目的。再次(A,B,C)比合处理后的输出信号为正数部分二进制全加器的输入信号计算后输出(G,S)计算结果输出; (a,b,c)比合处理后的输出信号为反数部分二进制全加器处理输入信号计算后输出(g,s), 502 的两个双二进制全加器计算处理。计算结果值的进位(G,g), 累加值(S,s)通过正反进位值之间判断, 把比合二进制转译成比合三进制。510 和 501 的全加器不同点在于, 510 是先比合处理后二进制全加器计算, 501 是先二进制全加器计算后比合处理, 最终

以相同方式把二进制比合转译成三进制比合数。

在制作光路板时，可使用 3D 打印光路板（加法），激光蚀刻光路板（减法）的方法开凿光道，制造集成光路板。

〈TRIA 输入系统〉

5 从编码（CODE）的角度分析，计算机系统是一种编码处理系统，通过不同物理介质的状态和不同环境条件下变化关系，使用编码形式转换后，经过这些编码的变化特点和规律来处理信息的系统，通过编码的输入、计算处理、输出、存储和传递。

10 计算机由运算器、控制器、存储器、输入设备和输出设备等五大部件组成计算机硬件环境。

 根据本发明的输入方法跟传统的输入方法不同之处是附图7的700所示，通过最适比合数字处理的科学方法最优简化的 TRIA “比合”文字符号的输入达到输入自然语言文字的输入，简化了输入设备和输入方式。TRIA 符号语言是针对于计算机设计的语言文字，而传统文字符号书写方便而自然地随文化演化的语言。利用 TRIA 语言符号编码和传统语言符号编码的对应关系，可以通过输入 TRIA 符号经过计算机输入系统转译处理方法来输入传统语言文字符号。因为 TRIA“比合”编码的象数图符号是几何形状，与传统文字符号相比更加简易和自然。输入装置通过不同的输入方式生成 TRIA “比合”符号编码，经过计算机输入系统的 TRIA “比合”编码与传统语言文字符号的 ASCII 15 码或 UNICODE 码比对，输入文字符号和存储。TRIA 象数图符号本身也是一种语言符号，可以在扩展 ASCII 码和 UNICODE 中做语言文字编码，通过输入方法输入和保持 TRIA 符号语言文字。

TRIA 符号编码系统

25 根据本发明的实施例 TRIA“比合”符号编码系统，通过一对阵列信息编码编制而成。包括 TRIA“比合”三进制象数图符号编码系统和 TRIA“比合”二进制象数图符号编码系统，以象和数之间相互对应的一对编码“比合”的符号系统。TRIA“比合”符号编码系统，通过此原理符号（象）和编码（数字）相互匹配的象数图符号系统。

TRIA 象数图符号是象和数之间相互关联的一种文字符号系统，跟中国古代的“易经”和“太玄经”中所著述到的易画和玄画符号系统相似。司马光（1019—1086）说玄曰：“易与太玄，道同而法异。易画有二，曰阴曰阳；玄画有三，曰一曰二曰三。易有六位，玄有四重”，两者区别在于，易画和玄画是一维符号系统，而 TRIA 符号是二维符号系统。TRIA 二元符号系统是一对 3 位二进制编码的二维几何中的表现形式，如易重卦和盲文的另一种几何形状的编码方式。TRIA 三元符号系统是玄画的三元符号的四重变化的二维几何中的编码方式；在正方形的四个顶点中，每个顶点有三种线段联系方式，运用这个变化生成的二维符号系统。TRIA 三元符号系统，更加适合于现代的拼音文字、数字、标点符号和控制符号的统一描述，更易于书写、阅读和识别。基于 TRIA 三元符号文字语言，配合一个符号发音一个音符，单词的发音和拼写完全一致，变化简单有规律的一种辅助语。

根据本发明的 TRIA 三进制符号系统是基于“口”字形的拓扑点之间的矢量变化关系的编码，附图 6 的 601 的端点 A、B、C、D 四点之间变化产生的符号编码（如附图 603 所示的象数图三元符号编码）。

根据本发明的 TRIA 二进制符号系统是基于“田”字形的几何拓扑点之间的矢量变化关系的编码，如附图 6 的 601 和 602 的端点 1、2、3、4 和 A、B、C、D 八点和中心点之间变化产生的象数图符号编码。下面将对两套符号系统进行详细说明（如附图 604、605、606 的象数图二元符号编码）。

20 TRIA 三进制符号编码

根据本发明的实施例 TRIA 三进制符号系统利用矩形几何图的几何特征。如图 6 的 601 所示，按顺时针 A、B、C、D 的四点组成的一个矩形。相对于每个端点与其它 3 个端点之间，只有 3 种不同方向连接方式。“才”字形相似的三种不同方向的笔画，如 A 点为起始点，包括矢量 AB 顺时针方向连接、矢量 AD 的逆时针方向连接和矢量 AC 对角线方向连接的三种方向的轨迹变化，分别对称三进制表示 1、T 和 0，以“比合”三进制编码表示[1,0][0,1][0,0]。

为了说明四点一画轨迹编码的矢量值与比合三进制编码关系，以符号 Z 为例。在书写 Z 时，轨迹顺序经过 ABDC 端点，轨迹顺序包括顺时针(AB)、对角线(BD)、逆时针(DC)的轨迹，这样，可用对称三进制编码 10T 来表示符号 Z，相应的比合三进制编码表示为[1,0][0,0][0,1]_z 或[0,1][0,0][1,0]_z。

(A 点) 开始生成的 TRIA 三元符号为字母符号, 起始点从右上角(B 点)开始的生成的 TRIA 符号为数字符号, 起始点从右下角(C 点)开始生成的符号为标点符号, 起始点从左下角 (D) 开始生成的符号主要为控制符号和一些标点符号。

5 根据本发明的实施例中, 英文字母 Tria 可使用 TRIA 三元符号 $\bar{1}\bar{0}\backslash\Delta$ 表示; 英文 Hello world, 由 TRIA 三元符号 $\bar{M}\bar{Z}LL\bar{0}\bar{x}\bar{0}\bar{N}L\bar{7}$ 表示; 汉字的“爱”用拼音方式“ $\Delta\backslash$ ”, 日语的“ にほんご ”用“ $\bar{N}\backslash\bar{M}\bar{0}L\bar{7}\bar{0}$ ”, 韩语的“ 한글 ”用“ $\bar{M}\Delta\bar{N}\bar{7}\bar{N}\bar{0}$ ”书写和发音。TRIA 语言是形中抽象与运数演绎形成的“象数图”符号作为文字符号以一象一音的拼写方式的一种辅助象数音义结合的语言。

10 根据本发明的 TRIA 三元符号, 计算机上输入、处理、保存和输出, 需要 TRIA 三元符号计算机字符编码和字库。计算机上常用的字符编码 ASCII 码有 7 位码和 8 位码两种形式, 其中扩充 ASCII 字符集分别可以扩充 128 个字符。TRIA 三元符号字符编制在扩充 128 个高位编码当中。以 TRIA 编码方法为 $ASCII(z) + 128 = TRIA(z)$, 此编码容易计算英文字母之间的换算关系。

15 根据本发明的 TRIA 三元符号, 可以应用于在目前计算机中用得最广泛的字符集及其编码 Unicode (统一码) 上的字符编码方式上。Unicode 的 2800 至 28FF 是盲文字符集, 2900 至 2B5F 是各种符号, 2B60 至 2BFF 编码区域是空的保留区。TRIA 字符集编码可使用所述保留区 (2B60-2BFF)。字母 A 的对应的 TRIA 码 $\bar{1}$ 的 Unicode 编码可以是 0x2bc1, TRIA 三元符号的 Unicode
20 码与 TRIA 三元符号 ASCII 扩展码之间相差 0x2b00(十进制 11008), 这样易于计算机上编码转换时计算。

根据本发明的 TRIA 三元符号的符号类型和各种编码可参照下面的表 22-25。

25 作为一种编码方式, TRIA 三元符号的数字是从左上角为起始点演绎的轨迹编码。为了易于记忆, 在组合方式上跟传统 QWERT 键盘上的数字键相互匹配。在 TRIA 三元符号中, 配合 SHIFT 上档键“ $\bar{1}$ ” (从左下角为起始点, 逆时针一个线段单位的轨迹编码) 组合成传统键盘的每个数字 (1,2,3,4,5,6,7,8,9 和 0) 相互匹配的特殊符号“!、@、#、\$、%、^、&、*、(和)”表示, 具体参照表 22 所示。

30 表 22: TRIA 数字和标点符号和其他编码比较表。

数字	0	1	2	3	4	5	6	7	8	9
TRIA 数字	⌀	/	Σ	⊔	⊥	⊄	⊅	⊆	⊇	⊈
扩展 ASCII	0xb0	0xb1	0xb2	0xb3	0xb4	0xb5	0xb6	0xb7	0xb8	0xb9
Unicode 码	2bb0	2bb1	2bb2	2bb3	2bb4	2bb5	2bb6	2bb7	2bb8	2bb9
轨迹编码	101111	10	1T01	1TTT	10T	1110	1TTT0	1TT	10T0	11110
标点符号	!	@	#	\$	%	^	&	*	()
TRIA 标点	̄	̅	̆	̇	̈	̉	̊	̋	̌	̍
扩展 ASCII	0xa1	0xc0	0xa3	0xa4	0xa5	0xde	0xa6	0xaa	0xa8	0xa9
Unicode 码	2ba1	2bc0	2ba3	2ba4	2ba5	2bde	2ba6	2baa	2ba8	2ba9

TRIA 三元小写字母是从左上角为起始点，轨迹通过“比合”数字演绎一笔画构成的。

表 23: TRIA 三元符号的小写字母符号参照表，包括字母韩语发音

小写	a	b	c	d	e	f	g	h	i	j	k
TRIA	ⓐ	ⓑ	ⓒ	ⓓ	ⓔ	ⓕ	ⓖ	ⓗ	ⓙ	ⓚ	ⓛ
韩语	ㅏ	ㅑ	ㅓ	ㅕ	ㅗ	ㅛ	ㅜ	ㅠ	ㅡ	ㅟ	ㅠ
ASCII	0xe1	0xe2	0xe3	0xe4	0xe5	0xe6	0xe7	0xe8	0xe9	0xea	0xeb
Unicode	2be1	2be2	2be3	2be4	2be5	2be6	2be7	2be8	2be9	2bea	0xeb
轨迹值	0TT0	010101	0111	0101	01110	0TTT0	011	0T010	00	001	010
小写	l	m	n	o	p	q	r	s	t	u	v
TRIA	ⓓ	ⓔ	ⓕ	ⓖ	ⓗ	ⓙ	ⓚ	ⓛ	ⓜ	ⓝ	ⓞ
韩语	ㅇ	ㅓ	ㅕ	ㅗ	ㅛ	ㅜ	ㅠ	ㅡ	ㅟ	ㅠ	ㅡ
ASCII	0xec	0xed	0xee	0xef	0xf0	0xf1	0xf2	0xf3	0xf4	0xf5	0xf6
Unicode	2bec	2bed	2bee	2bef	2bf0	2bf1	2bf2	2bf3	2bf4	2bf5	0xf6
轨迹值	0TT	0T0T0T	0T01	0TTTT	0110T	0T0T0	001111	010T0	0110	0TTT	0T0
小写	w	x	y	z	sp	,	.	;			
TRIA	ⓞ	ⓟ	ⓠ	ⓡ	ⓢ	ⓣ	ⓤ	ⓥ			
韩语	ㅣ	ㅤ	ㅥ	ㅦ							
ASCII	0xf7	0xf8	0xf9	0xfa	0xa0	0xac	0xae	0xbb			
Unicode	2bf7	2bf8	2bf9	2bfa	2b20	2b2c	2b2e	2b3b			
轨迹值	010	00T0	00T	010T		00101	10101	1T0T0T			

TRIA 三元符号的大写字母是采用上档轨迹符号和小写轨迹符号的结合而成的编码规则。为了区别大写和小写字母形式，在 TRIA 三元小写字母符号之上或左侧用点或横表示 TRIA 大写字母，如下表 23 中以小写字母之上一横表示大写，实际类似于传统键盘的大写字母的“Shift+小写字母”的轨迹组合编码形式。大写 A 的轨迹码(Tricode)为 Shift 的轨迹码 T1 和小写 a 轨迹码 OTT0 结合，如：大写 A 的轨迹码是 T1-OTT0。为了大写字母便于区别于小写字母，在小写字母基础上左侧或之上加一横或一点表示大写。

表 24：TRIA 三元符号的大写字母参照表，Shift+小写字母(T1+tricode)

大写	A	B	C	D	E	F	G	H	I	J	K
TRIA	⌂	⌃	⌄	⌅	⌆	⌇	⌈	⌉	⌊	⌋	⌌
ASCIIX	0xc1	0xc2	0xc3	0xc4	0xc5	0xc6	0xc7	0xc8	0xc9	0xca	0xcb
Unicode	2bc1	2bc2	2bc3	2bc4	2bc5	2bc6	2bc7	2bc8	2bc9	2bca	2bcb
大写	L	M	N	O	P	Q	R	S	T	U	V
TRIA	⌍	⌎	⌏	⌐	⌑	⌒	⌓	⌔	⌕	⌖	⌗
ASCIIX	0xcc	0xcd	0xce	0xcf	0xd0	0xd1	0xd2	0xd3	0xd4	0xd5	0xd6
Unicode	2bcc	2bcd	2bce	2bcf	2bd0	2bd1	2bd2	2bd3	2bd4	2bd5	2bd6
大写	W	X	Y	Z		<	>	:			
TRIA	⌘	⌙	⌚	⌛		⌜	⌝	⌞			
ASCIIX	0xd7	0xd8	0xd9	0xda		0xbc	0xbe	0xba			
Unicode	2bd7	2bd8	2bd9	2bda		2bbc	2bbe	2bba			

为了跟传统键盘的控制键相互对应易于学习和记忆，TRIA 三元符号中的 Shift 键“|”、Enter 键“⌵”、空格键“-”等控制符号跟传统键盘上的控制符号形状相似，如表 25 所示。

表 25：TRIA 三元符号控制码之间参照表

控制符号	Fn	Ctrl	Alt	Enter	Shift	Space	Del	Esc
TRIA 控制	⌘	⌴	⌵	⌵		-	⌶	⌷
Tricode(轨迹码)	0T	T111	T10	TTT	T1	01	T01	T0T0T
标点符号	`	‘	-	=	/	\	[]
TRIA 标点	N	⌸	-	⌹	⌺	⌻	⌼	⌽
Tricode(轨迹码)	T10T	T10101	TT	T0T0	10111	1T0	T0TTT	TTTT0

标点符号	~	“	_	+	?		{	}
TRIA 标点	̄	̈	·	̄	̄	̄	̄	̄

下面介绍，根据本发明的实施例的 TRIA 符号系统的字库。

根据本发明的 TRIA 符号系统的字库包括了点阵字库和矢量字库。

在现有技术中，英文字母是 8×8 的点阵二进制，因此需要 8 个字节才能够描述，而根据本发明的 TRIA 三元符号系统的符号几何特征，采用至少 5×5=25 位就能够识别不同符号之间的差别。因此，可以在更少的点阵下展现字形，节省了字库存储空间，从而适合于微型计算设备上的显示和使用。

根据本发明的 TRIA 三元符号自身带有的几何特征，使矢量字库比英文或其他文字的矢量字库更加简单。在 HTML5 中，函数形式定义各 TRIA 三元文字符号的矢量字符的描述定义。如 TRIA 三元字母 a，定义函数 function tria_a() {context.moveTo(10, 10); context.lineTo(10, 30);context.lineTo(30, 30); context.lineTo(10, 10); context.stroke();}之后，在网页上调用此函数 tria_a()，就能在 HTML5 中显示 TRIA 三元符号。因 TRIA 三元符号结构简单，在 HTML5 之中，可以不需要字库而用函数调用方式来显示 TRIA 数字、文字和标点符号。

根据本发明的另一实施例的 TRIA 三元符号系统中，可基于 TRIA 对称三进制表示方法执行矢量字库显示。

具体地讲，根据本发明的实施例的 TRIA 三元字体生成引擎定义字体模板的框架，包括字的大小、线的粗细、线的颜色和边角处理方式等。当显示和打印字体时，通过 TRIA 三元字体生成引擎，基于上述字体信息在画布上画出 TRIA 三元符号以显示字体。

TRIA 二进制符号编码

根据本发明的 TRIA 二元符号编码，包括‘钟表式’(附图 6-604)、‘方向盘式’(附图 6-605)、‘往来式’(附图 6-606)轨迹编码方法。通过此轨迹编码方法便捷输入盲文。一个盲文字符有左(1-2-3)右(4-5-6)两列自上而下的编码，其中左右两列的编码在 TRIA 二元符号编码对应一个轨迹编码。‘钟表式’编码，可分为‘对称形’轨迹编码方式和‘循环形’轨迹编码方式。只要记住盲文字母或新编制的编码排列规则中对应的一对 8 进制数和字母符号，就能轻易输入“比合”二元轨迹编码方式输入盲文。

表 26：对称方式和循环方式方位编码与各种轨迹输入编码关系

TRIA “比合” 二进制编码	对称			循环			盲文字母 R 八进制 (7, 2) [111][010]	编码方式	R 轨迹[7][2]	易卦	盲文
	3	7	6	7	0	1		钟表式 (圆)	7S2		
	2	S	5	6	Q	2		方向盘式 (圆)	[01234567][76]		
	1	0	4	5	4	3		往来式 (直线)	[01234567][76]		

布莱尔盲文左三右三排列 6 点组成的 63 个点字符相似（与“无点状”合计 64 种符号编码），《易经》的 64 卦是以上三位和下三位组合而成，其共同点是两者都使用分组的 8 进制的 2 进制组合编码方式，一个是左右排列组合（盲文），另一个是上下排列组合（易卦）。《周易·系辞传》说：“易有太极，是生两仪，两仪生四象，四象生八卦。”，TRIA 二元符号编码是利用一对 8 种不同的矢量变化的轨迹编码，表示一个文字符号。

下面的表示出了根据本发明的钟表式和圆周边式字符系统与现有的编码规则之间的关系在九宫格上 S 形对称式排列编码，只要记住一方就能推敲出另一方。

表 27：TRIA 二元象数图符号的不同形式与盲文、易卦对照

八进制	0	1	2	3	4	5	6	7
八卦编码	☰	☷	☱	☶	☲	☴	☵	☳
二进制编码	000	001	010	011	100	101	110	111
盲文列编码	○ ○ ○	○ ○ ●	○ ● ○	○ ● ●	● ○ ○	● ○ ●	● ● ○	● ● ●
方位编码	下	左下	左	左上	右下	右	右上	上
钟表方位	6	7:30	9	10:30	4:30	3	1:30	12
向心方向	↑	↗	→	↘	↖	←	↙	↓
离心方向	↓	↙	←	↖	↘	→	↗	↑
顺时针角度	0	+45°	+90°	+135°	+180°	+225°	+270°	+315°
逆时针角度	0	-45°	-90°	-135°	-180°	-225°	-270°	-315°

布莱尔盲文和卦象之间的内在联系是八进制数字的应用，盲文的左起自上而下（1-2-3）对应周易卦象上卦的三爻，右起自上而下（4-5-6）对应周易卦象下卦的三爻，组合对应一个 64 个不同状态的二维表内容。九宫格的不同方位的角度和周边长度的不同变化的组合方式输入盲文。在触摸板上如图 602 的④-①-②依次经过感应区滑动，就能输入盲文 r 字母，比传统的盲文输入相比简单和方便，也可应用于触摸屏移动设备上。

下面的表 27 示出了根据本发明的 TRIA“比合”二进制符号的盲文的钟表式和圆周边式编码以角度变化的输入方法步骤。

表 28：TRIA 二元输入法使用步骤，（参考图 604，图 605，图 606）

字母 (r) 例	盲文左列编码 (7)	盲文左列编码 (2)	盲文全码 (左右列)
盲文 R, [7, 2]	● ● ●	○ ● ○	●○ ●● ●○
钟表式, R[7, 2] 附图 6-604	↓	←	↙
周边式, R[7, 2] 附图 6-605	+315° 第一步, 顺时针移动	-90° 第二步, 逆时针移动	++++++ 和 -- 两步连续顺逆长度变化
标尺式, R[7, 2] 附图 6-606	经过 7 个标尺点 第一步, 从左往右移动	经过 2 个标尺点 第二步, 从右往左移动	----->和<-- 两种左右互逆长度变化

TRIA 方向变化编码输入法 (三元输入法)

下面将参照图 6-图 10 来说明根据本发明的用于 TRIA 计算机系统的输入法和输入设备。根据本发明的 TRIA 输入设备可包括现有计算机系统的输入设备以及根据本发明 TRIA 输入器二者。或者, 可仅包含根据本发明 TRIA 输入器。这里, 所述根据本发明 TRIA 输入器指的是基于以作为矩形的顶点的四个点中的一个点为起始点并通过一笔画方式完成的轨迹的用户输入轨迹的输入装置。这里, 由于用户的一笔画是基于矩形的顶点的一笔画, 因此其移动轨迹, 也即移动方向将包括顺时针、逆时针移动和对角线移动等三种移动方向。

TRIA 方向变化编码输入方法的包括点式输入方法和形状式输入方法, 其特征在于一笔画完成一个文字、数字、标点符号和控制码的符号编码输入, 其中一笔画可经过 1~4 点组成的矩阵拓扑结构上, 每个点有三种方向的编码组织形式, 包括一笔画经过的点之间的三值编码规则, 判断输入字符方式和一笔画经过的几何图形状结构来识别判断输入字符方式。

根据本发明的 TRIA 一笔画经过的点之间的编码规则判断输入字符方式, 通过设置特定识别区域, 并检测这些区域之间的一笔画经过的不同方向包括顺时针方向、逆时针方向、对角方向 (对角点或对角区域) 的编码值的组合来判断输入符号, 优点是识别率高, 抗干扰能力强, 输入设备简单, 较低计算处理方式实现高识别率。

TRIA 一笔画经过的几何图形状结构识别方法中, 包括结构识别法和统计识别方法。其中结构识别方法是通过建立手写模板库和单字特征数据库, 对用户的输入的字进行模板匹配, 如果不能确定则给出类似字。结构识别法的优点是区分相似字的能力强, 缺点是抗干扰能力差。统计识别方法是将输

入字看为一个整体，其所有的特征是从这个整体上经过大量的统计而得到的，然后按照一定准则所确定的决策函数进行分类判决识别输入符号。统计识别的特点是抗干扰性强，缺点是细分能力较弱。相对于传统的英文和其它符号相比，TRIA 的四点轨迹生成的几何图形状，更容易被计算机识别。

5 因此，用户所输入的一笔画与根据本发明的 TRIA 数据(存储)格式的 X 链和 Y 链的映射关系如下：根据本发明的 TRIA 数据(存储)格式的 X 链和 Y 链的特定位（例如，最低位或最高位）的值的组合表示轨迹的开始点，剩余位的值表示一笔画的移动方向。

10 根据上述映射规则，还可将无法通过一笔画或无需通过一笔画输入的轨迹限定为特定控制字符。

因此，可通过将用户的输入轨迹与字符的映射来实现 TRIA 输入法。图 6 为示出根据本发明的轨迹、字符与 TRIA 对称三进制数据(编码)三者的关系示图。在下面的描述中，基于本发明的一笔画轨迹称作 TRIA 符号，且基于这种 TRIA 符号的系统将被称作 TRIA 符号系统。

15 根据本发明的 TRIA 输入设备可由现有计算机系统的输入设备或输入系统实现。按照方向变化和按照角度变化进行编码输入。此符号语言的对称特点容易理解其符号生成原理和书写和识别，TRIA 语言符号和几何图形相似，因此可独立于民族和地域文化存在。TRIA 文字符号是以 QWERT 计算机键盘的符号为基础一一对应设置其文字、数字、标点符号和控制符，更加容易跟
20 人机交互。

下面将介绍根据本发明实施例的基于 TRIA 文字符号编码的各种输入法和输入设备。

TRIA 角度变化编码输入法（二元输入法）

25 根据本发明的 TRIA 文字符号编码的二元输入法是一种根据角度变化编码的输入方法，通过 (⊙) 九宫格的中心点与其它周边的各 8 个点之间角度或边缘轨迹的不同一笔画完成数字和文字符号的输入方法，通过布莱尔盲文与先天八卦方位图的结合，以钟表指针的变化输入文字符号方法，解决盲文对盲人阅读容易触摸屏设备上，输入难的问题。下面将参照图 6 介绍根据本发明的二元输入法（盲文八进制输入方法）的几个实施例。

钟表式输入法

根据本发明的一个实施例的“钟表式”的角度输入方法具体的如下：首先，如图 6 的 604 所示，在圆形或“田”字形的周边上形成 8 个不同的检测区域，以其中的任意一个检测区域为起始点向心方向手势滑动经过中心点后，再次从中心点离心方向手势滑动移动到周边 8 个不同方向的区域，完成一个符号文字的输入方法。也就是说，根据本发明的钟表式输入法从周边起始、经过中心、最后在周边结束的顺序滑动完成一个盲文符号的输入，通过一次向心和一次离心滑动组合来完成成一个符号文字的输入方法。手势输入的编码容量一共为 64 种不同的编码组合方法，其中周边 8 个点的编码方式顺序有 O 形或 S 形的分布方式。

S 形的编码形式是以 8 个点中的一个起始点以此顺时针（逆时针）排列编码到一半（0、1、2、3），下一半（4、5、6、7）的编码顺序以逆时针（顺时针）排列编码方式。盲文字母 r 为例，左侧编码 1-2-3 为 111 以八进制表示 7，右侧编码 4-5-6 为 010 以八进制表示 2；按照角度输入方法对照表，从九宫格上部为 7，左部为 2。输入设备切换到角度输入方法，触控面板上手指按下后，从周边上部分（7）移动到圆心部分，再次移动到周边左部分（2）后手指离开触控板，输入设备采集到触控板的不同部位的坐标数据，通过角度输入法处理触控事件数据的比对判断出用户输入的是八进制的 72，按照对应表查询对应的字母（r）输入到系统，完成一个字母的角度输入。

方向盘式输入法

如图 605，以“周边式”长度输入方法具体如下，每 45° 周边长度为一个单位把一个圆分成 8 个部分。以此移动一个单位分别表示（1、2、3、4、5、6、7、0）顺时针方向移动为盲文的左列 1-2-3 编码和逆时针方法移动为盲文的 4-5-6 编码对应。圆形手表为例，一个闭合两段有电压差的触控线圈布置在手表的周边边框上，当手移动边框的上移动变化而改变改变线圈的电流值，通过采集这些连续变化的一对增大和减小的电流值的一组输入数据进行计算处理，判断用户输入的文字符号，周边输入方法。盲文字母 r 为例，左侧编码（1-2-3）为 111 以八进制表示 7，右侧编码（4-5-6）为 010 以八进制表示 2；按照周边输入方法对照表，首先手指接触到触控线圈上，从表盘周边顺时针移动 315° 左右的弧度移动，不离开触控线圈的情况下逆时针方向移动 90°

完成盲文字母的 r 的输入。

O 形的编码形式是以 8 个点的其中一个为起始点，一次顺时针或逆时针以此排列方式，操作方式跟 S 形编码形式相同，S 形的编码形式相对 O 形编码形式更容易记忆和操作方面，O 形编码具体实现方式省略。

5 标尺式输入法

如图 6-606，以“标尺式”长度输入方法具体如下,在一个线段分成 8 个感应节点，左起始点排列依次为（0、1、2、3、4、5、6、7）感应点滑动经过至顶点，此路径上感应节点的个数；再次从右起始点开始依次滑动通过指定感应节点，输入系统通过电流感应判断相应编码，左起始点滑动长度单位
10 对应盲文左列的 8 进制编码，右起始点滑动长度对应盲文右列 8 进制编码，通过采集的左右两次编码值和盲文左右列的编码值匹配查询对应的盲文字母。满文字母 r 为例，从左开始滑动至右端第 7 个节点（1-7 单位），再次从右端点开始滑动 2 个单位（7,6 单位）完成输入盲文 r 字符。

TRIA 输入装置

15 如上所述，根据本发明的 TRIA 符号编码系统和二元输入方法法和三元输入方法结合，介绍基于 TRIA 编码的输入装置，包括 TRIA 移动设备、TRIA 字母全键盘与手写输入板、TRIA 表键盘、TRIA 立体键盘、TRIA 虚拟立体键盘和 TRIA 卡片键盘。

TRIA 移动设备

20 如图 7 的 700 所示，根据本发明的输入装置和输入法是通过输入根据本发明的 TRIA 亚语言字元，然后将该字元与现有的语言体系的文字字母进行对应之后输出我们熟知的文字字母。

结合附图 7 的移动设备，跟传统触摸屏移动设备上的全键盘相比，虚拟键盘覆盖显示屏上的一部分信息覆盖，而特别是表格等信息的录入上不便，
25 为了解决此问题，如附图 7-701 所示， TRIA 虚拟键盘是通过透明的四点显示在屏幕上，通过本发明的 TRIA 三元输入方法，在虚拟键盘上录入信息。

在触摸屏移动设备上，解决盲文的输入困难问题，在移动设备的屏幕下方，不影响美观的条件下，如附图 7-702 所示 TRIA 盲文键盘，设置 8 个突起点的感应线，当手指移动而改变线两段的电流变化感应处理，根据本发明的
30 标尺式 TRIA 二元输入法输入信息。

在移动设备的指纹系统，指纹被盗用会引起安全问题。为此，附图 7-703 所示的 TRIA 指纹键盘，在采用指纹系统识别的同时，通过手指在指纹键盘上采用如上所述的基于四个点的滑动方式录入，生成基于 TRIA 三元符号字母的密码字符串轨迹符号来输入字符密码。这样当两道密码都通过时，可以登录到移动设备上。

因为 TRIA 二元或三元编码的简单易用性，可通过附图 7-404 上的一对摄像头检测隔空方式，用手指、眼睛等运动轨迹片段来输入信息。

与图 7 的右侧所示的传统输入法相比，本发明的输入法不用在屏幕上显示键盘的虚拟按键，从而可以显示更多的内容。

TRIA 字母全键盘和手写输入板

附图 8-801 示出的是 TRIA 字三元符号全键盘，跟传统全键盘方式相同，可通过击打每个按键来按照不同的输入法在计算机上输入 TRIA 符号语言或英语等其他语言。

附图 8-802 示出了 TRIA 触控板键盘。在传统的触控板基本上只使用于鼠标的定位。根据本发明的触控板键盘，在触控板上设置田字形状设置 9 个触控检测区域，这样可通过如上所述的本发明的输入“钟表式”符号语言来输入盲文或其他自定义控制快捷键，或四点一画 TRIA 三元输入法。

附图 8-803 示出的是 TRIA 盲文线性键盘，在不影响传统键盘录入和美观的条件下，键盘左下方或右下方设置如上所述的 TRIA 盲文线性键盘，解决盲文输入的问题，具体操作参照附图 6-606 和相关说明。

TRIA 表键盘

附图 8-804 示出了 TRIA 的表键盘。这是 TRIA 符号编码在穿戴式设备上的应用。根据本发明的 TRIA 表键盘，外观上跟传统手表美观和样式不变的情况下，在表盘的边缘周围配置 8 个如附图 8-805 TRIA 表感应点，并且这些感应点和表盘表面上涂上感应材质。根据本发明的 TRIA 三元输入法或 TRIA 二元钟表式输入法来输入不同类型的控制信息，表冠的旋转配合与按下确认等方式，把指令信息无线传输到智能家居或智能车上，从而可以控制外部设备。在表镜圈扣上配置，结合附图 8-806 的 TRIA 表感应圈，可根据本发明的 TRIA 二元方向盘式输入方法来录入信息和控制设备。

TRIA 立体键盘

附图 9-901 示出了根据本发明实施例的 TRIA 立体键盘。立体键盘的表面使用触摸屏，形成为三阶魔方的 54 个表面方块（6 个面 9 个格，总共 54 个表方块）上布置有 TRIA 三元符号的一笔画符号，这样正好是 53 个特征点加上“☒”符号的 54 个 TRIA 符号。在三阶魔方体表面布置 TRIA 的符号，通过这些符号的触击方式录入信息。

TRIA 虚拟立体键盘

附图 9-902 示出了 TRIA 虚拟立体键盘。在 TRIA 立体键盘的各 TRIA 符号的布置内容的基础上，立体键盘的 6 个面上的中心方块部分的 6 个符号在一个触摸屏上显示。如附图 9-903 的 TRIA 虚拟显示层，当需要的文字符号录入时，首先选择符号所在的 6 个面上的中心方块上的符号，此时触摸屏所选符号正上方上弹出覆盖在中心方块上的符号框(图 9-902)，显示符号框是如附图 9-904 的各立体键盘关联的 TRIA 虚拟覆盖层的 8 个符号，通过手指再次点击选择或滑动到符号的区域上一画完成录入此符号。虚拟立体键盘的输入方法，只用点击和滑动 8 个方位的方法，录入文字、数字、标点符号和控制命令。该方法通过 TRIA 符号的对称性和结合特性，跟 TRIA 三元输入法需要各轨迹都要移动才能完成相比，具有输入速度快的特点。

如附图 9-901 和 9-904 所示，先定义 6 个面上的每个面的中心方块和关联的 8 个边角方块上的 TRIA 符号，按照 TRIA 符号的各类特征分类安排，用户需要记忆每个面上的符号特征。将 6 个面上的中心方块的 TRIA 符号显示在用户输入的输入界面上，如 903 所示，六个中心按键部署在 9 宫格或 6 宫格上。要输入字母 b 时，先选择 b 所在的面的中心方格的符号“☒”，此时输入系统界面的选择符号正上方，弹出 902 的 9 宫格符号叠加显示在输入界面“☒”中心方块和 8 个边角方块上的 TRIA 符号，用户如 902 所示再次点击选择或手势滑动到要输入的符号“☒”的方格上完成字母 b 的输入，输入系统通过判断用户输入的中心方格和边角方格的趋势或两次点击，一画趋势输入英文字母或其他各国文字，提高输入速度。

TRIA 安全卡片键盘

结合附图 10 的 TRIA 安全卡键盘，包括附图 10-1001 TRIA 安全芯片、键盘录入感应面板，通过手指在感应面板上移动产生的电流变化和按下所产生的压力感应，根据本发明的 TRIA 三元符号编码输入方法可产生相应的密

码，该密码在 TRIA 安全芯片上的易失性记忆存储介质暂时保存。当读取了身份验证设备上通过无线或接触性交换的录入的密码并且安全芯片上的身份密钥相互匹配后确认通过并清零此卡片上的暂存的密钥信息，或一段时间后易失性记忆存储介质上信息自动清零，保证卡片的身份认证的安全。

- 5 附图 10-1002 示出了 TRIA 四点滑动式键盘，其根据本发明的四点一画的 TRIA 三元编码模式输入信息。附图 10-1005 示出了 TRIA 左右式键盘，其根据本发明的 TRIA 符号编码组合完成输入信息。附图 10-1003 示出了 TRIA 拨号式键盘，其根据本发明的 TRIA 符号中的一些基本几何符号，辅助配合 1004 的旋转，按照对称的转换方式录入信息。附图 10-1006 的 TRIA 钢琴式
- 10 键盘将根据本发明的 53 个一笔画符号以钢琴形式分类排定作为一种键盘模式来录入信息。

TRIA 存储系统

- 如上所述，根据本发明的 TRIA 计算机系统，通过两个二进制数据单位来表示一个对称三进制数据单位。具体地讲，两个二进制运算单位中的一半
- 15 用于表示具有对称三进制中的“1”的位，而另一半用于表示具有对称三进制中的“T”的位，即，两个数据单位中的一个数据单位表示对称三进制数据中的“正数”部分，并将这部分称作“X 链数据”、“X 链”或“正数链数据”，而另一个数据单位表示对称三进制数据中的“反数”（负数）部分，并将这部分称作“Y 链数据”、“Y 链”或“反数链数据”。

20 串行和并行“比合”三进制数据相互转换

- 如上所述，根据本发明的 TRIA 计算机系统，通过两个二进制数据单位来表示一个对称三进制数据单位，因此根据本发明的 TRIA 存储系统可采用现有的存储器结构存储对称三进制数据，即，根据本发明的 TRIA 存储系统可存储二进制数据和比合三进制，或比合三进制转换为对称三进制数据，最
- 25 小存储单位是“才特”或“才亚”。

- 附图 4-404 示出了根据本发明的并联和串联“比合”互换电路。一对“正、反”并联的并行输入信号(A、B、C)和(a、b、c)，经过中合层的转换电路进行“奇、偶”一对的“比合”处理，输出到串行的[1,2],[3,4],[5,6]，即，输出奇偶“比合”三进制串联（Zipper）转换方式。与此同理另一端[1,2],[3,4],[5,6]
- 30 串行输入后，输出信号(A、B、C)和(a、b、c)的并联（Un-Zipper）转换方式。

并联与串联“比合”互换电路在硬件上不仅可用传统的单面印刷电路方式，根据 TRIA 数据结构的特点还可在三层电路板上实现，其中，正数部元器件布置在上层电路板上、反数部元器件布置在下层电路板上、正反相互结合的中间层部分，通过奇偶相互交替方式把上层和下层的一对信号转换电路布置在中间层电路上。

TRIA“比合”计算处理过程中包括两种计算机存储方式。一种是“比合”三进制的正反一对数据以相互交替方式串联（Zipper）操作的存储方式。另一种是正、反两个阵列的一对数据并联（Un-Zipper）操作的存储方式。TRIA“比合”三进制存储结构的串联布置方式和并联布置方式之间，可以相互转换。

例如，计算机的寄存器 AX 中高位（AH）放置正数部数据，（AL）低位放置反数，或相反方式，低位放置正数、高位放置反数。另一种是在计算机存储结构中，满二叉树（B-Tree）存储结构方式，左叶节点上存储正数（X 链）部数据，右叶节点上存储反数部数据（Y 链）存储方式。

表 29 串联布置至并联布置的转换

二叉树			满二叉树左叶节点组								满二叉树右叶节点组							
寄存器	AX		AH 高位(X 链)								AL 低位(Y 链)							
节点编号	位操作	位	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
左右分叶	Un-Zipper	并	1	0	0	1	1	0	1	0	0	1	0	0	1	1	0	1
满二叉树/AX	Zipper	串	1	0	0	1	0	0	1	0	1	1	0	1	1	0	0	1

如上所述，根据本发明的 TRIA 存储系统中，利用二进制的两个位表示对称三进制的一个位。例如，若两个对应(或配对的)二进制位是(1,0)，则表示对称三进制的“1”；若两个位是(0, 0)，则表示对称三进制的“0”；若两个位是(0, 1)，则表示对称三进制的“T”。由于不存在与(1, 1)对应的对称三进制的“数”，因此二进制对(1,1)可用来表示控制符或用于特殊用途，(1,1)比合操作(0,0)相同结果。

现有的存储器结构中，可以以 16 比特、32 比特、64 比特等为单位存储数据。下面的描述中，为了描述的方便，假设根据本发明的 TRIA 存储系统以 16 比特为单位存储数据，即，二进制数据和对称三进制数据都是以 16 比特位单位存储数据。需要注意的是，虽然下面将以二进制和对称三进制均以 16 比特为单位存储数据的假设进行描述，但是根据本发明的 TRIA 存储系统，二进制和对称三进制的存储数据的单位可以不同，也可以相同，且存储数据的单位可以包括但不限于 16 比特、32 比特、64 比特。

根据本发明的 TRIA 存储系统以 16 比特为单位存储数据，即，一个字或两个字节。根据本发明的 TRIA 存储系统，将 16 比特的存储单位划分为正数链(以下，简称“X 链”)和反数链(以下，简称“Y 链”)。

根据本发明的 TRIA 存储系统中，X 链中与对称三进制数据的“1”对应的位为“1”，其余位为“0”，而 Y 链中与对称三进制数据的“T”对应的位为“1”，其余位为“0”。例如，针对对称三进制数据 A=(0010TT01)，其等于十进制 $1 \times 3^5 + (-1) \times 3^3 + (-1) \times 3^2 + 1 \times 3^0 = 243 - 27 - 9 + 1 = 208$ 。X 链的(00100001)，在十进制可以是 $1 \times 3^5 + 1 \times 3^0 = 244$ ，而 Y 链的(00001100)，在十进制可以是 $(-1) \times 3^3 + (-1) \times 3^2 = 36$ 。因此，A=X 链值-Y 链值。

如上所述，由于 X 链中与对称三进制数据的“1”对应的位为“1”，其余位为“0”，而 Y 链中与对称三进制数据的“T”对应的位为“1”，其余位为“0”，因此不会出现情况，而这种 X 链和 Y 链的对应的位均为“1”的数据可用作信息传递或存储时的控制或校验信号。

根据本发明的 TRIA 存储系统中，X 链的数据和 Y 链的数据分别存储于不同的存储节点上，当 TRIA 计算机系统使用的时候，并行读入此两个节点上的数据块，“比合”处理成一个完整的数据信息，在“云计算”中把数据拆分成两个部分存储于不同节点，即使一个节点的数据泄露也不影响数据的安全性，只有通过安全机制在一个计算节点上，“比合”两个节点的数据才能解密此数据，二进制计算机存储方式相比提高了“云计算”中的数据安全性。

双层记录光盘“比合”三进制存储

根据本发明的记录光盘主要包括，基板、记录层和反射层，当此光盘在进行烧录时，激光就会对在基板上涂的有机染料，进行烧录，直接烧录成一个接一个的“坑”，这样有“坑”和没有“坑”的状态就形成了‘0’和‘1’的信号。通过激光头写在光盘记录层，可使用单层不同角度或双层记录的两个反光点方式，TRIA “比合”三进制数的正数部和负数部的数据，通过光信号写入光盘上存储。

表 30:

双层光存储	对称三进制	1	0	0	T	1	T	T	0	记录层	/	x	x	\	/	\	\	x	双反射读取
	比合三进制	正	1	1	1	0	1	0	0	1	上层	/	/	/		/		/	上层
		反	0	1	1	1	0	1	1	1	下层		\	\	\		\	\	下层

偏振光单层光盘“比合”三进制存储

如上所述，根据本发明的 TRIA 计算机系统，通过一对相互垂直方向的刻录“比合”三进制的正反一对二元数据在写在光盘的一个相互垂直的一个点的交叉区域上，合成写入一个对称三进制信息，当读取信息时两个感光器通过刻录的凸凹垂直反射光分离出来，转换成一对 TRIA “比合”三进制数。

5 通过一对垂直交叉的反射光信号值，分别采集和转换成“比合”三进制数据读取双反射光的一位对称三进制数，提高单位存储单元的存储密度。

表 31:

偏振光存储和传递	对称三进制									偏振光		+	+	-		-	-	+	双反射读取
	比合三进制	正	1	1	1	0	1	0	0	1	纵波								纵向写
		反	0	1	1	1	0	1	1	1	横波		-	-	-		-	-	横向写

全息技术存储三进制数据

全息存储与全息照相完全相同，同样是利用了光的干涉原理。与其它存储技术不同，全息存储技术并不仅仅利用介质表面，它通过在整个存储介质内记录干涉图案来存储数据，这些干涉图案是由两束激光在某种晶体上相交来改变材料的光学特性所形成。激光器产生的激光束被分光镜一分为二，其中一束被命名为“物光束”，直接照射到被拍摄的物体，另一束则被称为“参考光束”，直接照射到感光胶片上。根据本发明的 TRIA 计算机系统，TRI

10 比合三进制信号通过调制解调的两束激光的在感光胶片上产生的干涉条纹记录存储 TRIA 比合三进制数据信息，再次通过一套高效率的全息照相系统读取感光胶片上的 TRIA 三进制记录的干涉条纹，提取全息感光胶片上的 TRIA 三进制的数据。参考表 30，两束光的比合三进制信号在光的衍射和干涉下不同的明暗条纹在感光胶片上，记录正反比合三进制的数据信息，并且逆向操作

15 读取比合三进制数据。

20

“比合”三进制转“对称”三进制存储

如上所述，根据本发明的 TRIA 计算机系统，正反位的“比合”三进制和一位“对称”三进制存在一对一的关系，因此参照表 16 的转换方式，可将“比合”三进制数据输出成一个三值状态的存储介质上，提高存储密度，再

25 次，存储介质上的三值状态的信号转换成“比合”三进制数据，在 TRIA 计算机系统中运算处理，“比合”和“对称”三进制存储信息相互转换。

TRIA 网络系统

TRIA 计算系统的数据结构方式跟二进制计算机的数据结构方式不同，使网络协议上比合式 IPv4 或 IPv6 形式表示，IPv4 是 2 的 32 位表示一个网络地址，网络节点数是 $2^{32}=4.294967296E+9$ 个，基于 TRIA 三进制的网络节点数是 $3^{32}=1.85302E+15$ 个，IPv6 是 2 的 128 位表示一个网络地址，网络节点数是 $2^{128}=3.40282E+38$ 个，基于 TRIA 三进制的网络节点数是 $3^{128}=1.17902E+61$ 个。

根据本发明的 TRIA 计算机网络系统，使用实体 IP 地址和虚拟 IP 地址的“比合”方式组合编制成一个对称三进制地址。如实体 IPv4 地址为 172.16.30.1 主机上虚拟机的 IPv4 地址为 192.168.30.2 的网络环境下，对称三进制表示 $(0T101100.T0T1T000.0.T0)_Z$ 和对称九进制表示 $(A340.CBC0.0.B)_N$ 的 TRIA 网络编码。TRIA 网络编码 IPv4 方式的一个子网编码数是 $3^8=6561$ 个，二进制的子网编码数 $2^8=256$ 个相比更多的网络编码容量，解决虚拟机带来的 IP 数的增加，参照如下表所示。

表 32:

TRIA IPv4 对称三进制表示	$(0T101100)_Z$	$(T0T1T000)_Z$	$(0)_Z$	$(T1)_Z$
TRIA IPv4 平衡九进制表示	$(A340)_N$	$(CBC0)_N$	$(0)_N$	$(B)_N$
实体 IPv4	172	16	30	1
	$(10101100)_B$	$(10000)_B$	$(11110)_B$	$(1)_B$
虚拟 IPv4	192	168	30	2
	$(11000000)_B$	$(10101000)_B$	$(11110)_B$	$(10)_B$

如上所述，根据本发明的 TRIA 网络 IP 通过实体和虚拟 IP 地址的正反比合叠加而成的对称三进制或平衡九进制表示一个地址。

如上所述，不仅比合方式表示网络地址，可用按照此原理通过比合方式表示内存寻址地址编码标记，如正和反的内存地址的比合地址表示。

<TRIA 计算机系统的软件系统>

如上所述，根据本发明的 TRIA 计算机系统包括 TRIA 运算处理系统、TRIA 输入系统、TRIA 输出系统、TRIA 存储系统等。TRIA 计算机系统可根据进制选择信号，二进制运算模式 and 对称三进制运算模式之间切换。并且可以两者混合计算，比如二进制运算模式处理结果转换为三进制模式处理的输入，相反三进制模式处理结果转换为二进制模式处理的输入。当 TRIA 计算机系统执行“比合”三进制运算时，TRIA 计算机系统切换成“比合”三进制

内存模式跟 TRIA 处理器交换和处理数据。TRIA 内存数据，当保存或网络传递时，双链并行方式或奇偶串联方式，把数据存储或传递“比合”数据结构，并且“比合”三进制数据转换为对称三进制方式存储或传递数据信息，TRIA 硬件层给软件层提供基于“比合”三进制的对称三进制运算和处理的接口。

- 5 计算机系统的指令的作用在于，一条指令或指令的序列命令计算机中的特定部分或多个部件执行特定操作。TRIA 运算处理系统(即，CPU)根据指令或指令序列的功能，产生相应的操作控制信号，发送给相应的部件，从而控制这些部件按指令的工作功能执行相应动作。TRIA 处理器处理指令时，从存储器或双高速缓冲存储器中取出指令程序，放入指令寄存器，并对指令译码。
- 10 处理器将指令分解成一系列的微操作，然后发出各种控制命令，执行微操作系列，从而完成一条指令的执行。通过指令控制器使多核处理器中的一部分内核切换成对称三进制的计算处理模式，并通过特定的对称三进制指令集提供给软件层，从硬件级别支持对称三进制计算处理，包括基于三进制的操作系统(TOS，即 TRIA OS 的简写)和三进制的虚拟机(TVM，即 TRIA VM)。

15 基于 TRIA 计算机系统的虚拟机

- 虚拟化或虚拟机(Virtual Machine)指通过软件模拟的具有完整硬件系统功能的、运行在一个完全隔离环境中的完整计算机系统。通过虚拟机，用户可以在一台物理计算机上模拟出另一台或多台虚拟的计算机，这些虚拟机完全就像真正的计算机那样进行工作，例如，用户可以安装操作系统、安装应用程序、访问网络资源等等。
- 20

TRIA 计算机系统，从硬件上提供二进制和三进制的平行处理或混合处理。使用硬件计算资源和硬件虚拟化技术可提供基于芯片的功能，借助兼容虚拟机管理器(VMM)软件。

- 如上所述，虚拟机的工作原理是在计算机硬件层和操作系统上面插入一个精简的软件层，该软件层包含一个以动态和透明方式分配资源的虚拟机监视器(VMM 或 Hypervisor 称“管理程序”)，多个操作系统可以运行在单台物理计算机上，彼此之间共享硬件资源。由于将整台计算机(包括 CPU、内存、操作系统和网络设备)封装起来，由此虚拟机可与所有标准的操作系统、应用程序和设备驱动完全兼容。可以同时在单台物理计算机上安全运行多个操作
- 25

系统和应用程序，每个操作系统和应用程序都可以在需要的时间访问其所需要的资源。

下面，介绍根据本发明实施例的利用了虚拟机技术的 TRIA 计算机系统。

如上所述，根据本发明的 TRIA 计算机系统包括 TRIA 运算系统、TRIA
5 TRIA 输入系统、TRIA 输出系统、存储系统等。TRIA 计算机系统可根据进制选择信号在二进制运算模式和比合(对称)三进制运算模式之间切换。当 TRIA 计算机系统执行“比合”三进制运算时，TRIA 计算机系统切换到“比合”三进制内存模式并使用 TRIA 处理器交换数据。当保存数据或网络传递时，采用双链并行方式或奇偶串联方式存储或传递“比合”数据，并且可将
10 “比合”三进制数据转换为对称三进制方式以存储或传递数据信息，同时给软件层提供对称三进制运算的处理接口。

在根据本发明实施例的 TRIA 计算机系统中，在计算机系统的固件(例如，主板)中内置优化的虚拟机管理模块(VMM)和对称三进制计算指令，以将其提供给虚拟机上基于对称三进制计算处理的计算环境，内嵌固化的 VMM
15 是通过 BIOS/EFI 的管理接口而被关闭和开启。默认情况下，内置的 VMM 的开启是裸机情况下直接接通电源，远程网络就能部署云计算环境。三进制或对称三进制计算中的信息以 0 或 1 的形式可分别存放在两个二进制存储节点，计算的时候在计算节点上合并处理成“比合”三进制方式处理对称三进制计算。

20 计算机集成度的提高，在处理器内部完全整合包括南北桥芯片在内的主板芯片组、网络控制器、接口控制器，VMM 的软件层的存储也包含在一个芯片当中，简单来说就是完整的 SoC (System on a Chip) 方式设计，根据本发明的 TRIA 计算机中 VMM 也可以内置在一个芯片之中，并且提供 API 接口给上层的操作系统和应用程序调用三进制驱动程序。

25 在 TRIA 计算机系统中，比合三进制是基于双二进制数的比合操作原理计算，可以在二进制计算机的操作系统底层，通过软件方式模拟比合三进制计算，从底层包装 API 接口给上层应用调用。这样，根据本发明的比合三进制的特征不仅在基于比合三进制模式的硬件结构上运行，同时也可以在二进制计算环境下通过软件方式模拟比合三进制计算。

30 根据本发明的 TRIA 计算机系统中，主机开启后，本地或远程登陆（如

HP 的 ILO 等远程服务)裸机系统(BIOS/EFI)在操作界面或命令行方式操作,首先 TCPU 模式关闭时,主机关闭三进制模式正常使用 BCPU(二进制 CPU)模式运行;开启时,使用“比合”三进制计算处理模式。在(BIOS/EFI)上关闭 VMM 模式时,需要安装配置操作系统,如果开启了 TCPU 模式可运行基于三进制的操作系统(TOS),关闭了 TCPU 模式运行二进制系统(BOS)。

5 开启了 VMM 模式后,TRIA 计算机的系统由 VMM 核心模块接管,并且内置的安全用户管理模块,提供基于二进制和三进制的混合运行的虚拟机环境服务。登录到 VMM 上,通过图形方式或命令行方式安装和配置虚拟机,创建一个虚拟机 VM 时,创建一个配置文件(VMCFG),在配置文件上包括处理器

10 配置(CPUCFG)、内存配置(MEMCFG)、存储配置(DISKCFG)和网络配置(NETCFG)、外设配置(DEVCFG,显卡、声卡等)和系统配置(SYSCFG)。当虚拟机启动的时候,宿主机上的配置信息编译成机器编码后,通过 API 接口在客户机上的 BIOS/EFI 上以特殊设备形式(配置设备),客户机自检时读取此配置设备信息,同时为该设备分配中断、通道和 I/O 端口等资源。客户

15 系统 BIOS 读取主引导记录,读取配置设备中的存储配置,选择操作系统的镜像文件读入到客户机分配的内存中,从而启动客户机的操作系统。并且从配置设备读取的配置信息找到用户镜像文件挂在到系统中,增量写入客户机定制的优化配置信息、用户环境配置信息和用户数据到用户镜像中。

处理器配置上包括处理器内核使用数量、处理器使用模式(TCPU)、寄存器叠合处理模式等配置。虚拟机使用的处理器(CPU)模式;如 T=1 时,调用硬件上的三进制虚拟化计算处理资源,双寄存器之间的叠合处理等;T=0 时,虚拟机调用硬件上的二进制虚拟化计算处理资源。

20

内存配置上包括内存大小、内存组织方式、位存储数据结构等。在内存组织方式上,“比合”计算的特殊性使用双堆栈方式处理“比合”数据,在三进制计算机内存的数据结构方式上位存储数据结构上,ZXY=1 时,使用串联奇偶的数据结构处理“比合”数据和保存数据;ZXY=0 时使用并联正反的数据结构处理“比合”数据和保存数据,在“比合三进制”计算处理上,系统判断串联奇偶、并联正反和混合使用模式。

25

网络配置上包括主机的网卡配置、虚拟机网卡物理地址(MAC)和网络通信方式,根据本发明的 TRIA 虚拟机的网络通过,主机(Host)和客户机(Guest)

30

的 IP 地址的“比合”方式的三进制 IP 地址寻址不同主机上的客户机。

存储配置上包括存储的方式、存储文件系统格式、存储文件配置类型。存储的方式中内置(DAS)和外挂(SAN,NAS)等配置,存储文件系统格式中操作系统的文件系统格式的配置。根据本发明的 TRIA 虚拟机系统中按照应用类型分类成不同的虚拟存储文件类型类型上包括:操作系统虚拟文件系统类型(OSVDFS)、应用服务虚拟文件系统类型(APPVDFS)、用户数据虚拟文件系统类型(USRDFS);存储数据结构上串联奇偶(Z 开头)和并联正反形式(X 或 Y 开头),串联(并联)的 ZOSVDFS(XOSVDFS,YOSVDFS)、ZAPPVDFS(XAPPVDFS、YAPPVDFS)和 ZUSRDFS(XUSRDFS、YUSRDFS)形式。例如,外挂存储方式时,采用并联正反形式把 X 和 Y 虚拟系统文件分别挂接在不同的存储节点上提高读写效率,在读取时 X 和 Y 数据块文件读入到一对堆栈上分别装入并且进行“比合”计算,从而简化和提高串联形式的正反分类的操作。根据本发明的 TRIA 虚拟计算机系统中每个类型虚拟系统文件和配置文件是成对的,如,操作 OSVDFS 文件系统的配置文件 OSVDFS.CFG 上配置跟具体硬件资源状态下的系统优化配置参数,APPVDFS.CFG 上配置具体应用提供服务的最优配置参数,USRDFS.CFG 上配置用户数据的存储方式和安全编码方式等配置参数等,在 VMM 环境下配置而不是虚拟机启动后在客户机(GUEST)上配置,这种虚拟系统文件类型和配置文件关联方式,在部署云计算环境时快速分发部署,配置和类型虚拟文件两个文件部署到各个宿主机上,在虚拟机管理服务器端只更新宿主机上的配置文件,就能把虚拟上的应用最优化状态下运行,而不是在每个客户机上登录后更改优化应用程序的配置文件。比如 ORACLE 数据库为例,把数据库系统制作成一个 APPVDFS 文件并且提供一个 VMM 上可调优的配置文件,当虚拟机启动的时候首先读入配置文件到内存中,并且把 APPVDFS 虚拟磁盘文件挂载到此配置文件指定的挂载目录,启动数据库的时候系统参照从 APPVDFS.CFG 的配置文件上的参数,在内存中开辟空间给数据库运行,在客户机上更新了数据库的配置就通过 VMM 提供接口更新 VMM 环境中外挂配置文件的参数。

根据本发明的 TRIA 虚拟机的虚拟机系统配置上包括客户机的名称、客户机的网络地址、客户机的用户、服务端口等配置参数,当虚拟机启动的时

候配置参数首先读入到内存表上，并且更新客户机操作系统的相关配置，在客户机中 TOS 中发现为一种特殊设备（TVMCFGDEV），运行中通过客户机系统用户权限读写客户机的设备更改系统配置，VM 系统通过 TVMCFGDEV 接口程序实时更新 VMM 上的各虚拟机的配置表参数。

5 虚拟管理系统只通过 OSVDFS 的模板的内存镜像，快速克隆给新定制用户环境并配置上参数信息装载和配置产生新虚拟机，用户信息保存在 USRVDFS 用户配置文件系统上，使一个通用模板如 OS 和多个定制用户组合成不同虚拟机，节省系统模板的每次重复克隆给用户造成的磁盘空间资源浪费。

10 尽管参照其典型实施例的表示和描述了本发明的实施例，以举例说明本发明的原理，但本发明并不限于表示和描述的实施例。应该理解，在不脱离由所附权利要求限定的本发明的精神和范围的情况下，本领域的技术人员可进行各种变动和修改。因此，应该理解，这样的变动、修改及其等同物全部包括在本发明的范围内。

15