

实验5

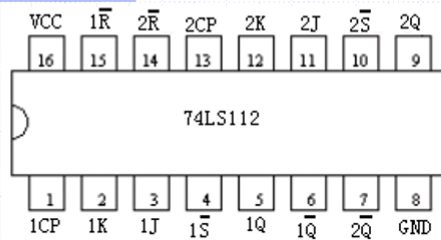
任务1. 基本RS触发器测试

- 用74LS00芯片分别构成基本RS触发器和钟控RS触发器，并分别测试其功能。
 - 分别在文件夹基本RS与钟控RS之中
 - 钟控RS时，当输入I为11时，会出现Q与-Q并非相反的情况，这是因为钟控RS在I为11时，电路状态不确定

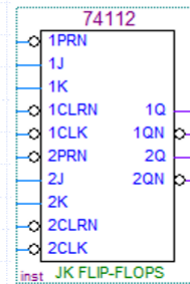
任务2. JK、D触发器测试一

- 按照<数字逻辑实验指导书>p.实验-48 的要求测试74LS112的异步置位和复位功能。用开关作为CP输入，测试JK触发器的外部逻辑功能。
 - 在文件夹JK中
 - 74LS112为两块下降沿JK触发器，11为翻转，00为保持
- 用74LS112实现T触发器和D触发器，并分别测试其外部逻辑功能。
 - 在文件夹74LS112_T_D中
 - 由于是下降沿触发器，正好周期重合。
 - 验证T触发器：某个T与上一个的Q取异或，其结果为这个的Q
 - 验证D触发器：每一组里的D与Q都相同

74LS112引脚图



74LS112包含两个下降沿J-K触发器，在控制端CP的下降沿输出后发生变化。其中非同步输入端/S叫做预置端，/R叫做清除端。能将J-K触发器预置为“1”或清除为“0”，而与CP及输入的J-K无关。



PRE (S)	CLR (R)	CLK	J	K	Q
0	1	X	X	X	1
1	0	X	X	X	0
0	0	X	X	X	*
1	1	↓	0	0	不变
1	1	↓	0	1	0
1	1	↓	1	0	1
1	1	↓	1	1	翻转
1	1	↑	X	X	不变

任务3. JK、D触发器测试二

- 用Quartus II中的软件仿真操作，仿真JK触发器的外部功能。分析仿真波形来研究JK触发器的逻辑功能。
 - 在文件夹JK中
 - 修改CP的count的Timing值。
- 设计用D触发器实现JK触发器的原理图，通过软件模拟后，下载到FPGA上进行硬件测试。
 - 在文件夹D_JK中
 - 这里的D触发器为上升沿

如果还有各种触发器之间的转换，直接看数字逻辑**PPT**