

# 上海大学 计算机学院

## 《数字逻辑实验》报告二

姓名 冯新元 学号 18120232

时间 2019/10/10 机位          指导教师 何冰

---

实验名称: 组合电路 1

### 一、实验目的

异或门逻辑功能测试

使用分立元件的异或门和与非门分别构成半加器和全加器，并进行测试

使用 Quartus II 设计二位全加器

### 二、实验原理

半加器是对两个一位二进制数进行相加，产生“和”与“进位”。根据半加器的逻辑表达式可知，半加器的“和”Y 是 A、B 的异或，而“进位”Z 是 A、B 相与。故半加器可用一个集成异或门和二个与非门组成。

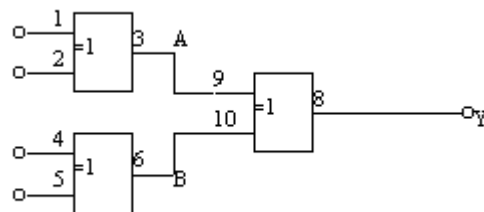
全加器将两个一位二进制数及来自低位的进位  $C_{i-1}$  进行相加，产生“和”与“进位  $C_i$ ”。构成全加器的方法有多种：可用异或门和与非门等门电路组成，也可用若干与门组成也可用半加器和或门组成。

### 三、实验内容

#### 1. 实验任务一：异或门逻辑功能测试

##### (1) 实验步骤

将 74LS86 的引脚 7 连接“接地插孔”；引脚 14 连接+5V 电源插孔。其余输入输出引脚按照下图方式连接。拨动开关，观察二极管变化，并记录表格。



##### (2) 实验现象

见下表

(3) 数据记录、分析与处理

将三个个输出端分别记为 A、B、Y，根据二极管指示灯，高电平记 H，低电平记为 L，记录表格。

输入		输出		
		<i>A</i>	<i>B</i>	<i>Y</i>
L L	L L	L	L	L
H L	L L	H	L	H
H H	L L	L	L	L
H H	H L	L	H	H
H H	H H	L	L	L
L H	L H	H	H	L

(4) 实验结论

异或门的输入输出满足逻辑表达式： $Y = A \oplus B$ .

## 2. 实验任务二：用 74LS00 和 74LS86 芯片分别构成半加器和全加器

(1) 实验步骤

先用 74LS00 和 74LS86 芯片搭建成半加器，并测试其功能，记录结果。

如上构建两个半加器然后配合其他门电路构成全加器，并测试其功能，记录结果。

(2) 实验现象

在实验箱上用异或门(74LS86)和与非门(74LS00)接成下图的电路。A、B 接电平开关 K；Y、Z 接电平显示发光二极管。

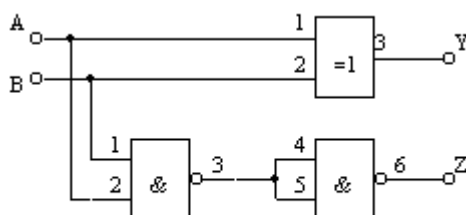
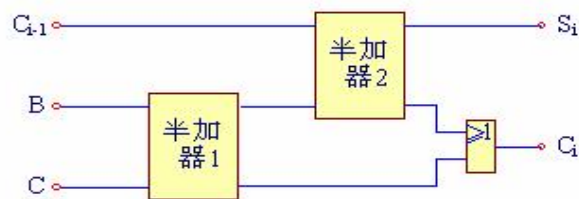


图 4-2



### (3) 数据记录、分析与处理

输入端	$A$	0	1	0	1
	$B$	0	0	1	1
输出端	$Y$	0	1	1	0
	$Z$	0	0	0	1

输入	$A$	0	0	0	0	1	1	1	1
	$B$	0	0	1	1	0	0	1	1
	$C$	0	1	0	1	0	1	0	1
	$i$								
输出 (电平/逻辑值)	$S$	0	1	1	0	1	0	0	1
	$C$	0	0	0	1	0	1	1	1
	$i$								
	$i-1$								

### (4) 实验结论

半加器输入输出满足逻辑表达式：

$$Y = A \oplus B$$

$$Z = AB = \overline{\overline{AB}}$$

半加器正确。

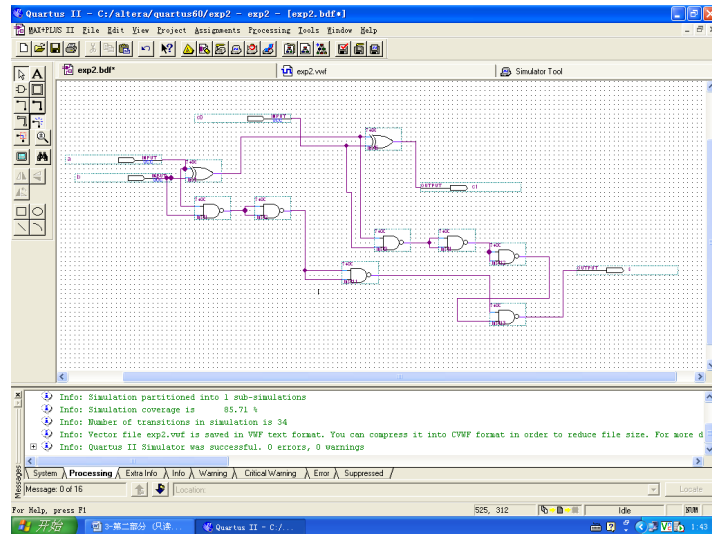
全加器满足逻辑电路图，全加器正确。

## 3. 实验任务 3：用 Quartus II 设计二位全加器，并下载到 FPGA 中测试。

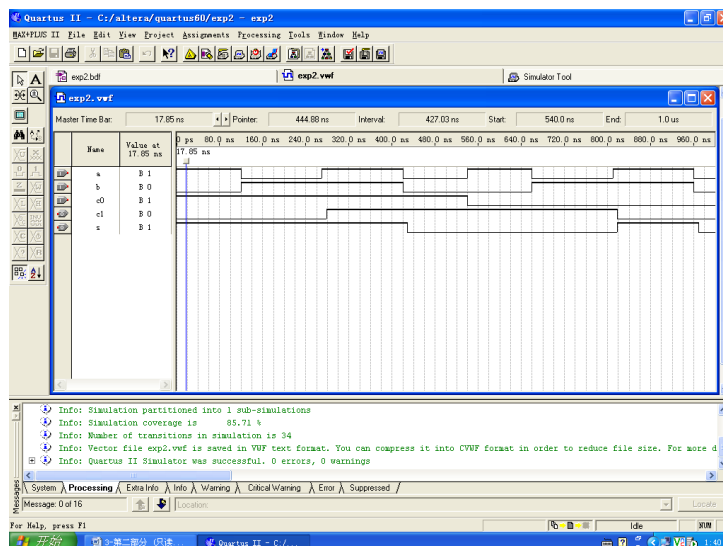
### (1) 实验步骤

用 Quartus II 设计电路图，a, b, c0 为 2 输入端，其中 a, b 为本位输入，c0 为较低位进位；s 为本位输出，c1 位向高位进位输出。然后另存

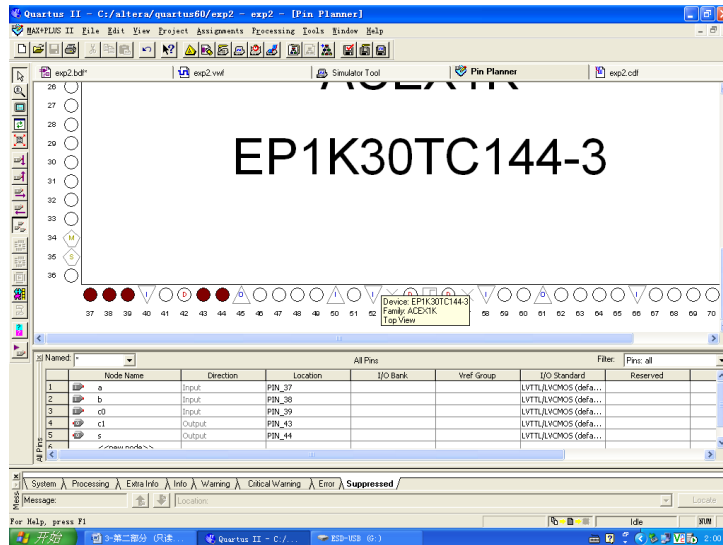
为，编译仿真电路。



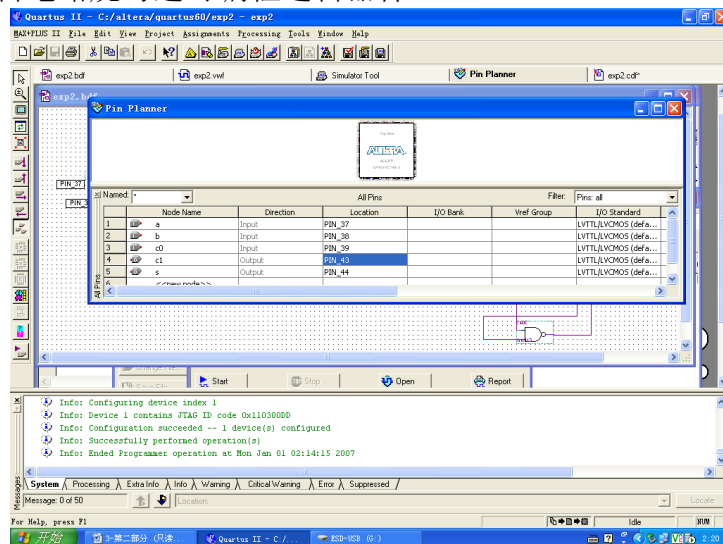
编译通过后模拟输入输出，检查输出满足全加器的逻辑运算。



找到与 ACEX 器件型号对应的芯片，将输入端 a, b, c0 对应 EP1K30TC144-3 针脚 37, 38, 39；输出端 c1, s 对应针脚 43, 44。



将逻辑电路烧写进可编程逻辑器件

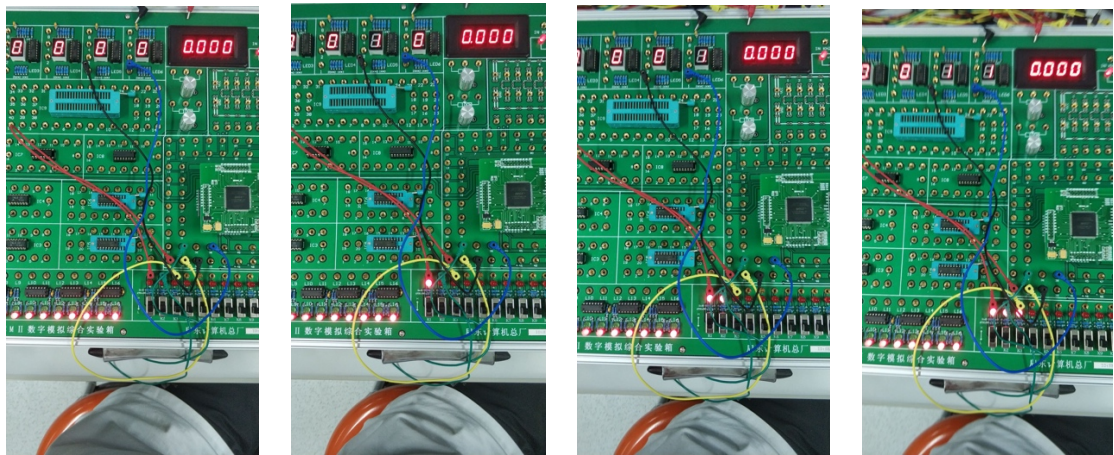


## (2) 实验现象

开关 K1, K2, K3 分别对应输入到引脚 37, 38, 39, 即逻辑电路中的 a, b, c0 端。

上端 LED 电子管, 左侧为逻辑电路中输出 s 端, 右侧电子管为逻辑电路中输出 c1 端。

经测试, 输入输出与仿真结果和逻辑表达式一致。可编程逻辑器下载成功。



## 四、建议和体会

利用逻辑电路实验箱可以验证设计电路是否满足功能。预先进行仿真电路设计可以简化在实验箱接线的难度。

## 附录、预习报告

74LS 06

选四，预入数字逻辑电路 74LS16 按下图与门接线，输入 1、2、5 接电源开关。

将结果填入表中

输入	A	B	输出 Y
LL	L	L	L
HL	L	H	L
HH	H	L	L
HH	H	H	L

测试异或门与或非门 (74LS00) 组成异或门逻辑功能

输入端 A B 输出端 Y Z

A	B	Y	Z
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	0

Y = A ⊕ B  
Z = A ⊕ B =  $\overline{A \odot B}$

测试全加器逻辑功能

输入 A<sub>i</sub> B<sub>i</sub> C<sub>i-1</sub> 输出 S<sub>i</sub> C<sub>i</sub>

A <sub>i</sub>	B <sub>i</sub>	C <sub>i-1</sub>	S <sub>i</sub>	C <sub>i</sub>
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

S<sub>i</sub> = (A<sub>i</sub> ⊕ B<sub>i</sub>) ⊕ C<sub>i-1</sub>  
C<sub>i</sub> = (A<sub>i</sub> ⊙ B<sub>i</sub>) ∨ (A<sub>i</sub> ⊙ C<sub>i-1</sub>) ∨ (B<sub>i</sub> ⊙ C<sub>i-1</sub>)