

上海大学 计算机学院

《数字逻辑实验》报告三

姓名 冯新元 学号 18120232

时间 2019/10/17 机位 指导教师 何冰

实验名称: 组合电路 2

一、实验目的

- 1、设计 8421 码到余 3 码的转换电路
- 2、设计 2421 码到 gray 码的转换电路

二、实验原理

简单门电路可以实现所有电路所需的功能，列出真值表利用卡诺图化简成逻辑表达式形式可以快速得到逻辑电路电路所需要实现的功能。对应逻辑表达式画出电路图，利用电路仿真软件检验功能后下载到 FPGA 中可以实现逻辑电路箱中模拟逻辑电路功能，减少使用大量实体元件和导线，使电路更加清晰。

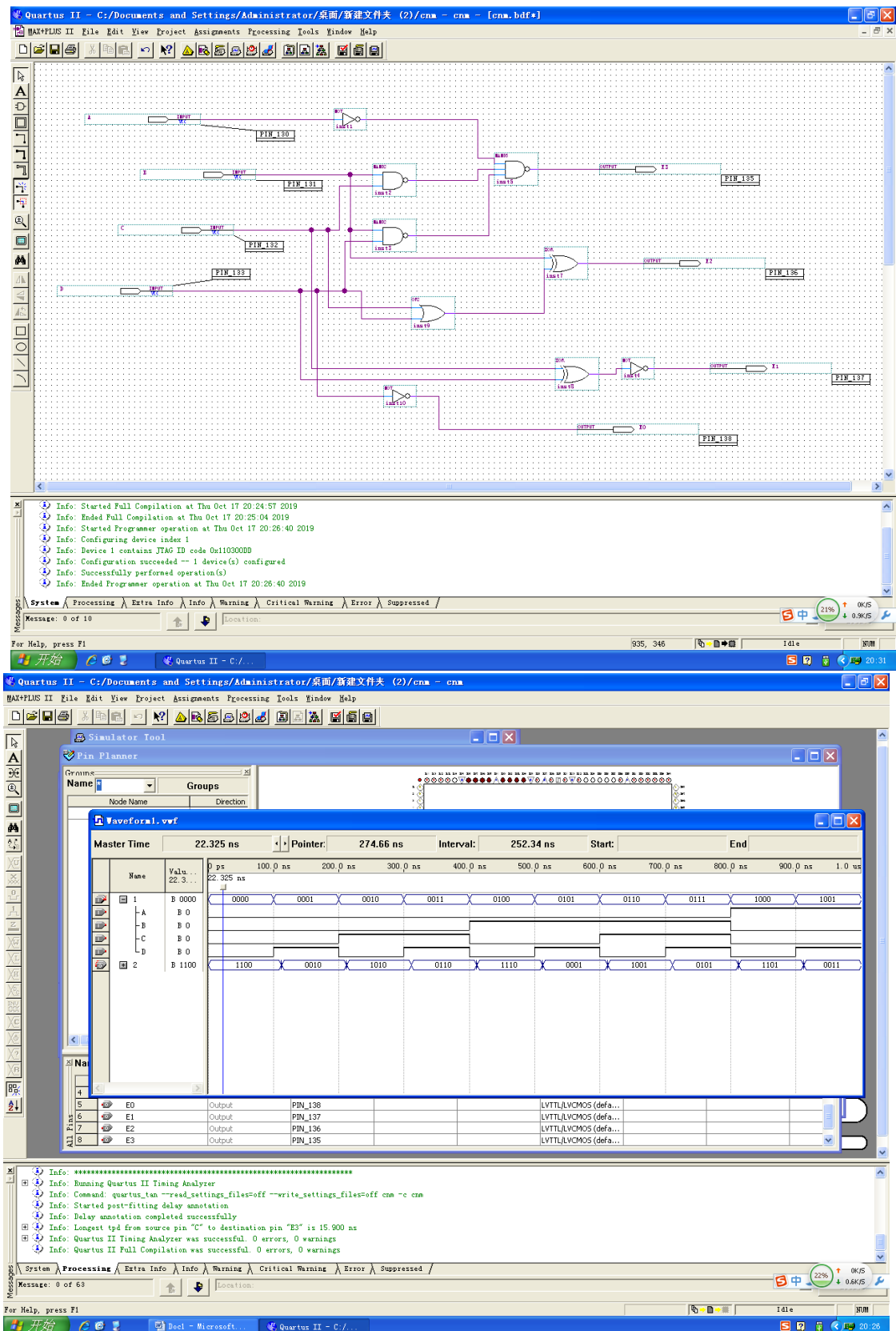
三、实验内容

1. 实验任务一：用 Quartus II 设计 8421 码到余 3 码的转换电路，并下载到 FPGA 中测试

(1) 实验步骤

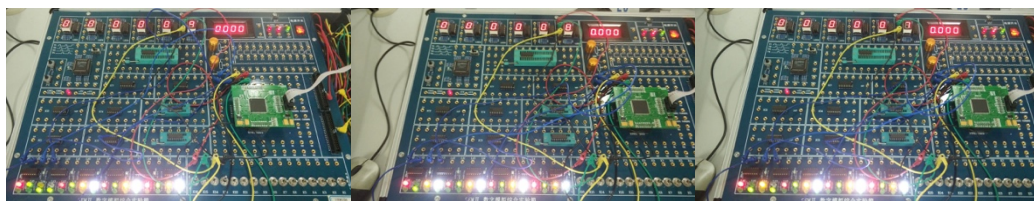
1. 在 Quartus II 中选用基本门电路器件，构成一个 8421 码到余 3 码的转换电路逻辑图。
2. 使用模拟工具进行模拟验证，并通过验证。
3. 定义 FPGA 的 IO 引脚功能。
4. 下载设计的电路到 FPGA。
5. 用开关和发光二极管测试 FPGA 的功能。

(2) 实验现象



下图为三种测试情况，上端 LED 数字显示为 8421BCD 码对应十进制，下

端 LED 为余三码，从左到右依次是高位到低位。



(3) 数据记录、分析与处理

真值表

A	B	C	D	E3	E2	E1	E0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

测试 8421BCD 码的十种输入对应的输出的余三码皆符合真值表，电路设计符合实验设计要求。

(4) 实验结论

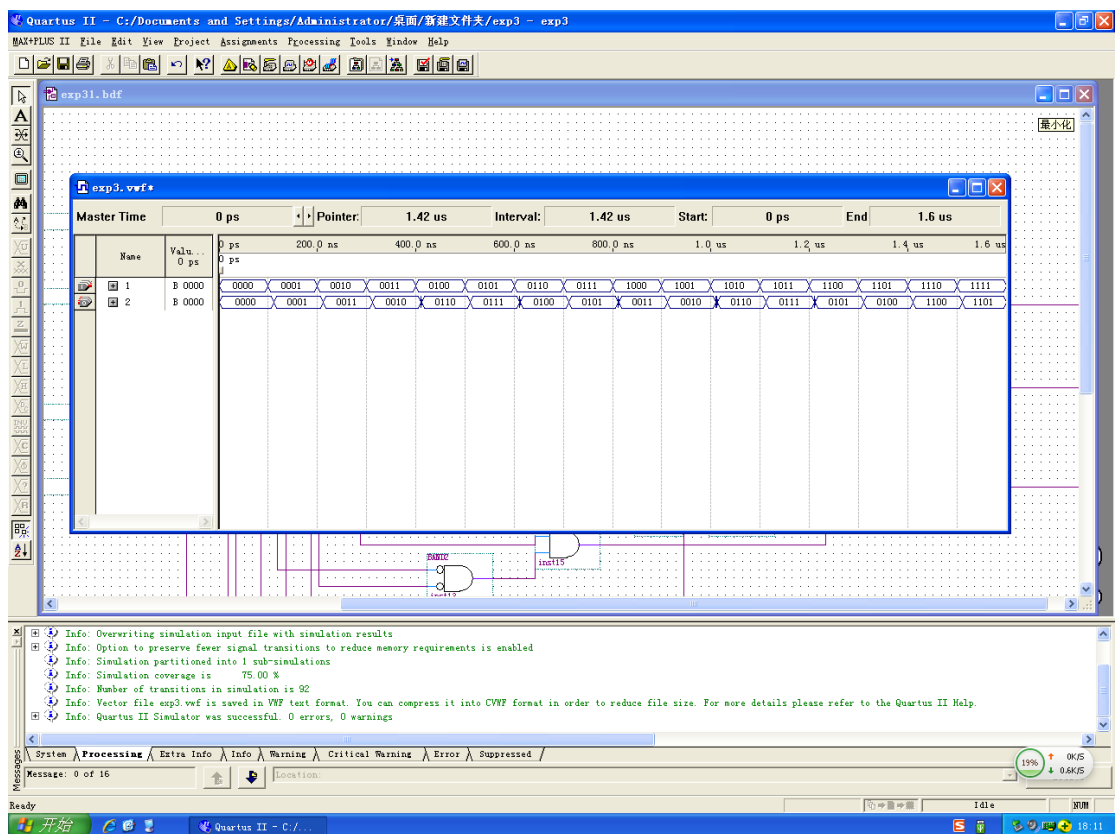
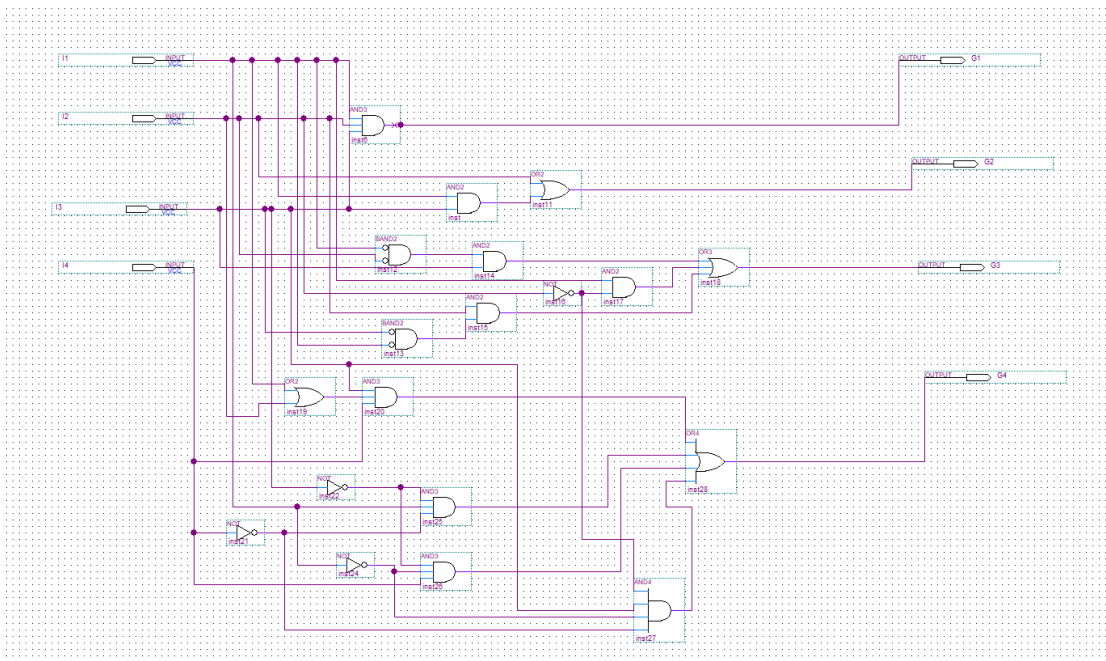
测试 8421BCD 码的十种输入对应的输出的余三码皆符合真值表，电路设计符合实验设计要求。

2. 实验任务二：用 Quartus II 设计 2421 码到 gray 码的转换电路，并下载到 FPGA 中测试

(1) 实验步骤

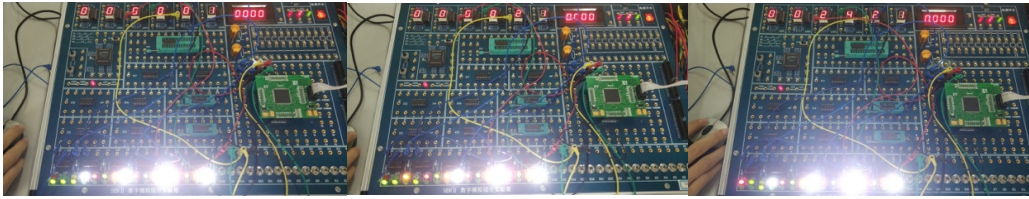
1. 在 Quartus II 中选用基本门电路器件，构成一个 2421 码到 gray 码的转换电路逻辑图。
2. 使用模拟工具进行模拟验证，并通过验证。
3. 定义 FPGA 的 IO 引脚功能。
4. 下载设计的电路到 FPGA。
5. 用开关和发光二极管测试 FPGA 的功能。

(2) 实验现象



下图为三种测试情况，上端 LED 数字显示为 2421 码，下端 LED 为 Gray

码，从左到右依次是高位到低位。



(3) 数据记录、分析与处理

真值表

I1	I2	I3	I4	十进制值	G1	G2	G3	G4
0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	1
0	0	1	0	2	0	0	1	1
0	0	1	1	3	0	0	1	0
0	1	0	0	4	0	1	1	0
0	1	0	1	5	0	1	1	1
0	1	1	0	6	0	1	0	1
0	1	1	1	7	0	1	0	0
1	0	0	0	2	0	0	1	1
1	0	0	1	3	0	0	1	0
1	0	1	0	4	0	1	1	0
1	0	1	1	5	0	1	1	1
1	1	0	0	6	0	1	0	1
1	1	0	1	7	0	1	0	0
1	1	1	0	8	1	1	0	0
1	1	1	1	9	1	1	0	1

测试 2421 码的 16 种输入对应的输出的 Gray 码皆符合真值表，电路设计符合实验设计要求。

(4) 实验结论

测试 2421 码的 16 种输入对应的输出的 Gray 码皆符合真值表，电路设计符合实验设计要求。

四、建议和体会

利用真值表和卡诺图可以辅助设计电路，节约时间。

附录：预习报告

预习报告.

实验 1.

8421 转余3码.

设输入位为 A, B, C, D ; 输出位 E_3, E_2, E_1, E_0 .

画出真值表

A	B	C	D	E_3	E_2	E_1	E_0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

余下输入都是非法输入, 无需考虑真值变化.

由卡诺图和观察得:

$E_0 = \overline{D}$

$E_1 = \overline{C \oplus D}$

$E_2 = B \oplus (C \oplus D)$

$E_3 = \overline{A \cdot B \cdot C \cdot D}$

设计电路

实验 2.

$\geq 421 \rightarrow \text{gray}$

I_1	I_2	I_3	I_4	十进制值	gray
2	4	2	1		G_1, G_2, G_3, G_4
0	0	0	0	0	0 0 0 0
0	0	0	1	1	0 0 0 1
0	0	1	0	2	0 0 1 1
0	0	1	1	3	0 0 1 0
0	1	0	0	4	0 1 1 0
0	1	0	1	5	0 1 1 1
0	1	1	0	6	0 1 0 1
0	1	1	1	7	0 1 0 0
1	0	0	0	8	1 1 0 0
1	0	0	1	9	1 1 0 1
1	0	1	0	10	1 0 1 1
1	0	1	1	11	1 0 1 0
1	1	0	0	12	1 1 0 1
1	1	0	1	13	1 1 0 0
1	1	1	0	14	1 0 0 0
1	1	1	1	15	1 0 0 1

$G_1 = I_1 \oplus I_2$

$G_2 = I_1 \oplus I_2 \oplus I_3$

$G_3 = \overline{I_1} \cdot \overline{I_2} \cdot I_3 + \overline{I_1} \cdot I_2 \cdot \overline{I_3} + I_1 \cdot \overline{I_2} \cdot \overline{I_3} + I_1 \cdot I_2 \cdot I_3$

$G_4 = I_1 \cdot \overline{I_2} \cdot \overline{I_3} + \overline{I_1} \cdot \overline{I_2} \cdot I_3 + \overline{I_1} \cdot I_2 \cdot \overline{I_3} + I_1 \cdot I_2 \cdot I_3$

G_3

	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	1	0	0	1
10	1	0	0	1

G_4

	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	0	1	1	1
10	1	0	0	0

$G_3 = \overline{I_1} \cdot \overline{I_2} \cdot I_3 + \overline{I_1} \cdot I_2 \cdot \overline{I_3} + I_1 \cdot \overline{I_2} \cdot \overline{I_3}$

$G_4 = I_1 \cdot \overline{I_2} \cdot \overline{I_3} + \overline{I_1} \cdot \overline{I_2} \cdot I_3 + I_1 \cdot I_2 \cdot \overline{I_3} + \overline{I_1} \cdot I_2 \cdot I_3$