



上海大学

SHANGHAI UNIVERSITY

2021-2022 学年夏季学期

课程报告

《计算机硬件大型作业个人报告》

项目名称: 洗衣机时间控制电路

指导老师: 张云华

学号姓名:

20121034 胡才郁

计算机工程与科学学院

报告日期 2022 年 7 月 1 日

洗衣机时间控制电路设计

摘 要

本文为选题《洗衣机时间控制电路》的个人报告，由本人独立完成了电路设计、程序编写、波形模拟等任务，对于实验任务的设计思路以及实践过程展开了详细的介绍。除了完成了基本的实验任务的功能要求，并联系生活实际需求，进行了以下的功能扩展：

1. 按键防抖处理
2. 洗衣完成提示功能—声光报警
3. 洗衣机正反转模拟功能

关键词：控制电路 硬件实验 洗衣机模拟

一、 实践项目意义

随着科学技术的快速发展，洗衣机的市场也得到了发展。洗衣机的功能的重视，洗涤模式的选择，智能化程度，性价比的高低都得到人们的关注。洗衣机的时间控制电路是其不可或缺模块，随着人们的需求与时长变化，洗衣机快速迭代并发展出不同的功能，但这些功能都离不开其时间控制电路的总体调控。因此，以洗衣机时间控制电路为基础进行开发设计，十分具有意义，有利于了解电路设计开发的方法与流程，更容易举一反三。

《计算机硬件大作业》作为《数字逻辑》、《计算机组成原理》等硬件课程的补充，在完成此项目的过程中，加强了对于硬件知识的掌握。使得可以从宏观角度对于硬件设计进行把控，从微观角度对于信号传递的细节进行理解。在项目进行过程中，也复习回顾了 Quartus II 软件的使用、电路设计的流程、以及时钟的相关知识。

本项目以《洗衣机时间控制电路设计》为题，使用 Quartus II 进行电路设计与波形模拟，完成了洗衣机时间电路的设计，实现了时间控制、自定义时间、数码管显示、声光报警、正反转模拟等功能。

二、 实践项目原理

2.1 开发软件 Quartus 简介

Altera Quartus II 设计软件是提供 FPGA 引脚绑定和波形仿真模拟统一设计流程的设计工具。Quartus II 可编程逻辑软件属于第四代 PLD 开发平台。该平台支持一个工作组环境下的设计要求，它软件体积缩小，运行速度加快，采用快速适配选项缩短编译时间。

在本文的电路设计与代码编写中，全部以 Quartus II 为开发工具，并且使用了相应的波形模拟功能来进行仿真，确认功能模块的正确实现。

2.2 波形仿真模拟

Quartus II 提供了强大高效的免费仿真选项、原理图采集和波形观测器，为改善模拟电路的仿真提供增强功能和模型。只需要给定对应的输入信号与输出信号，在编译后进行模拟操作即可生成完整的波形图。

2.3 数字电路

用数字信号完成对数字量进行算术运算和逻辑运算的电路称为数字电路，或数字系统。从整体上看，数字电路可以分为组合逻辑电路和时序逻辑电路两大类。

其中组合逻辑电路简称组合电路，由最基本的逻辑门电路组合而成，没有记忆功能，输出状态随着输入状态的变化而变化；时序逻辑电路简称时序电路，由最基本的逻辑门电路加上反馈逻辑回路（输出到输入）或器件组合而成的电路，与组合电路最本质的区别在于时序电路具有记忆功能，它的输出不仅取决于当时的输入值，而且还与电路过去的状态有关。

2.4 分频电路

当我们需要多种频率的时钟脉冲或者较低频率的时钟脉冲时，往往需要对系统时钟进行分频。分频器主要分为偶数分频、奇数分频、半整数分频和小数分频，如果在设计过程中采用参数化设计，就可以随时改变参量以得到不同的分频需要。而计数器实质上是对输入的驱动时钟进行计数，所以在某种意义上，计数器也是一种分频器。

三、实践项目设计

3.1 系统架构

此洗衣机控制电路由以下四个模块组成：

- ① 顶层控制模块
- ② 分频信号模块
- ③ 电子时钟模块
- ④ 数码管显示模块

本文将依次按照以上顺序，介绍各个功能模块的实现。各个子任务封装成相应的功能模块，如下表所示：

表 1 模块设计

名称	模块	功能
top_design	顶层设计模块	将其余三个模块进行整合与控制
frequency_design	分频信号模块	将由开发板供电后的高频率分为较低频率
timing_moudle	电子时钟模块	控制洗衣机时钟倒计时以及暂停、增加减少
digital_tube	数码管显示模块	将电子时钟原始输出转换为 7 段数码管输出

所谓的模块化开发就是封装细节，提供使用接口，彼此之间互不影响，每个模块分别实现某一特定的功能。模块化开发使系统耦合度降低，意义在于最大化的设计重用，以最少的模块、电路、零部件，更快速的满足更多的个性化需求。本项目中，各个模块交互方式如下图：

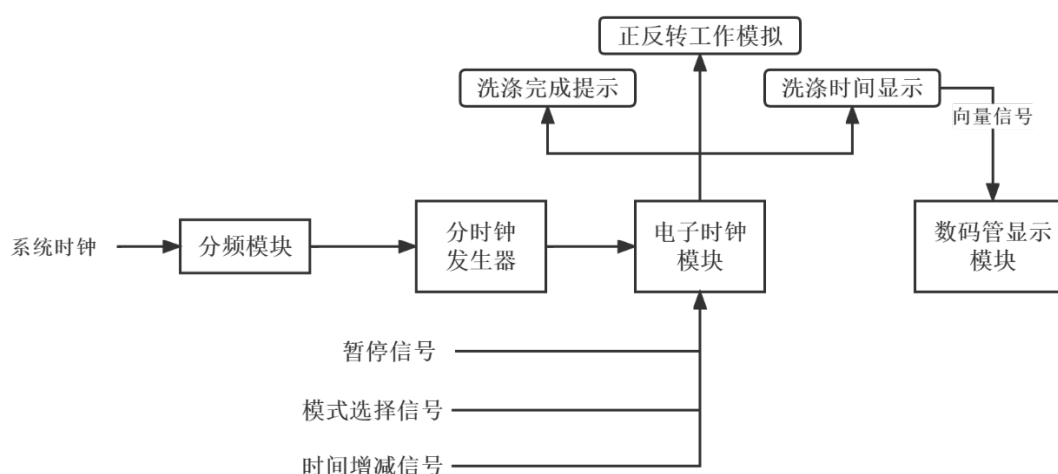


图 1 系统架构

对项目需求进行模块化拆分后，为了使各业务模块间解耦，将各个部分独立为模块，它们之间没有依赖关系。分频模块、电子时钟模块、数码管显示模块，每个模块负责的功能不同，逻辑不同。模块功能比较单一，可在多个项目中使用。

3.2 顶层控制模块

顶层控制模块将分频信号、电子时钟、数码管显示三个模块进行有机组合，完成了之间的相互调用与配合。其电路原理图如下图所示：

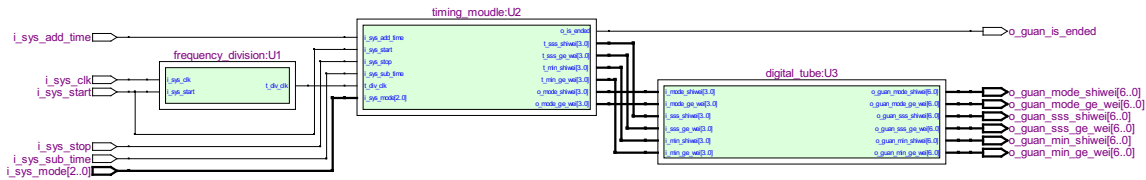


图 2 顶层控制模块原理图

对于顶层控制模块而言，它包括了整个洗衣机控制电路的输入端口与输出端口。其具体信号与配置如下表所示：

表 2 输入与输出端口

类型	分组	名称	功能
功能模块		frequency_design	分频信号模块
		timing_moudle	电子时钟模块
		digital_tube	数码管显示模块
输入		i_sys_clk	时钟信号
		i_sys_mode	模式选择信号
		i_sys_start	开始信号
		i_sys_stop	暂停信号
		i_sys_add_time	时间增加信号
		i_sys_sub_time	时间减少信号
输出	模式位	o_guan_mode_shiwei	模式位十位
		o_guan_mode_ge_wei	模式位个位
	小时位	o_guan_hour_shiwei	小时位十位
		o_guan_hour_ge_wei	小时位个位
	分钟位	o_guan_min_shiwei	分钟位十位
		o_guan_min_ge_wei	分钟位个位
		o_working	洗衣工作方式(正转、反转)
	用户提示	o_isended	结束指示灯
		o_baoshi	结束蜂鸣器

在顶层模块设计中，将输入的各个信号分配给对应的模块，如分频模块、电子时钟模块等。并将这些模块对输入信号处理后得到的结果进行输出。虽然本次硬件大作业为线上任务，只需完成模拟操作即可。但是如果具有 FPGA 开发板条件，将 FPGA 开发板对应的引脚分别于输入、输出端口绑定，即可在开发板上观察各个功能的现象。

3.3 分频信号模块

(1) 分频原理

数字电路中时钟占有很重要的地位，时间的计算都要以时钟作为基本的单元。一般来说，我们使用的开发板上只有一个晶振，即只有一种频率的时钟。但在数字系统设计中，经常需要对基准时钟进行不同倍数的分频，而得到各模块所需的时钟频率。

对于洗衣机控制电路而言，假设开发板的固有时钟频率为 50000000Hz，由以下公式进行计算：

$$T = \frac{1}{f} \quad (1)$$

可得时钟周期为 2×10^{-8} 秒，此周期过短，无法满足时钟信号每 1 分钟为 1 周期的设计要求。因此，需要在开发板的固有时钟频率的基础上进行分频处理，将频率分为 $\frac{1}{60}$ Hz，即周期为 1 分钟，即可满足开发需求。

所谓“分频”，就是把输入信号的频率变为成倍数低于输入频率的输出信号。它的原理是：把输入的信号作为计数脉冲，由于计数器的输出端口是按一定规律输出脉冲的，所以对不同的端口输出的信号脉冲，就可以看作是对输入信号的“分频”。至于分频频率是怎样的，由选用的计数器所决定。如果是十进制的计数器那就是十分频，如果是二进制的计数器那就是二分频，还有四进制、八进制、十六进制等等以此类推。

时钟信号的处理是 FPGA 开发板的基本处理，而分频器电路也是 FPGA 开发板设计中使用频率非常高的基本设计之一。分频电路是数字电路中常见的逻辑电路类型。在时序逻辑电路中，时钟是必不可少的。

(2) 电路设计

本实验中，分频模块电路图设计如下：

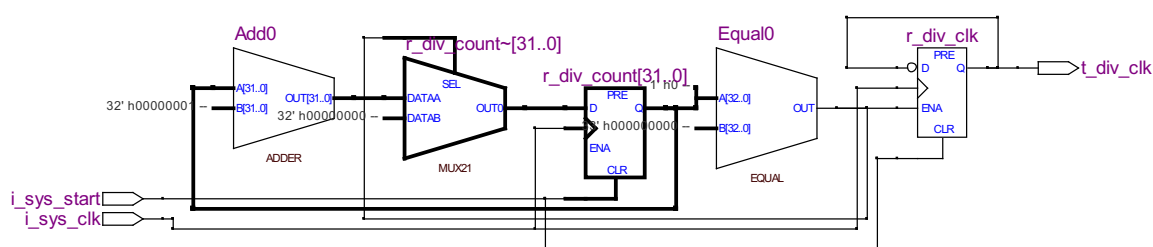


图 3 顶层控制模块原理图

i_sys_start 模拟开发板的电源按钮，当按钮按下， i_sys_start 置为 1 时，分频模块开始工作。此模块使用到累加器、上升沿 D 触发器、多路选择器等常用电子元件，当系统时钟为上升沿时，32 位加法计数器 r_div_count 进行 +1 操作，并通过 Equal 元件将其值与 0 比较，若各位相等则输出 true(高电平)，同时将计数器置 0；秒脉冲 r_div_clk 为 D 触发器，在输入 ENA 为高电平时有效，将输出的反相 \bar{Q} 作为输入，即翻转；同时将值 Q 赋给 t_div_clk （分频时钟输出）。从而完成了分频操作。

（3）按键防抖处理（扩展功能）

尽管本次硬件大作业均为电路模拟，并未与实际开发板对接使用，但此处出于严谨的考虑，仍进行了按键防抖设计。

对于 FPGA 开发板上的按钮而言，由于机械触点的弹性振动，按键在按下时不会马上稳定地接通，而在弹起时也不能立刻完全地断开，因而在按键闭合和断开的瞬间均会出现一连串的抖动，这称为按键的抖动干扰。按键的抖动会造成按一次键产生的开关状态被误读几次。按键状态正确的被读出，必须在按键闭合或断开时，消除产生的前沿或后沿抖动。

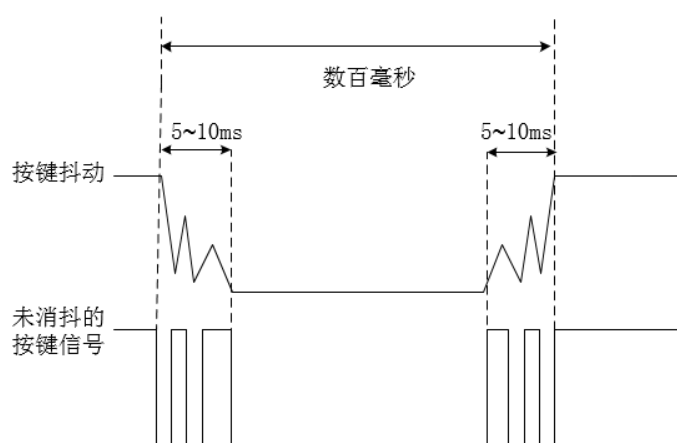


图 4 按键抖动干扰

尽管通过这种方式分频得到的时钟表面上是对系统时钟进行了分频产生了一个新的低频时钟，但实际上和真正的时钟信号还是有很大区别的。因为在 FPGA 开发板中所有时钟信号都要连接到全局时钟网络上，它能够使时钟信号到达每个寄存器的时间都尽可能相同。如果不进行防抖处理，用这种分频的方式产生的 t_div_clk 信号并没有连接到全局时钟网络上，但 i_sys_clk 则是由外部晶振直接通过管脚连接到了 FPGA 的专用时钟管脚上，所以在 i_sys_clk 时钟工作下的信号要比在 t_div_clk 时钟工作下的信号更容易在高速系统中保持稳定。

表 3 分频模块输入输出端口

类型	名称	功能
输入	i_sys_clk	系统时钟
输出	t_div_clk	分频后工作时钟

3.4 电子时钟模块

（1）电路设计

电子时钟模块电路设计主要由加法器和比较器组成，因为该模块的功能是倒计时以及暂停、加时和减时，以及对于各种模式的选定等。主要操作就是根据信号的状态对时位、分位寄存器的值进行减 1 或加 1 操作以及实现模 6、模 10 计数器各种情况的赋值操作。

由于整个电子时钟模块较为复杂，无法将完整电路图在文中展示，此处以分钟位的十位为例展开分析：

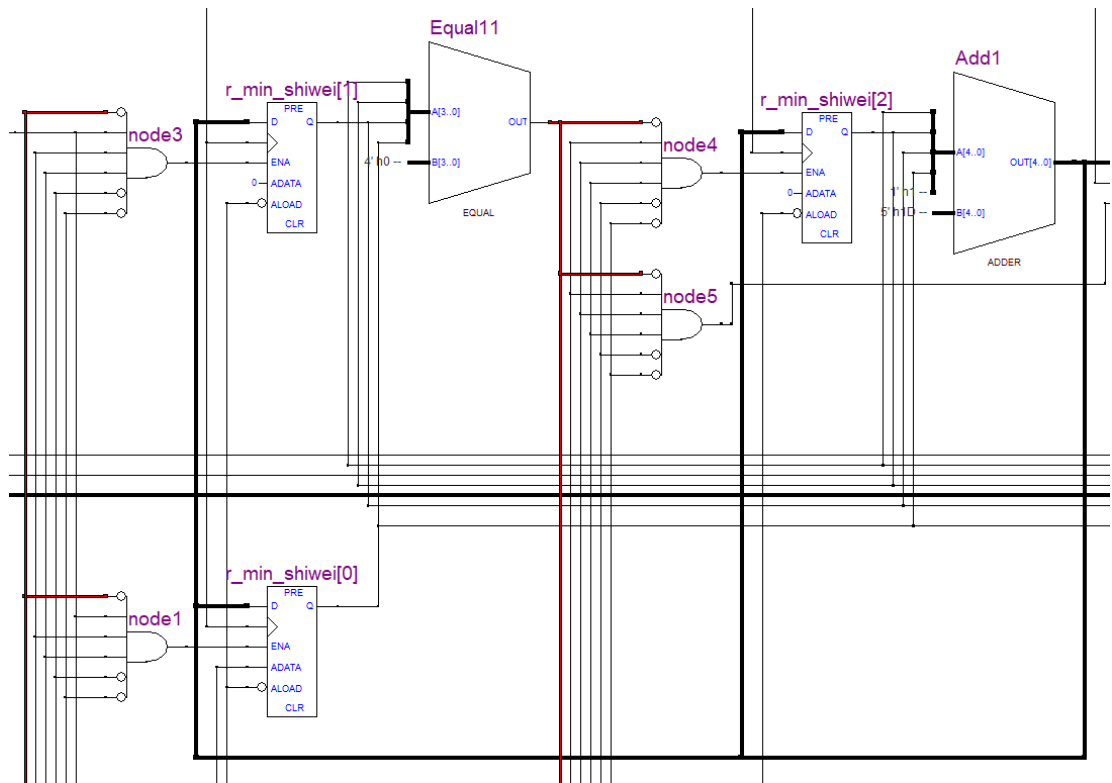


图 5 分钟位电路图(部分)

分钟位的十位理论取值可为十进制 0-6，在此处由二进制数 000-110 表示，对于此 3 维向量而言，将最低位、中间位、最高位通过 fan-out 扇出电路即为最终表示的 3 维向量；而中间位是否进位取决与之前的输出值，即以最低位为输入，Equal 判断器的输出值；最高位同理；从而完成了模数计数器的构建。

3.4.1 模式选择功能

模式选择输入信号为 i_sys_mode。

模式选择功能支持 8 种模式选择，对应时间显示如下表所示：

表 4 模式选择

寄存器中向量	模式（数码管显示）	时：分
000	01	00:10
001	02	00:20
010	03	00:30
011	04	00:40
100	05	00:50
101	06	01:00
110	07	01:30
111	08	02:00

当用户在开发板上给出 3 位 2 进制信号 `i_sys_mode` 时，即可选择对应的洗衣时长，并在数码管中显示用户选择的模式，在时间显示数码管中显示初始化的时间。由于模式共有 8 种，因此，在电路设置寄存器存储 3 位的向量，并将此向量传递给后续电路进行数据处理。

对于此洗衣机控制电路而言，洗衣时间并非固定不变，无需修改源电路与程序即可修改洗衣时间。用户可以基于模式选择的基础，动态的增加或减少时间，从而自定义洗衣方式。

3.4.2 洗衣工作功能（扩展功能）

通过观察家中的洗衣机，设计信号模拟洗衣机的工作流程，设置多种工作状态进行模拟。

开发板上三个连续的指示灯来表示洗衣机此时的洗衣模式。预先设置好的洗衣模式为依次正转（亮灭灭）→暂停（灭亮灭）→反转（灭灭亮）；当电源关闭时，输出全 0 信号即三灯全灭。三种情况实践分别为电机正转 1 分钟、暂停 30 秒、反转 1 分钟。直至洗衣时间结束。

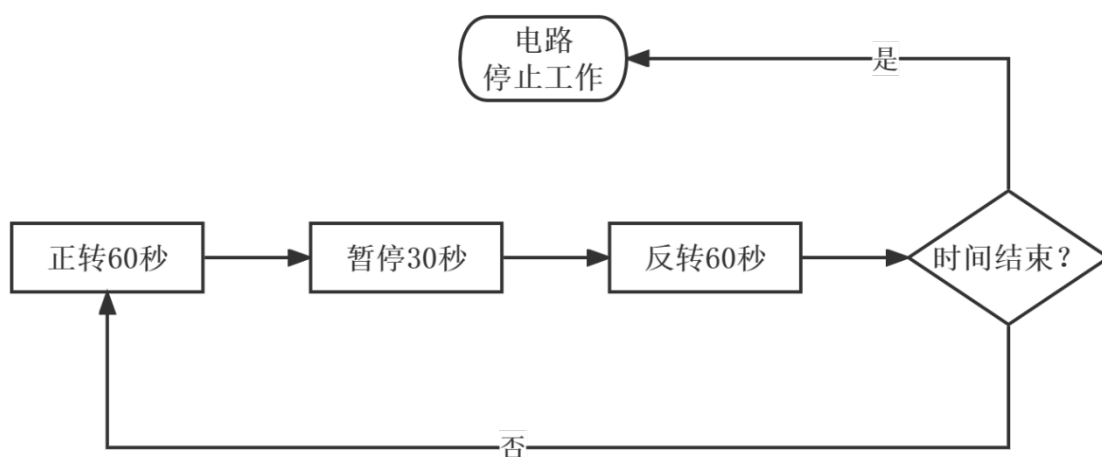


图 6 洗衣工作功能

3.4.3 时钟计时功能

计时器正常的倒计时操作，将分位设置为六十进制计数器，时位设为二十四进制计数器。当工作时钟到来时，若无暂停信号，时钟将依照模式选择部分的初始时间预置为初始值，并在此时间的基础上进行递减操作。由于工作时钟周期调整为 1min，存储在寄存器中的时间值将通过累加器进行减操作。具体逻辑如下：

- (1) 分个位为 0，分十位不为 0 (`xx : x0`)：将分个位置为 9，分十位减 1；
- (2) 分十位也为 0，时个位不为 0 (`xx : 00`)：将分个位置为 9，分十位置为 5，时个位减 1；
- (3) 计时结束 (`00 : 00`)：结束标志 `is_ended` 置 1；
- (4) 其他情况，分个位减 1 即可。

3.4.4 用户提示功能（扩展功能）

当计时结束时,通过 `is_ended` 信号标记时钟状态,控制逻辑电路停止时间的更新。对于开发板而言,将 `is_ended` 信号绑定到开发板的指示灯引脚上,并且将报时信号 `o_baoshi` 绑定到开发板的蜂鸣器上,在洗衣结束时即可触发时长 1min 的蜂鸣,提示用户及时取走衣物。当用户再次按下 `i_sys_start` 时,即可结束蜂鸣。

表 5 用户提示

信号类型	名称	功能
输出	<code>o_is_ended</code>	洗衣完成指示灯
	<code>o_baoshi</code>	洗衣完成蜂鸣器,持续 1min,用户可手动解除

3.4.5 时间暂停功能

时间暂停输入信号为 `i_stop_time`。

当用户按下开发板上暂停按键后, `i_sys_stop` 信号即被设置为高电平,时钟即进入暂停状态。此时尽管电路中仍存在时钟信号,而时钟信息却不会更新,在此过程中,可以完成时间的增加与减少。

3.4.6 时间增减功能

时间增加、时间减少输入信号分别为 `i_sys_add_time`、`i_sys_sub_time`。

为了满足用户自定义洗衣时长的要求,此时钟计时模块包含时间增减功能,当用户按下暂停按钮后,即可更改洗衣时长。

在模式选择模块已经分区间设置了较为合理的洗衣时长,结合时间增减功能即可修改时间。

例如:若用户需要洗衣 25min,它可以选择模式 02 (20 分钟)并按下五次时间增加按钮,或者选择模式 03 (30min)并按下五次时间减少按钮。

对于时间增加而言,其设计原理为:

在暂停的状态以及分脉冲的上升沿到来时,如果加时标志为'1',则计时器进行加 1 操作。在分个位为 9、分十位为 5 时分别进行处理即可实现分位六十进制加 1:

- (1) 分个位为 9,分十位不为 5 (xx: x9): 分个位置 0,分十位加 1;
- (2) 分个位为 9,分十位为 5 (xx: 59): 分个位、十位置 0,时个位加 1;
- (3) 其他情况: 分个位加 1。

3.4.7 时间重置功能

为防止用户误触导致时间修改,添加了时间重置功能,当按下时间重置按钮后,时间会被恢复到所选择模式的初始值。

3.5 数码管显示模块

3.5.1 七段共阴数码管显示原理

七段数码管是电子开发过程中常用的输出显示设备。在实验系统中使用的是六个四位一体、共阴极型七段数码管。其单个静态数码管如下图所示。

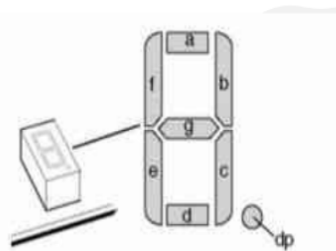


图 7 静态八段数码管

由于七段数码管公共端连接到 GND(共阴极型), 当数码管中的一个段被输入高电平, 则相应的这一段被点亮, 反之则不亮。四位一体的七段数码管在单个静态数码管的基础上加入了用于选择哪一位数码管的位选信号端口。

对于上图而言, 用户观察数码管上的数字信息时主要取决于 a、b、c、d、e、f、g 数码管, 而 dp 数码管可忽略。这 7 个个数码管分别由各自的位选信号来控制, 被选通的数码管显示数据, 其余关闭, 故可据此显示“时: 分”。

通过分别设置: 模式位、小时位、分钟位各两位共六位输出, 对应的数码管信号作为数码管输入, 即可实现数码管显示。

3.5.2 设计思路

数码管显示模块任务为将上一模块电子时钟模块的两类二进制高维向量: 模式选择输出、时钟示数输出转换为 7 维向量, 分别控制七段数码管的暗灭, 从而展示给用户友好的读数界面。

下图以时钟分钟位显示为例, 分析电路构成。此电路为基本的多路选择器, 通过对四维向量信号分钟(0000-1001 分别对应 0 分钟-9 分钟)进行处理, 所得结果为 7 位向量。由于此处选择共阴极表示方法, 则对于 7 位向量的每一位而言, 当值为 0 时表示此数码管亮起。

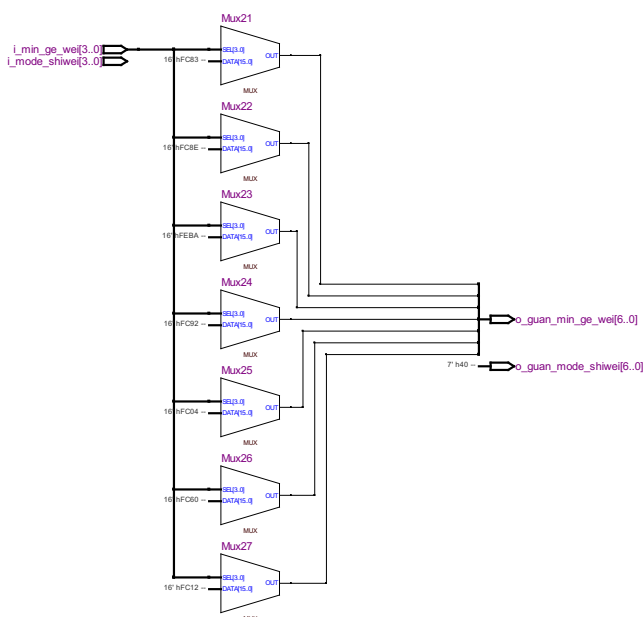


图 8 静态七段数码管

四、调试过程

4.1 防抖动分频测试（扩展功能）

由于开发板与实际所需频率差距过大，此处以 4 分频为例，进行测试。

未经过防抖动分频处理的波形图如下。由波形图观察可得：

- ① 红色区间内系统时钟 `i_sys_clk` 经过了四个周期，绿色箭头处为两周期交界处；
- ② 红色区间内分频后工作时钟 `t_div_clk` 经过了一个周期。

经过分频模块后，工作周期变长，工作频率降低。

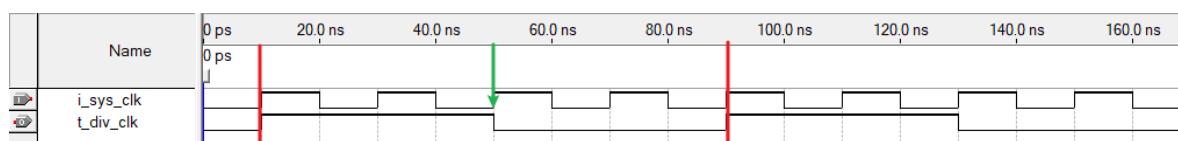


图 9 未防抖动处理的分频波形图

下图为经过防抖动分频处理的波形图，观察可知，绿色箭头处为上升沿信号，此波形仍为 4 分频，可以完成需求。对比未使用防抖动处理的分频波形图可知，防抖动处理后不影响系统的工作，并且更有利于工作时钟的稳定性，在高速系统中很有必要使用。

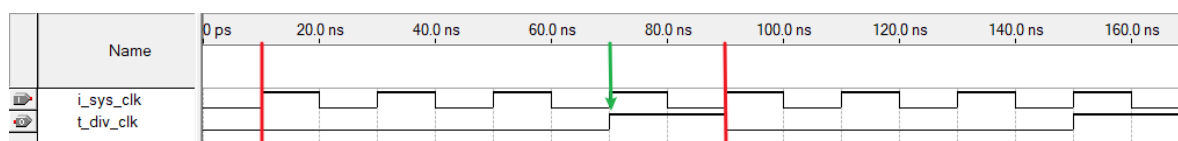


图 10 经过防抖动处理的分频波形图

4.2 洗衣完成提示测试（扩展功能）

当洗衣结束后，声光报警功能可以提醒用户及时关闭洗衣机。

观察下图可知，在洗衣完成后 `time` 示数置为 0，保持不变，此时开发板上的指示灯 `o_isended` 亮起，置为高电平，同时蜂鸣器 `o_baoshi` 响起，置为高电平，直至 1 分钟后或者用户手动关闭。保证了良好的用户体验。

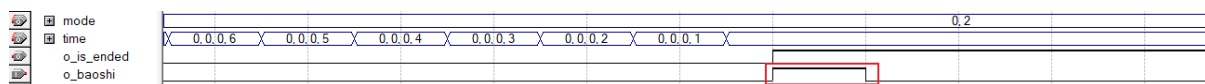


图 11 洗衣完成用户提示

4.3 洗衣工作测试（扩展功能）

当电源关闭时，洗衣机不工作，输出全 0 信号即三灯全灭。当洗衣工作时，三个指示灯的状态为：正转（亮灭灭）→暂停（灭亮灭）→反转（灭灭亮）；三种情况时间分别为电机正转 60 秒、暂停 30 秒、反转 60 秒。直至洗衣时间结束。

三个指示灯为“100”持续 60 秒，“010”持续 30 秒，“001”持续 60 秒。

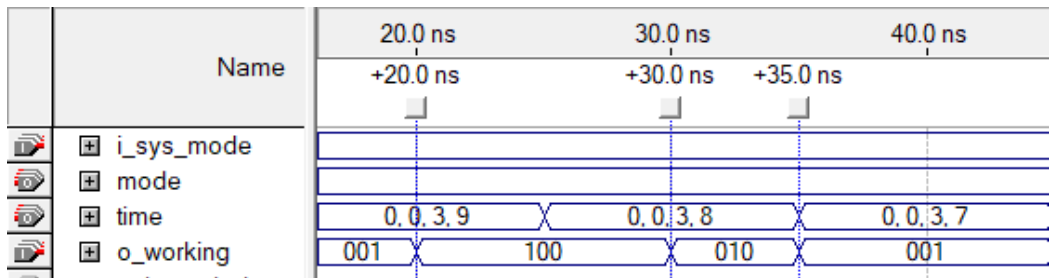


图 12 洗衣完成用户提示

对于上图而言，o_working 信号代表三个指示灯的暗灭情况，0 为暗，1 为亮。观察可知，

① 在 20ns-30ns 区间，time 时间过去 1 分钟，即 60 秒，同时 o_working 信号保持为“100”持续 60 秒，即电机正转 60 秒。

② 在 30ns-35ns 区间，time 时间过去 30 秒，同时 o_working 信号保持为“010”持续 60 秒，即电机暂停 30 秒。

③ 在 35ns-45ns 区间，time 时间过去 1 分钟，即 60 秒，同时 o_working 信号保持为“001”持续 60 秒，即电机暂停 30 秒。

表 6 指示灯示数

指示灯示数	意义	时长
100	电机正转	60 秒
010	电机暂停	30 秒
001	电机反转	60 秒

观察图中信息与表中可知，扩展功能洗衣工作模拟波形符合预期。功能实现无误，可以正常工作。

4.4 暂停、加时、减时测试

电子时钟模块的输入信号如下表所示，对于暂停、时间增加、时间减少而言，均为高电平信号有效，当暂停信号 i_sys_stop 为 1 时，若此时按下时间增加或时间减少按钮，给予高电平信号 1，则可以完成对应操作。

表 7 洗衣完成用户提示

输入信号名称	解释
i_sys_clk	时钟信号
i_sys_mode	模式选择信号
i_sys_start	开始信号
i_sys_stop	暂停信号
i_sys_add_time	时间增加信号
i_sys_sub_time	时间减少信号

当时间暂停信号 `i_sys_stop` 到来之前，即 30ns-40ns 区间，时间示数 `time` 由 19 分钟减少为 18 分钟，而当 40ns 后，时间暂停信号为高电平 1，此时时间暂停，时间 `time` 保持 18 不变。

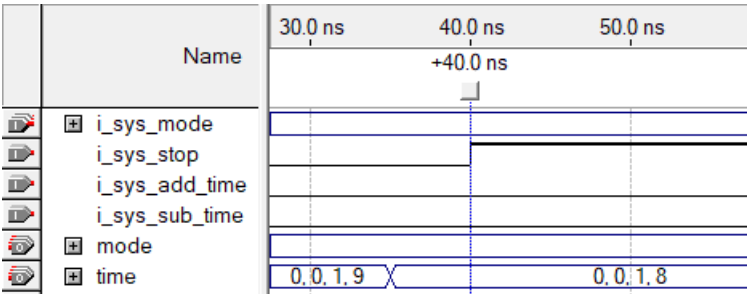


图 13 时间暂停测试

而当时间暂停信号 `i_sys_stop` 保持为高电平 1 时，在 60ns-70ns 区间内，时间增加信号 `i_sys_add_time` 置为高电平信号时，时间示数 `time` 由 18 分钟增加为 19 分钟。

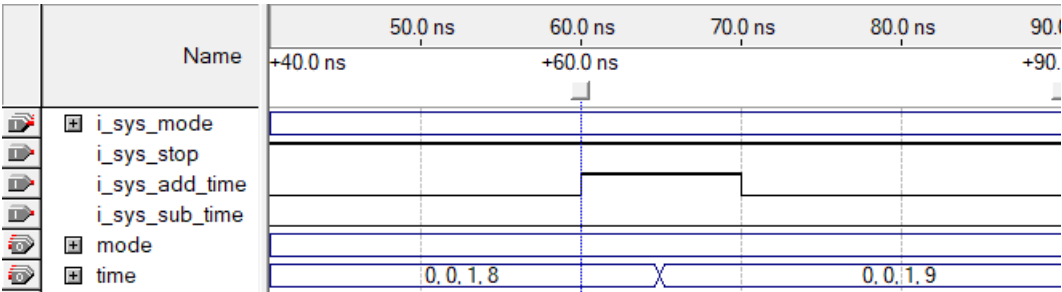


图 14 时间增加测试 1

同理，在 110ns-120ns 区间内，时间增加信号 `i_sys_add_time` 置为高电平信号时，时间示数 `time` 由 13 分钟增加为 14 分钟。

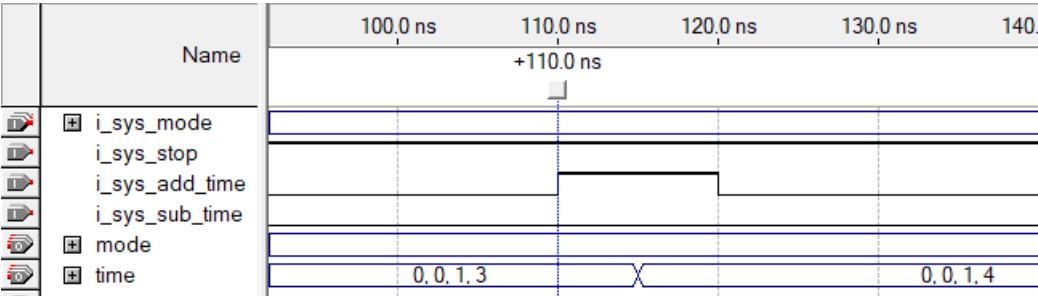


图 15 时间增加测试 2

对于时间减少功能而言，在 150ns-160ns 区间内，保持时间暂停信号 i_sys_stop 为高电平 1 的前提下，时间减少信号 i_sys_add_time 置为高电平信号时，时间示数 time 由 14 分钟增加为 13 分钟。

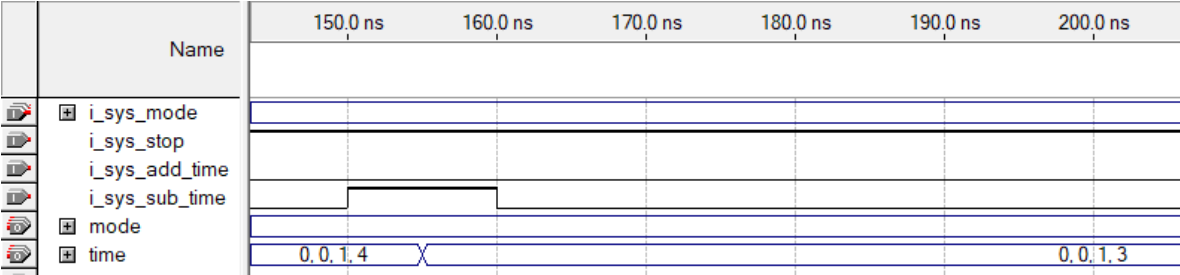


图 16 时间减少测试

当暂停信号在 230ns 恢复时，时间由 1 分钟继续倒计时，直至减少为 0，电路停止工作。

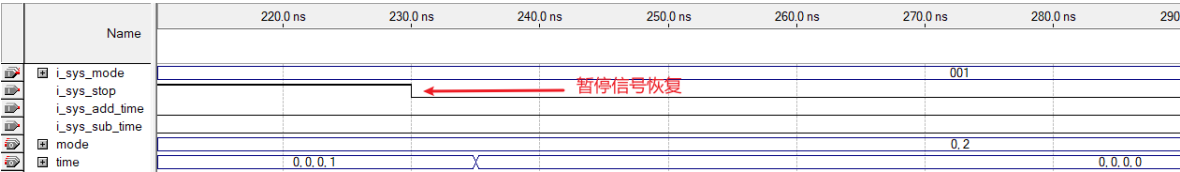


图 17 暂停信号恢复测试

4.5 模式选择功能测试

模式选择模块有 8 种时间模式提供选择，不同模式时间初始化不同，此处选择两种模式进行测试。

当模式选择信号 i_sys_mode 为 001 时，即选择 mode 为 02 时，预置的初始时间为 20 分钟，由 20 分钟开始倒计时。

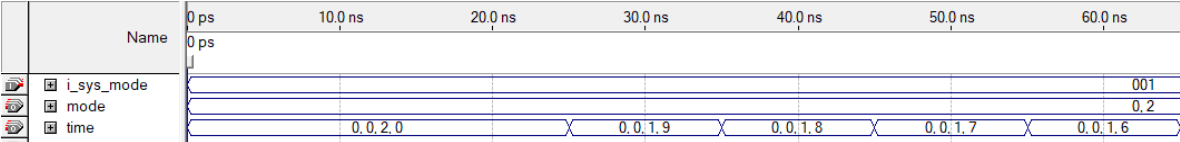


图 18 模式 02 初始化时间测试

同理，当模式选择信号 i_sys_mode 为 011 时，即选择 mode 为 02 时，预置的初始时间为 40 分钟，由 40 分钟开始倒计时。

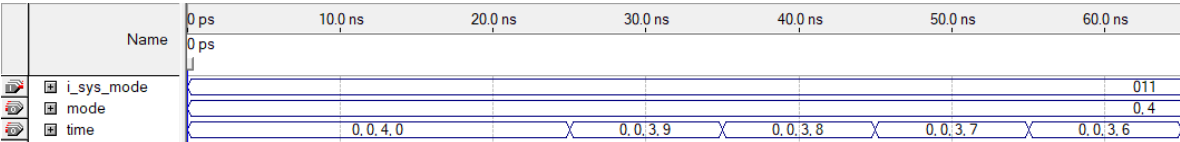


图 19 模式 04 初始化时间测试

其余 6 种模式电路实现以及波形模拟与以上两种情况类似，此处不再过多介绍。

4.6 数码管显示功能测试

经过转化的模式位 2 位与时间位的小时位、分钟位各两位，共 6 位，依次显示在开发板的下图连续数码管之中。

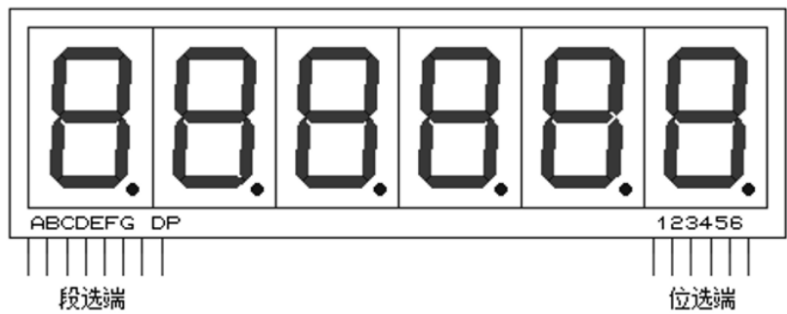


图 20 6 位连续数码管

即将 7 位数码管信号显示在数码管上，由于采用共阴极数码管，“0”表示单条数码管亮，“1”表示单挑数码管灭，对应关系如下表所示：

表 8 数码管信号转换

十进制数	二进制数（4 位）	数码管信号（7 位）
0	0000	1000000
1	0001	1111001
2	0010	0100100
3	0011	0110000
4	0100	0011001
5	0101	0010010
6	0110	0000010
7	0111	1111000
8	1000	0000000
9	1001	0010000
无	1010~1111	1111111

对于 7 段共阴数码管而言，使用七维向量显示一个数字。观察下图可知：

- ① 410ns-450ns 区间，原始时间 raw_time 为 10 分钟，小时位均为“0”，分钟位的十位“1”对应数码管“1111001”，分钟位的个位“0”对应数码管“1000000”。
- ② 而当 450ns-490ns 区间内，原始时间 raw_time 为 09 分钟，小时位均为“0”，分钟位的十位“0”对应数码管“1000000”，分钟位的个位“0”对应数码管“0010000”。

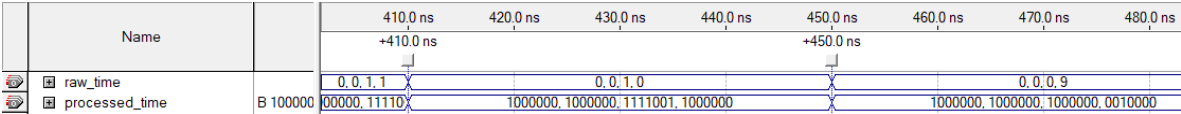


图 21 时间转换测试 1

观察下图可知：

① 690ns-730ns 区间，原始时间 raw_time 为 3 分钟，分钟个位 “3” 对应数码管 “0110000”

② 730ns-770ns 区间，原始时间 raw_time 为 2 分钟，分钟个位 “2” 对应数码管 “0100100”

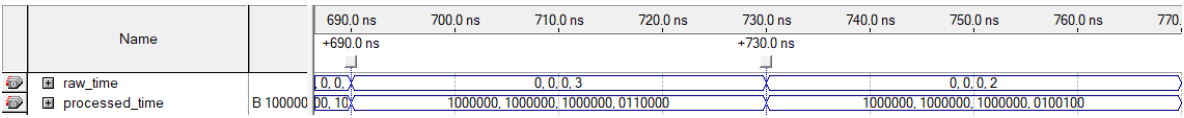


图 22 时间转换测试 2

经过多组测试，该程序能够正确的转换时间。

五、心得与收获

这次硬件大作业我负责了系统功能的实现与项目的验收答辩，从 0 到 1 动手实践一个硬件项目，的确锻炼了我的动手能力与实践能力。硬件设计需要考虑的东西很多，从时钟信号的变化再到电子元件的实现；从模块化的顶层设计到细节的每一个门电路，方方面面都需要扎实的基础知识和宏观的工程能力。原先以为理所当然的设计，当自己动手实践时才发现存在许多不清楚的部分。

夏季学期注定对我们来说是个难以忘记的学期，它有着投入于完成硬件大作业的专注，也有着疫情时好时坏的无奈。不知不觉，这也是我足不出校的整整第 112 天。查询了学校的健康之路我才发现，自 3 月 16 日以来，我已经做过了 40 次核酸，以及数不清多少次抗原。

在疫情隔离期间，我们有更多的时间去了解课外知识，比如在此期间我了解了很多电路的设计、汇编语言的学习、硬件开发的技术，极大地提高了我的兴趣，也更令我比较遗憾的是没有更早了解的了解这些知识内容。

本次作业也锻炼了信息搜集能力，短短的 4 周时间，结合原有学过的知识，学习一门新的技术，并在此基础上做出创新和优化是一件困难的事情，而正因为互联网的开源与共享，使得短时间内知识的学习变成了一种可能。由于疫情原因，使得本次演示的内容只能停留在波形模拟的程度，无法亲自在开发板上观察每一项功能的结果，的确十分的遗憾。

最后，希望疫情早日结束，大家都能回到正常的生活轨迹之中。

致谢 十分感谢在百忙之中抽出时间审阅本文的老师，老师的积极答疑和指导，给予了这个项目完成的充分帮助。由于本人的学识和写作的水平有限，在本报告的写作中难免有僻陋，恳请老师多指教。