

第八章1 输入输出系统

8.1 外围设备的定时方式和信息交换方式

8.2 程序查询方式

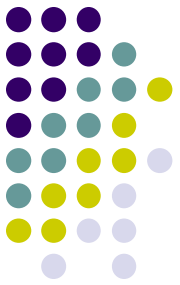
8.3 程序中断方式

8.4 DMA方式

8.5 通道方式

8.6 通用I/O标准接口

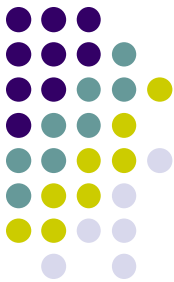




8.1 外围设备的定时方式和信息交换方式

一、外围设备的速度分级

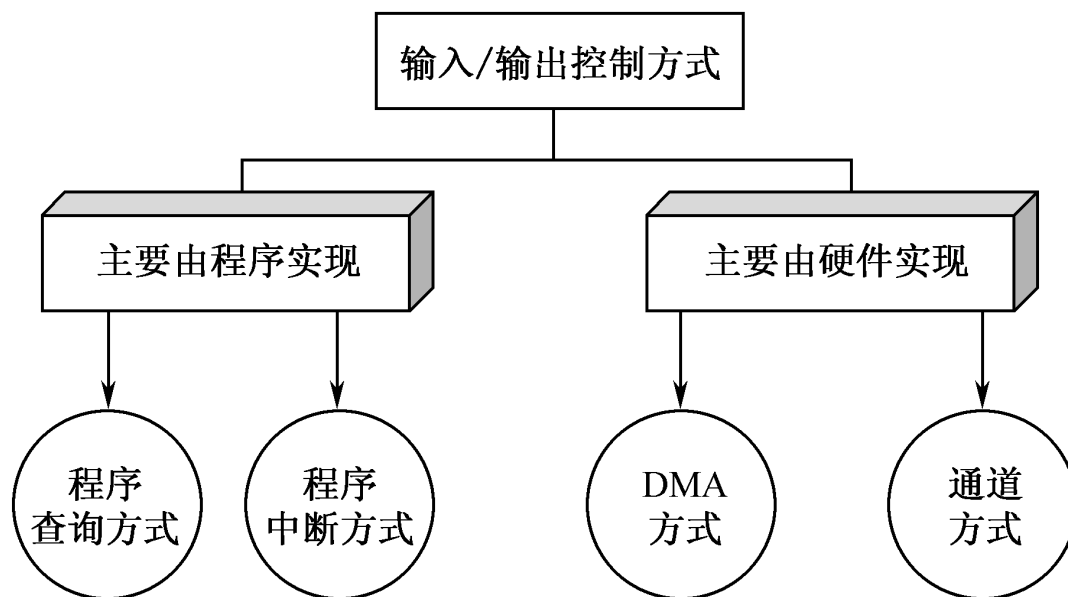
- 外设种类繁多，存在以下几种情况：
 - 不同种类的外设数据传输速率差别很大
 - 同一种设备在不同时刻传输速率也可能不同
- 高速的**CPU**与速度参差不齐的外设怎样在时间上同步呢？
 - 解决办法时在**CPU**和外设之间数据传送时加以定时。
 - 速度极慢或简单的外设
 - **CPU**只需要接受或者发送数据即可
 - 慢速或者中速的设备
 - 可以采用异步定时的方式
 - 高速外设
 - 采用同步定时方式



8.1 外围设备的定时方式和信息交换方式

二、信息交换方式

- 程序查询方式
- 程序中断方式
- DMA方式
- 通道方式



8.2 程序查询方式



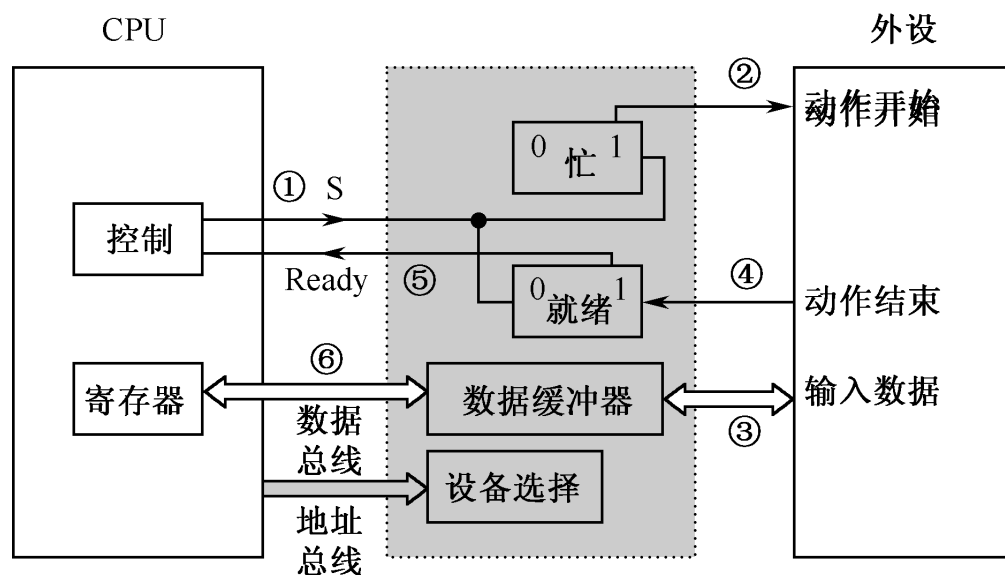
1、设备编址

- 统一编址
- 独立编址

2、输入输出指令

3、程序查询接口

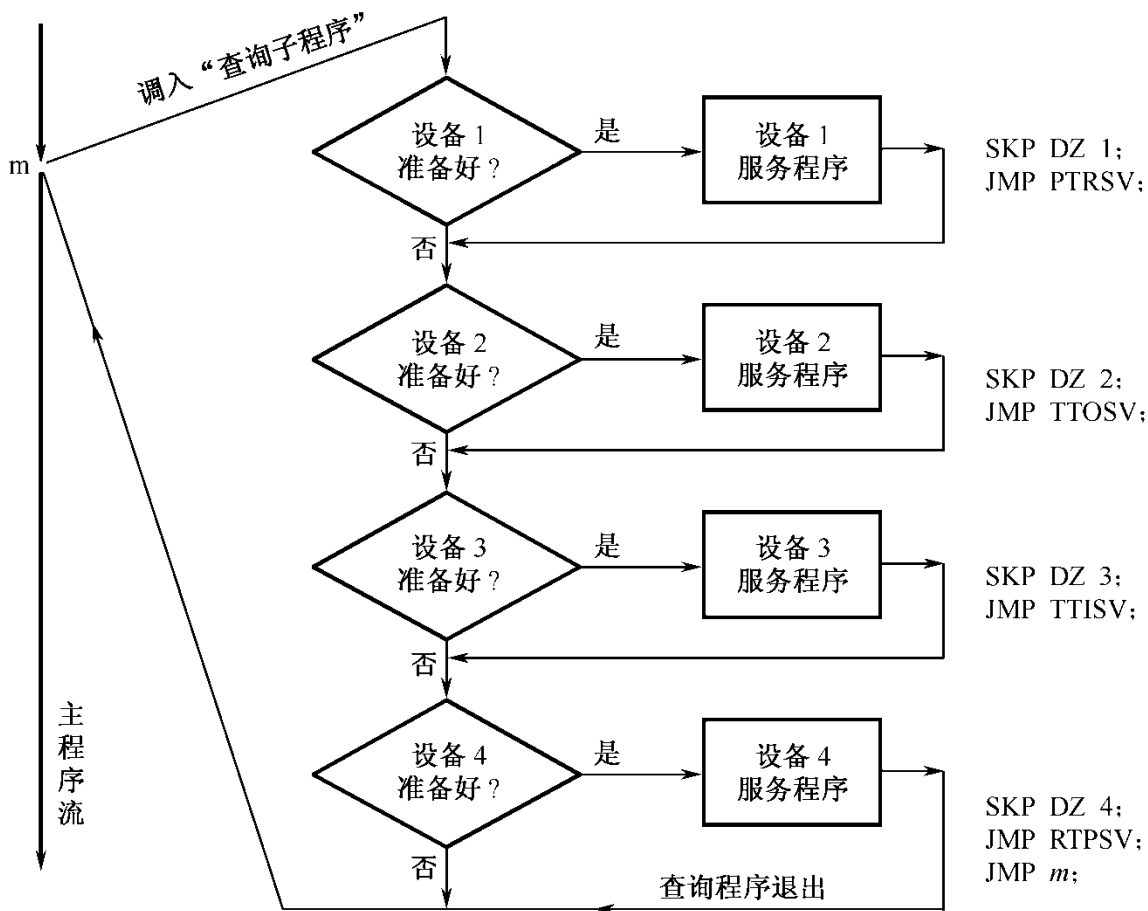
- 设备选择电路
- 数据缓冲寄存器
- 设备状态寄存器

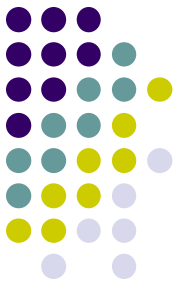


(5) CPU从I/O接口的数据缓冲寄存器输入数据, 或者将数据从CPU输出至接口的数据缓冲寄存器。
(4) 假设CPU向I/O接口发出命令, 接口开始工作, 直到这个设备准备好交换数据, 发出准备就绪信号 Ready 为止;
(3) 设备准备好后, CPU通过数据总线将数据输入到接口。
(2) 接口将数据放入数据缓冲寄存器。
(1) CPU向接口发出命令, 接口开始工作。

8.2程序查询方式

程序查询I/O设备流程图





8.3程序中断方式

8.3.1 中断的基本概念

8.3.2 程序中断方式的基本I/O接口

8.3.3 单级中断

8.3.4 多级中断

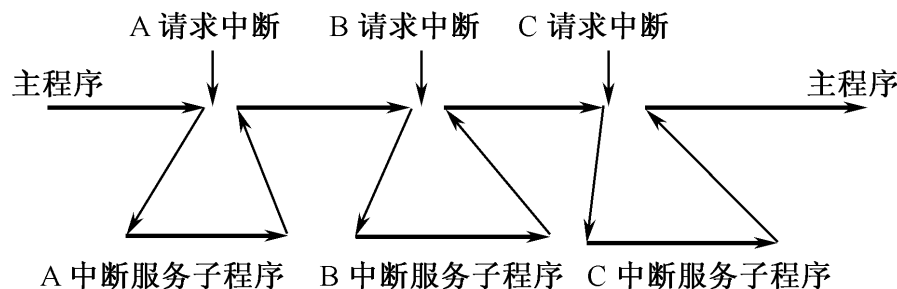
8.3.5 中断控制器

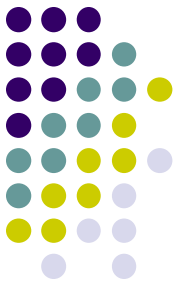
8.3.6 Pentium中断机制

8.3.1 中断的基本概念



- 中断（Interrupt）是指CPU暂时中止现执行程序，转去处理随机发生的紧急事件，处理完后自动返回原程序的功能和技术。中断系统是计算机实现中断功能的软硬件总称。一般在CPU中设置中断机构，在外设接口中设置中断控制器，在软件上设置相应的中断服务程序。

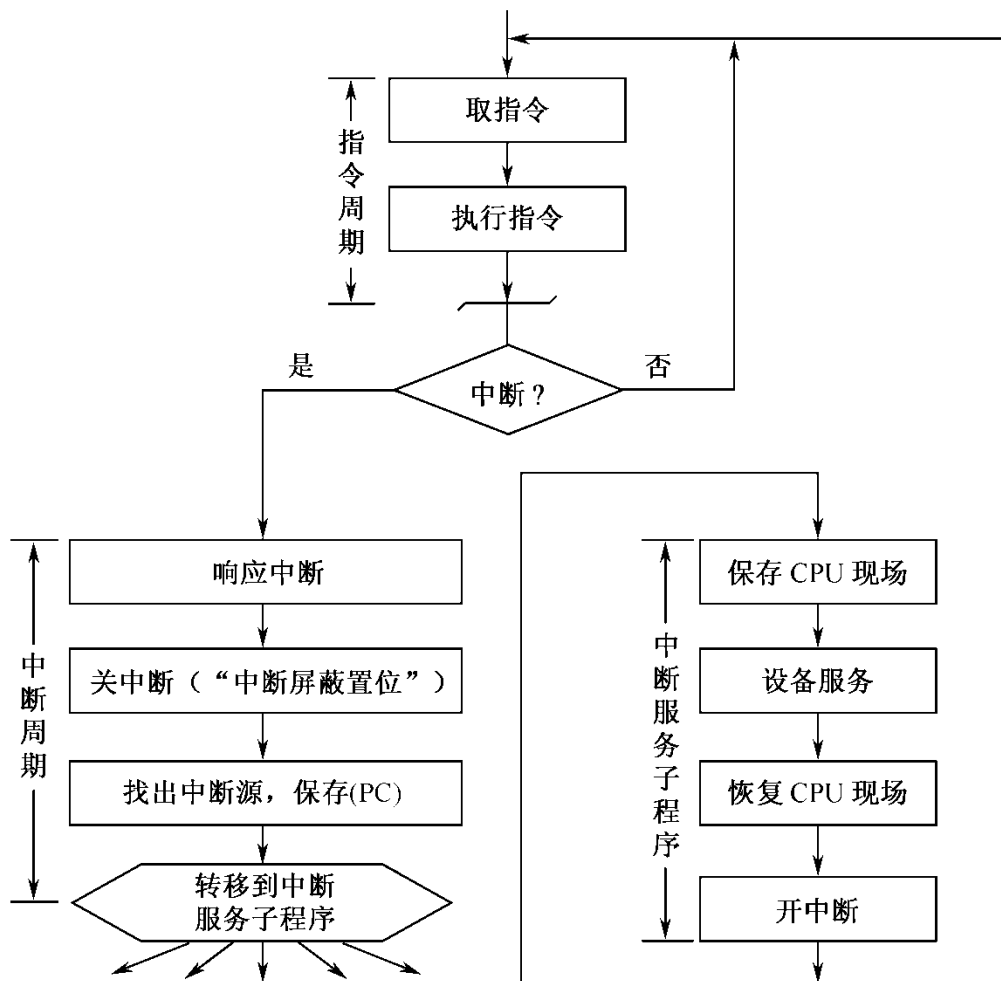


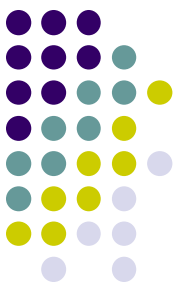


8.3.1 中断的基本概念

- 中断处理过程注意几个问题：
 - 响应中断时机：外界中断请求时随机的，但CPU只有在当前指令执行完毕后，才转至公操作
 - 断点保护问题（PC，寄存器内容和状态的保存）
 - 原子操作：开中断和关中断问题。
 - 中断是由软硬件结合起来实现的
 - 中断分为内中断（异常）和外中断

8.3.1 中断的基本概念





8.3.2 程序中中断方式的基本I/O接口

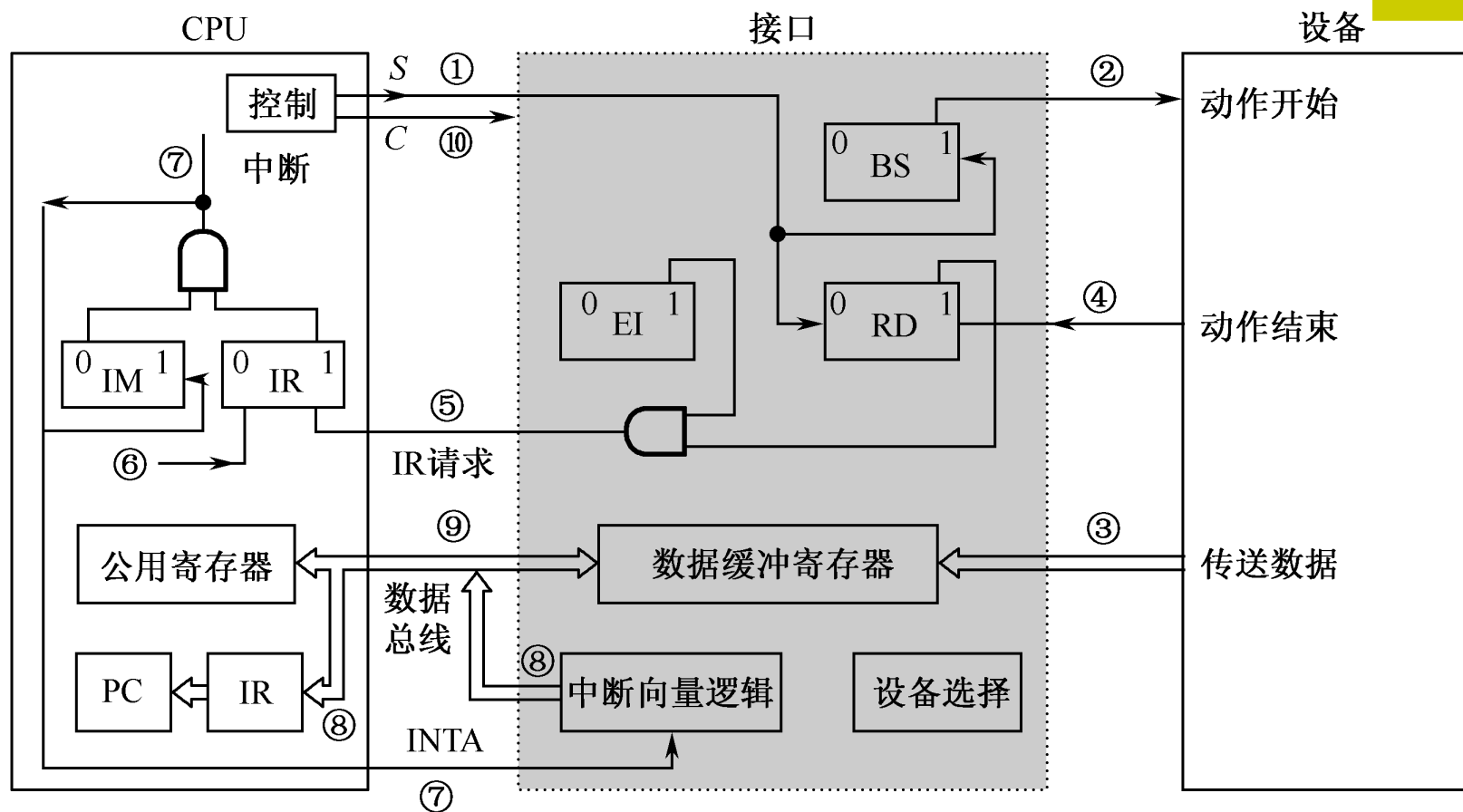
- 设备选择器。设备选择器用来判别总线上送出的地址（或称呼叫的设备）是否为本设备，它实际上是设备地址的译码比较电路。
- BS外设接口忙（BuSy）标志
- RD外设准备就绪（ReaDy）标志
- EI（Enable Interrupt中断允许触发器）
- IR（Interrupt Request）中断请求触发器
- IM（Interrupt Mask）中断屏蔽触发器

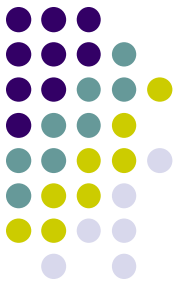
①表示在CPU中，除基本寄存器外，还有若干个寄存器，如IR、EI、BS、RD等，它们都是CPU中的寄存器；

②表示在CPU中，除基本寄存器外，还有若干个寄存器，如IR、EI、BS、RD等，它们都是CPU中的寄存器；

③表示在CPU中，除基本寄存器外，还有若干个寄存器，如IR、EI、BS、RD等，它们都是CPU中的寄存器；

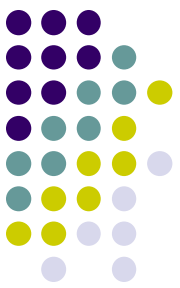
8.3.2 程序中中断方式的基本I/O接口



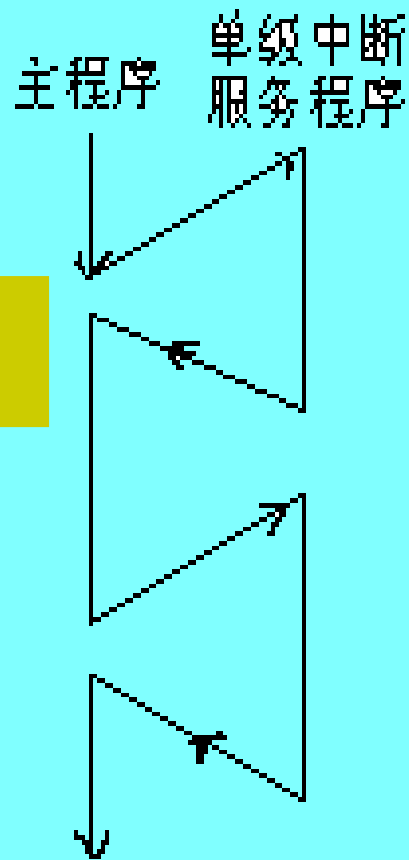


8.3.3单级中断

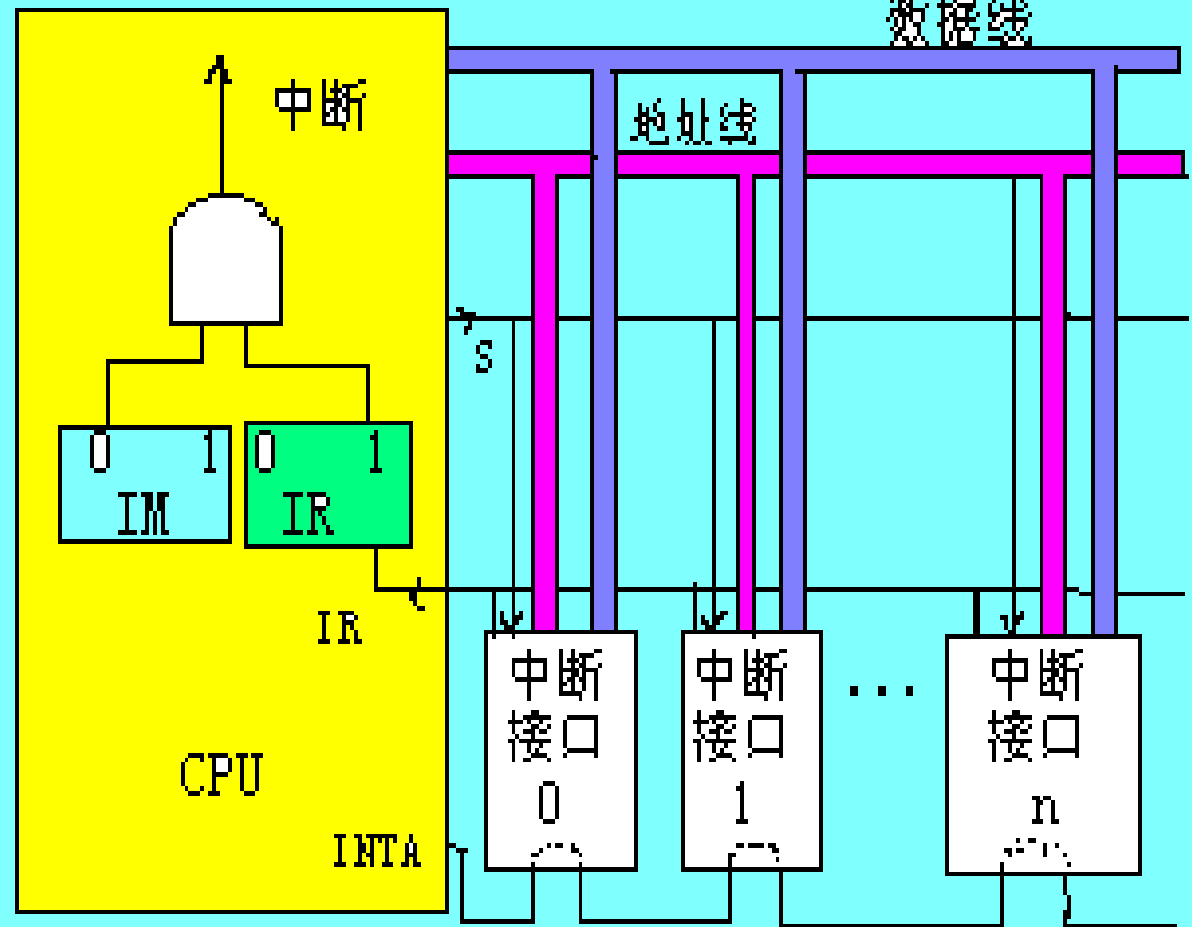
- 单级中断的概念：所有中断源属于同一级，离CPU越近，优先级越高。
- 中断源的识别：串行排队链法
 - IR1，IR2，IR3为中断请求信号
 - IS1，IS2，IS3为中断选中信号
 - INTI为中断排队输入
 - INTO为中断排队输出
- 中断向量的产生



8.3.3 单级中断



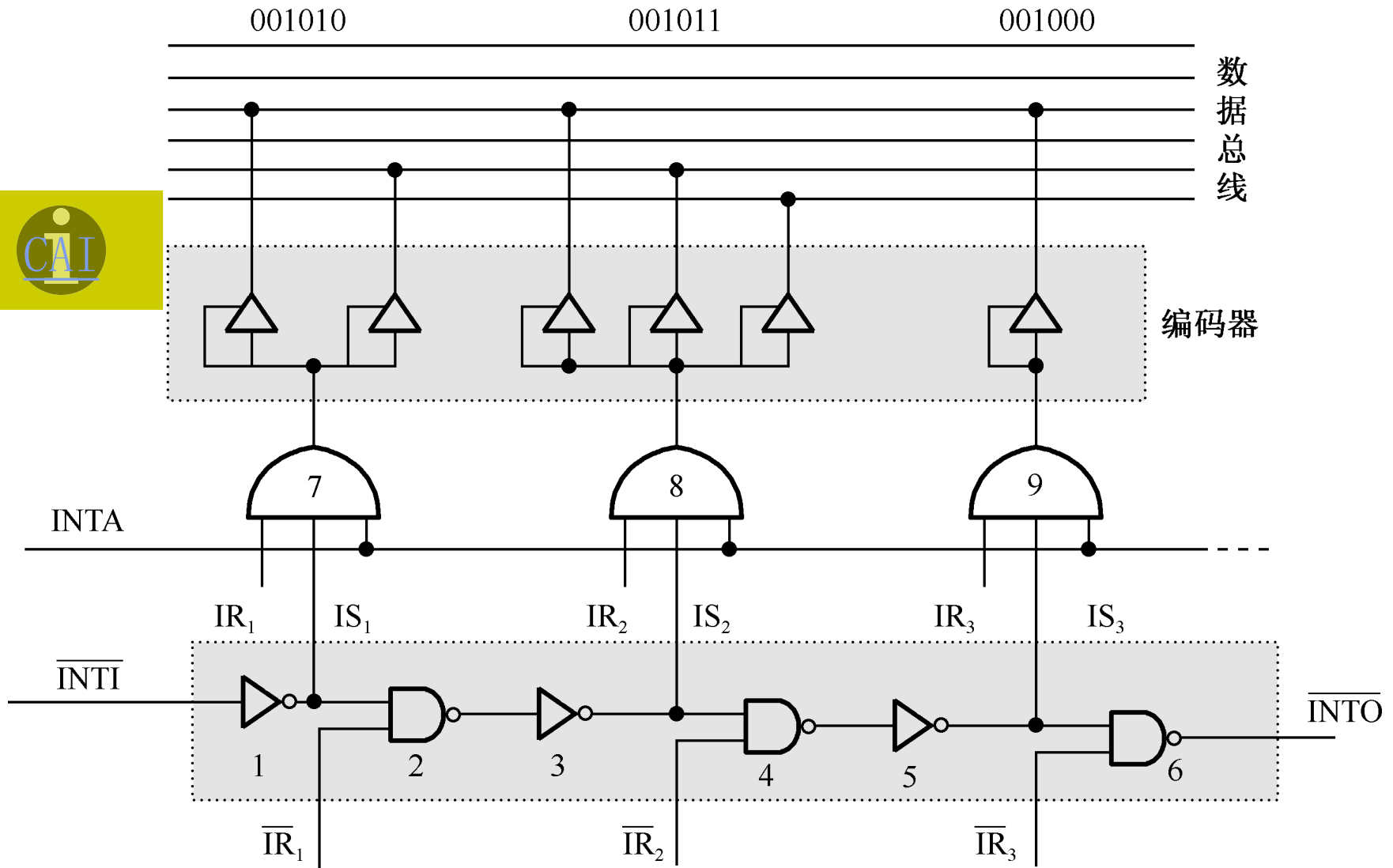
(a) 单级中断示意图

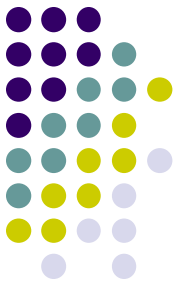


(b) 单级中断结构图



8.3.3单级中断

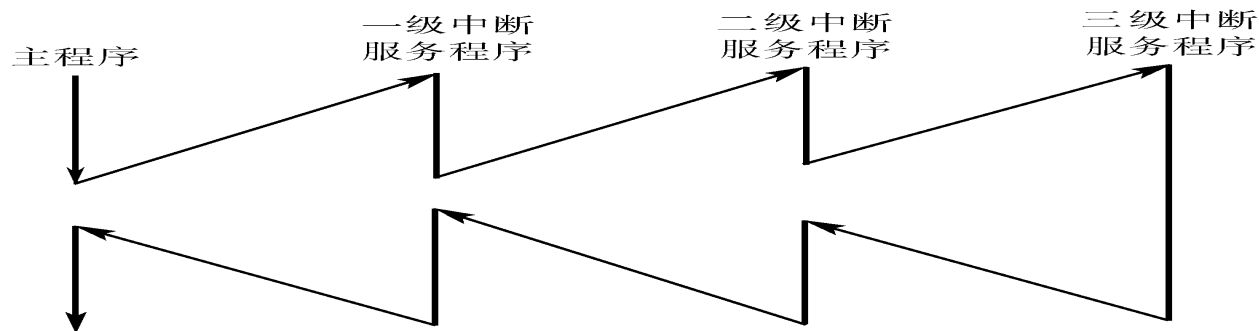




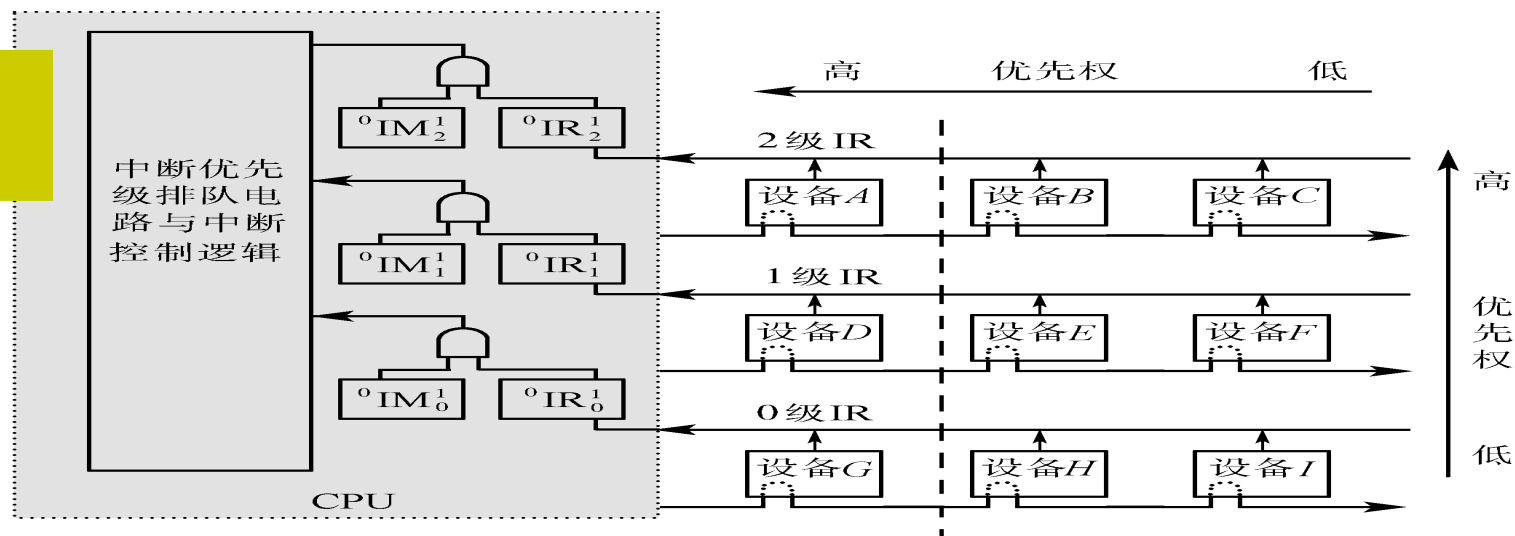
8.3.3单级中断

- 中断向量：
 - 当CPU响应中断时，由硬件直接产生一个固定的地址(即向量地址)
 - 由向量地址指出每个中断源设备的中断服务程序入口，这种方法通常称为向量中断。

8.3.4 多级中断



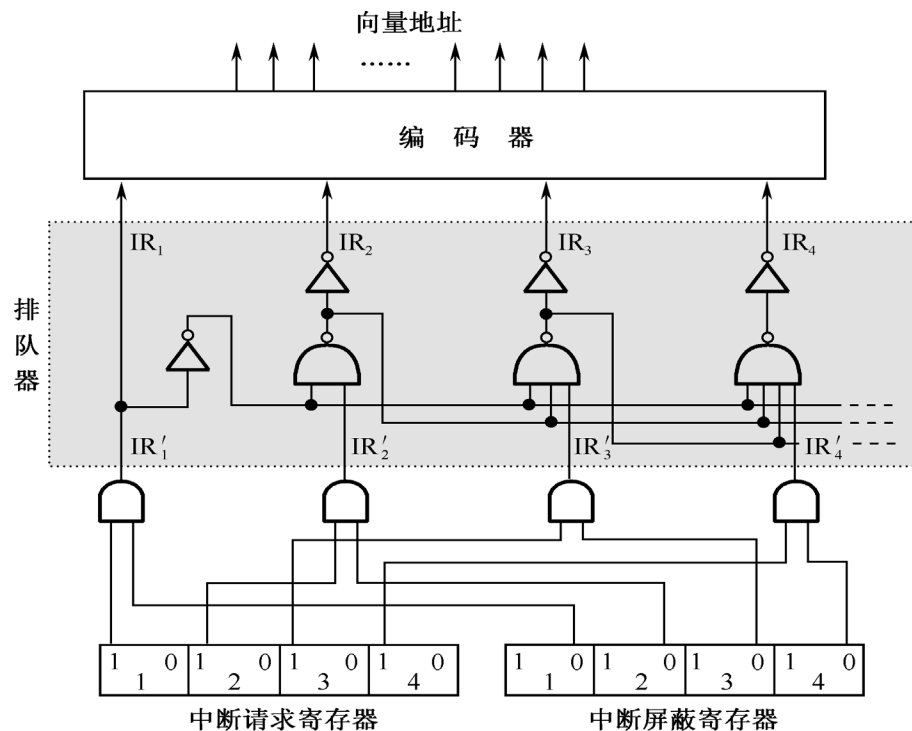
(a) 多级中断示意图

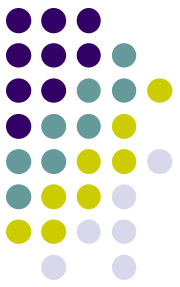


(b) 一维、二维多级中断结构

8.3.4 多级中断

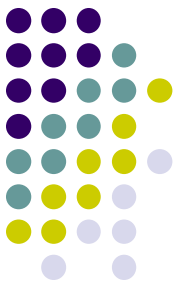
- 多级中断源的识别
 - 中断优先排队电路
 - 中断向量产生电路





8.3.4 多级中断

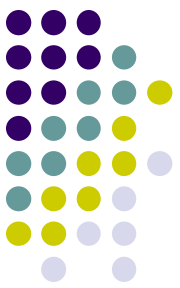
- 例1、参见图8.9所示的二维中断系统。请问：
 - (1)在中断情况下，CPU和设备的优先级如何考虑？请按降序排列各设备的中断优先级。
 - (2)若CPU现执行设备B的中断服务程序，IM2，IM1，IM0的状态是什么？如果CPU执行设备D的中断服务程序，IM2，IM1，IM0的状态又是什么？
 - (3)每一级的IM能否对某个优先级的个别设备单独进行屏蔽？如果不能，采取什么办法可达到目的？
 - (4)假如设备C一提出中断请求，CPU立即进行响应，如何调整才能满足此要求？



8.3.4 多级中断

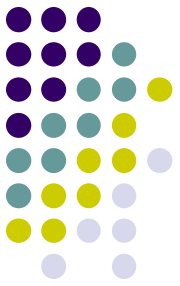
[例1] 解：

- (1)在中断情况下，CPU的优先级最低。各设备的优先次序是： $A \rightarrow B \rightarrow C \rightarrow D \rightarrow E \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow \text{CPU}$ 。
- (2)执行设备B的中断服务程序时 $\text{IM}_2\text{IM}_1\text{IM}_0=111$ ；执行设备D的中断服务程序时， $\text{IM}_2\text{IM}_1\text{IM}_0=011$ 。
- (3)每一级的IM标志不能对某个优先级的个别设备进行单独屏蔽。可将接口中的EI(中断允许)标志清“0”，它禁止设备发出中断请求。
- (4)要使设备C的中断请求及时得到响应，可将设备C从第2级取出来，单独放在第3级上，使第3级的优先级最高，即令 $\text{IM}_3=0$ 即可。



8.3.4 多级中断

- [例2]参见例1所示的系统，只考虑A，B，C三个设备组成的单级中断结构，它要求CPU在执行完当前指令时对中断请求进行服务。假设：(1)CPU“中断批准”机构在响应一个新的中断之前，先要让被中断的程序的一条指令一定要执行完毕；(2)TDC为查询链中每个设备的延迟时间；(3)TA，TB，TC分别为设备A，B，C的服务程序所需的执行时间；(4)TS,TR为保存现场和恢复现场所需的时间；(5)主存工作周期为TM。试问：就这个中断请求环境来说，系统在什么情况下达到中断饱和？



8.3.4 多级中断

[例2] 解：中断处理流程，并假设执行一条指令的时间也为 TM 。如果三个设备同时发出中断请求，那么依次分别处理设备A、设备B、设备C的时间如下：

$$t_A = 2TM + TDC + TS + TA + TR$$

$$t_B = 2TM + 2TDC + TS + TB + TR$$

$$t_C = 2TM + 3TDC + TS + TC + TR$$

处理三个设备所需的总时间为：

$$T = t_A + t_B + t_C$$

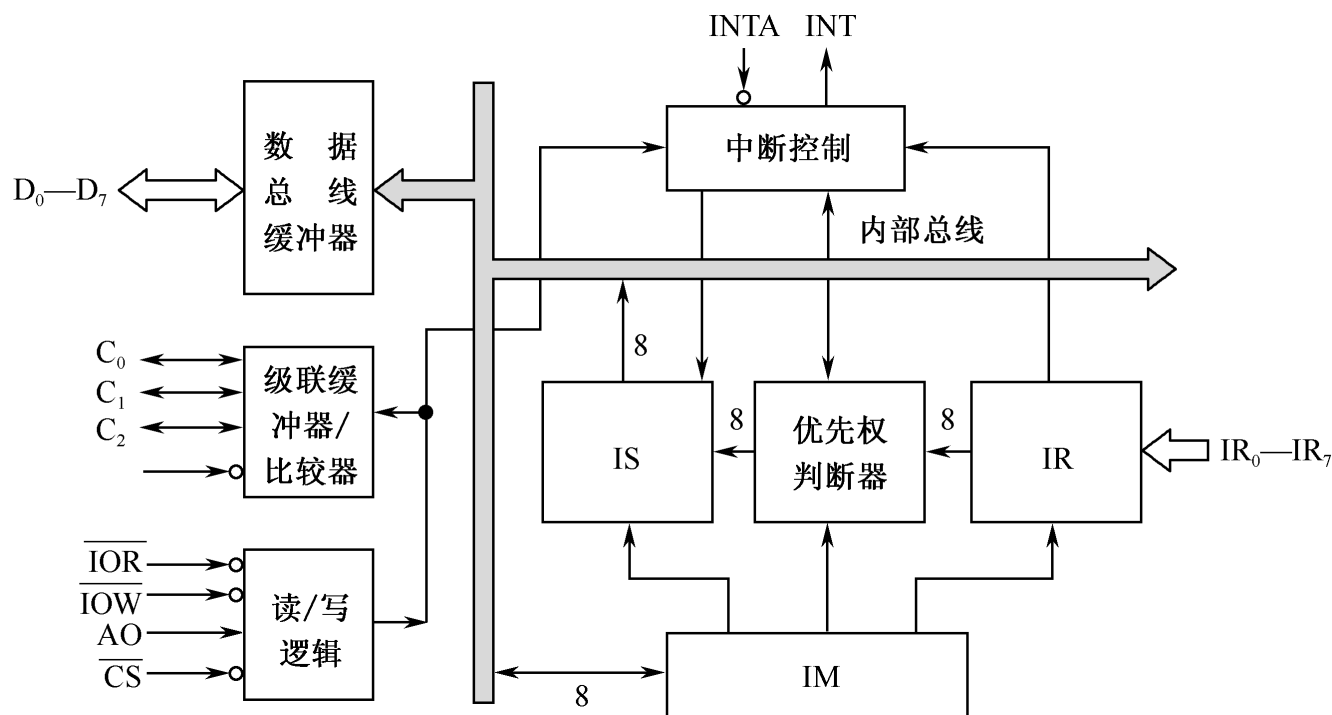
T 是达到中断饱和的最小时时间，即中断极限频率为： $f = 1/T$

8.3.5 中断控制器



- 8259中断控制器是一个集成电路芯片，它将中断接口与计算机系统。

与其



请求，

屏蔽并将各中断响

间进行

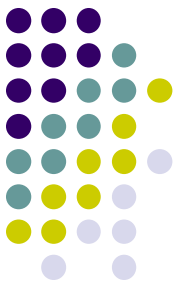
IOW为

与控制，CS为设备选择，AO为I/O端口识别。

8.3.5 中断控制器



- 多个8259进行级联以处理多达64个中断请求。在这种情况下允许有一个主中断控制器和多个从中断控制器，称为主从系统。
- 优先级选择方式有四种：
 - ①完全嵌套方式：是一种固定优先级方式，连至IR 0的设备优先级最高，IR 7的优先级最低。这种固定优先级方式对级别低的中断不利，在有些情况下最低级别的中断请求可能一直不能被处理。
 - ②轮换优先级方式A：每个级别的中断保证有机会被处理，将给定的中断级别处理完后，立即把它放到最低级别的位置上去。
 - ③轮换优先级方式B：要求CPU可在任何时间规定最优优先级，然后顺序地规定其他IR线上的优先级。
 - ④查询方式：由CPU访问8259的中断状态寄存器，一个状态字能表示出正在请求中断的最高优先级IR线，并能表示出中断请求是否有效。



8.3.5 中断控制器

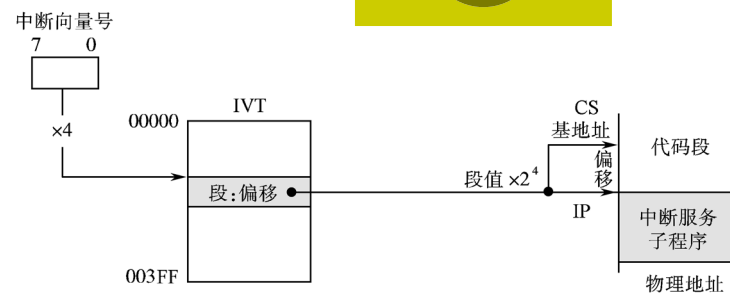
- 8259提供了两种屏蔽方式：
 - ①简单屏蔽方式，提供8位屏蔽字，每位对应着各自的IR线。被置位的任一位则禁止了对应IR线上的中断。
 - ②特殊屏蔽方式，允许CPU让来自低优先级的外设中断请求去中断高优先级的服务程序。当8位屏蔽位的某位置“0”时，例如屏蔽字为11001111，说明IR 4和IR 5线上的中断请求可中断任何高级别的中断服务程序。
- 8259中断控制器的不同工作方式是通过编程来实现的。CPU送出一系列的初始化控制字和操作控制字来执行选定的操作。

8.3.5 Pentium中断机制

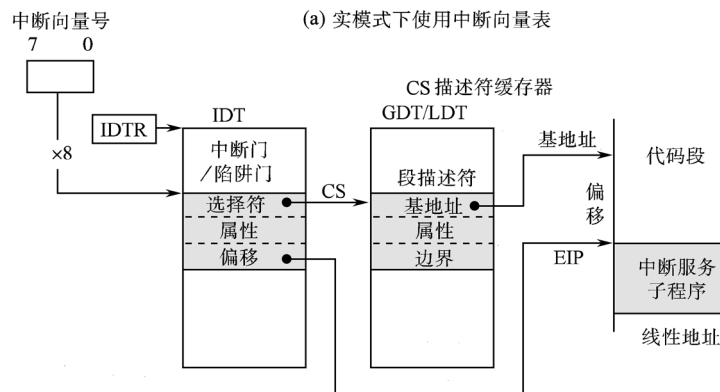


● Pentium中断机制

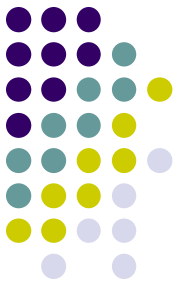
- 中断类型
- 中断服务子程序进入过程
- 中断处理过程



(a) 实模式下使用中断向量表



(b) 保护模式下使用中断描述符表



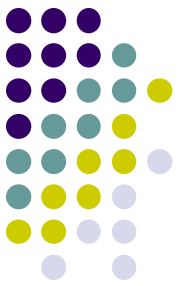
8.4 DMA方式

8.4.1 DMA的基本概念

8.4.2 DMA传送方式

8.4.3 基本的DMA原理

8.4.4 选择型和多路型DMA控制器



8.4.1 DMA的基本概念

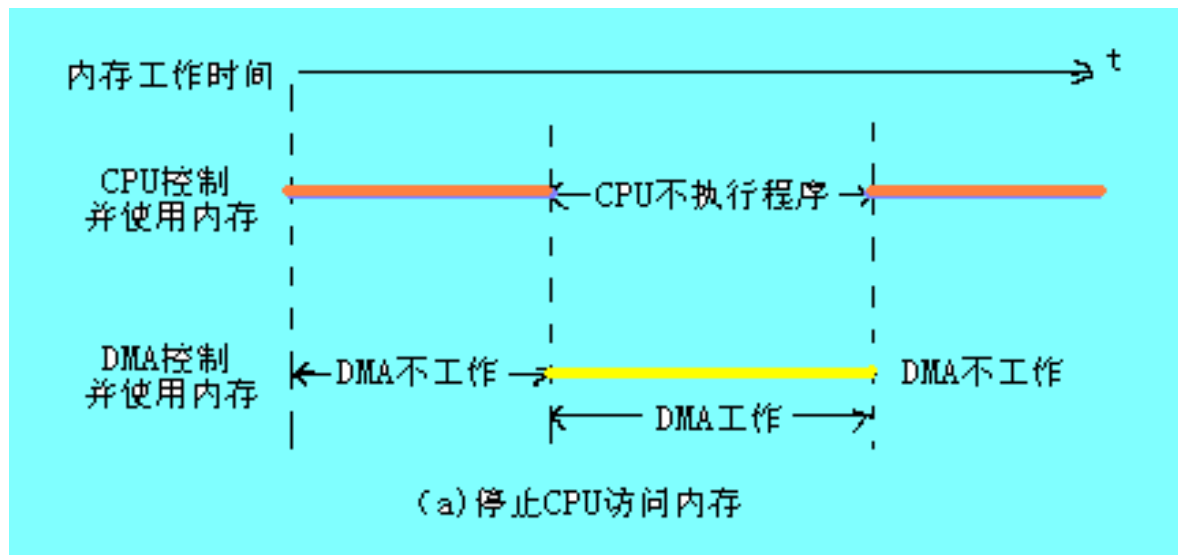
- 直接存储器访问（Direct Memory Address）DMA方式是为了在主存储器与I / O设备间高速交换批量数据而设置的。
- 基本思想是：通过硬件控制实现主存与I / O设备间的直接数据传送，在传送过程中无需CPU的干预。数据传送是在DMA控制器控制下进行的，
- 优点：速度快。有利于发挥CPU的效率。

8.4.2 DMA传送方式



1、停止CPU访问内存

- 主机响应DMA请求后，让出存储总线，直到一组数据传送完毕后，DMA控制器才把总线控制权交还给CPU，采用这种工作方式的I/O设备，在其接口中一般设置有小容量存储器，I/O设备先与小容量存储器交换数据，然后由小容量存储器与主机交换数据，这样可减少DMA传送占用存储总线的时间，也即减少了CPU暂停工作的时间。

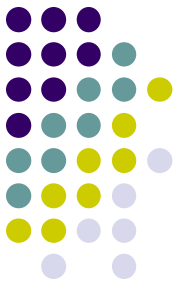


8.4.2 DMA传送方式



1、停止CPU访问内存

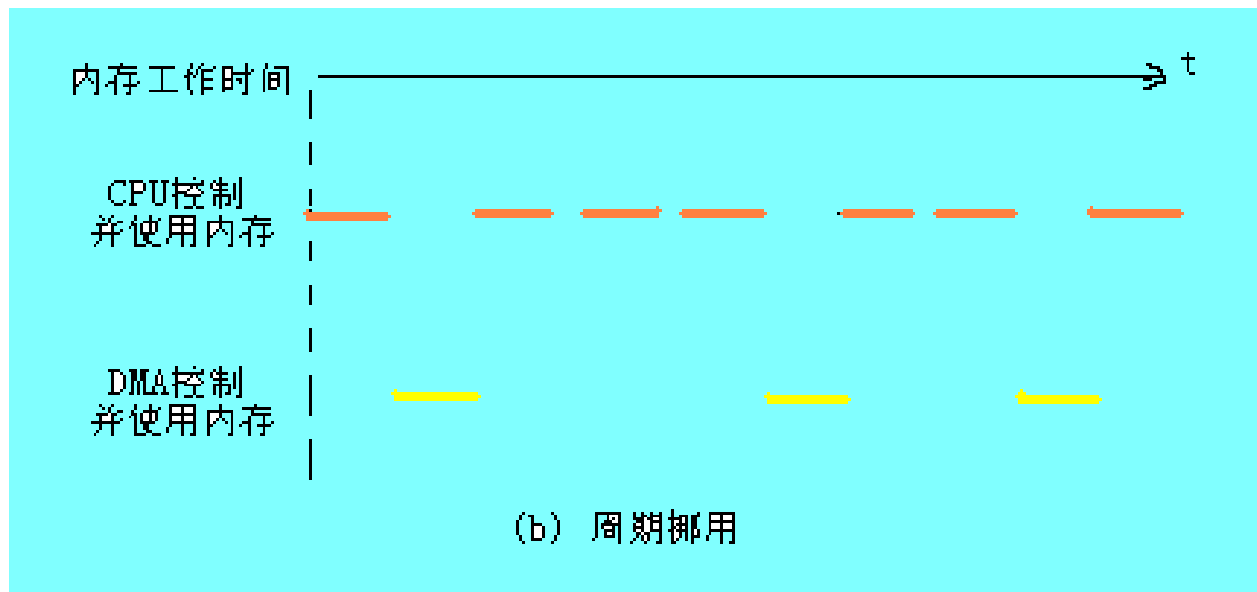
- 优点：控制简单，它适用于数据传输率很高的设备进行成组传送。
- 缺点：在DMA控制器访内阶段，内存的效能没有充分发挥，相当一部分内存工作周期是空闲的。这是因为，外围设备传送两个数据之间的间隔一般总是大于内存存储周期，即使高速I/O设备也是如此。

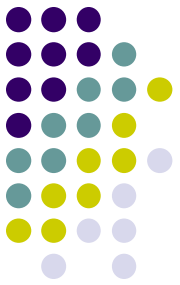


8.4.2 DMA传送方式

2、周期挪用方式

- DMA控制器与主存储器之间传送一个数据，占用（窃取）一个CPU周期，即CPU暂停工作一个周期，然后继续执行程序。

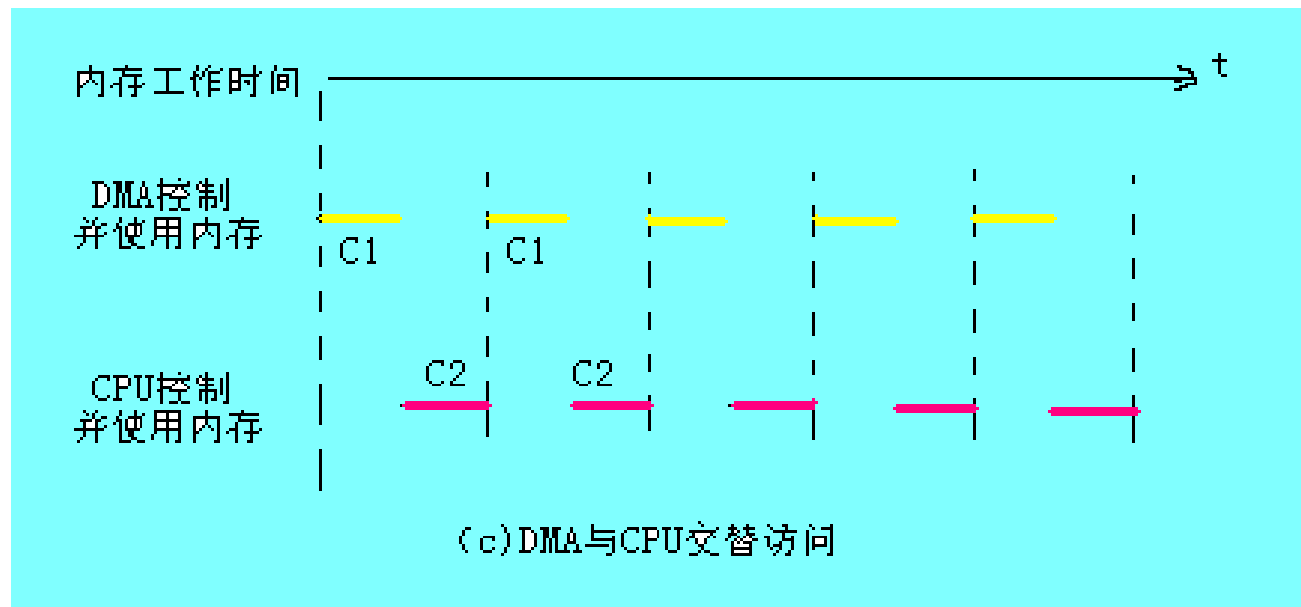




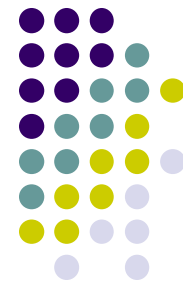
8.4.2 DMA传送方式

3、DMA与CPU交替访内

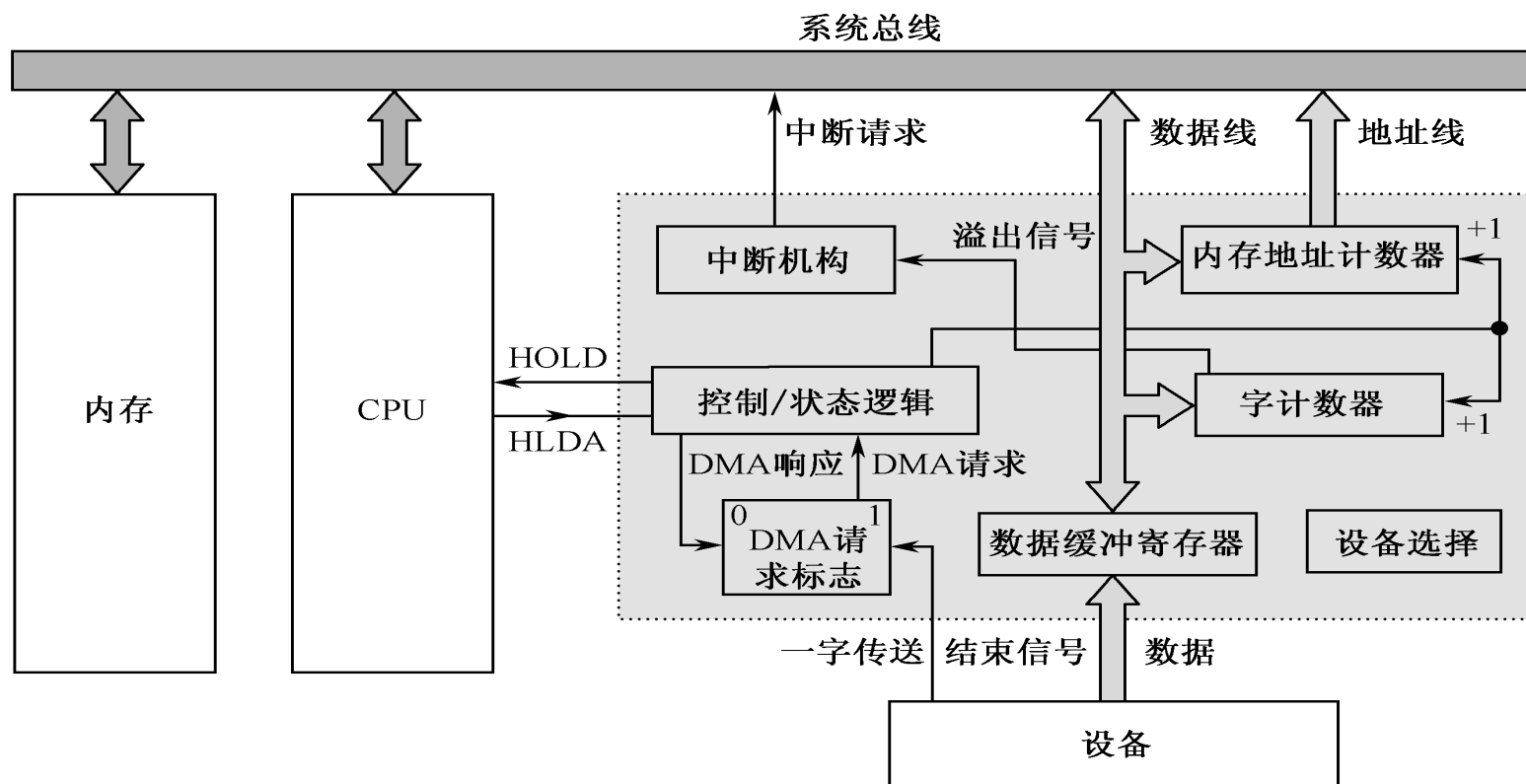
- 如果CPU的工作周期比内存存取周期长很多，可以采用该方法
- 总线控制权的转移速度快，DMA效率高。

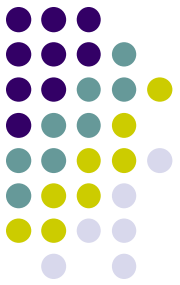


8.4.3 基本的DMA原理



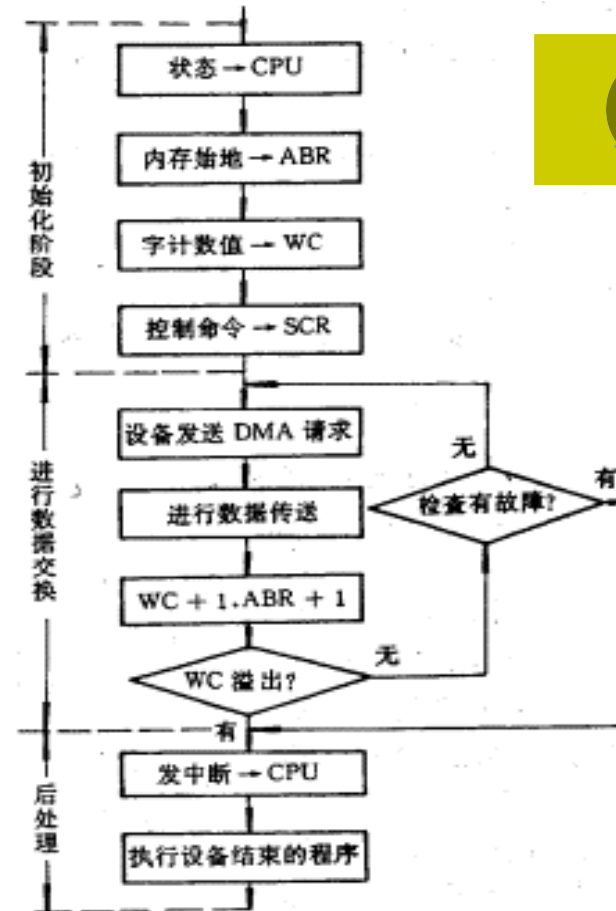
1、DMA基本构成

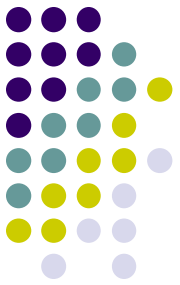




8.4.3 基本的DMA原理

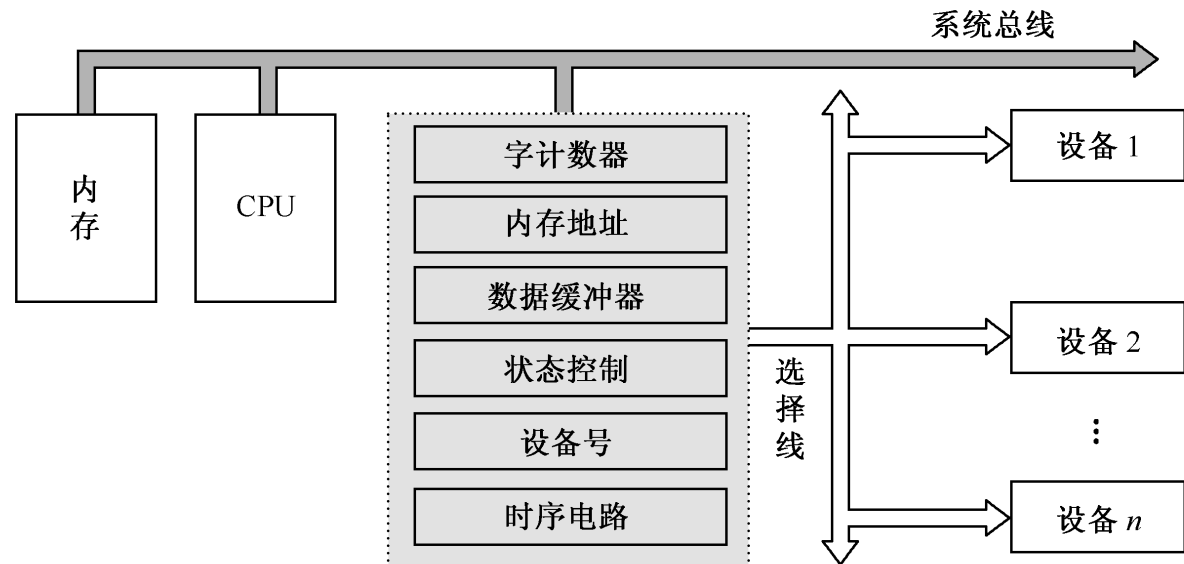
2、DMA数据传送过程当外设有DMA请求时，通常CPU在本机器周期结束后，响应DMA请求。



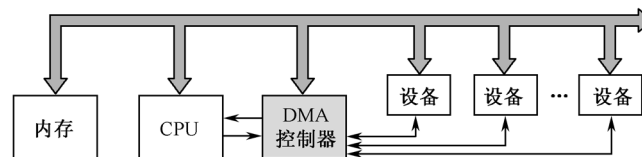


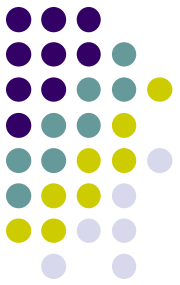
8.4.4选择型和多路型DMA控制器

- 选择型



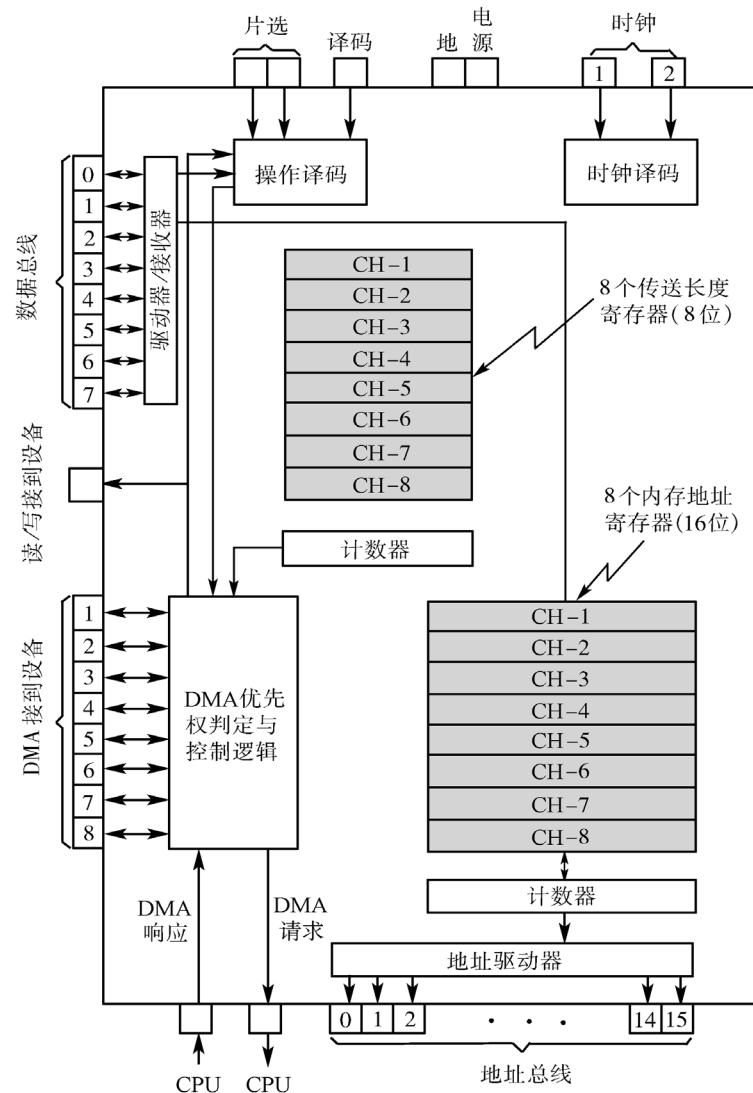
- 多路型

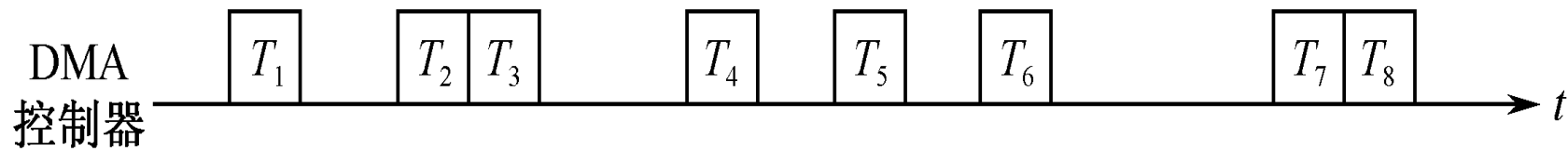
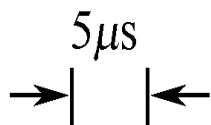
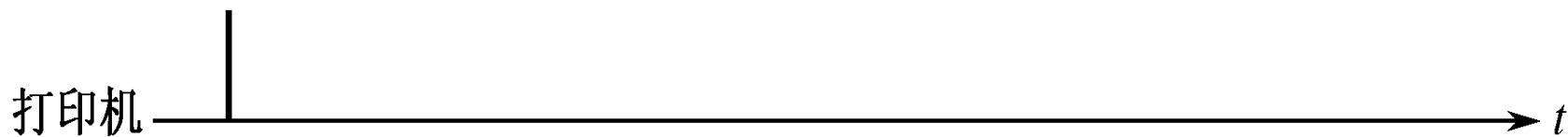
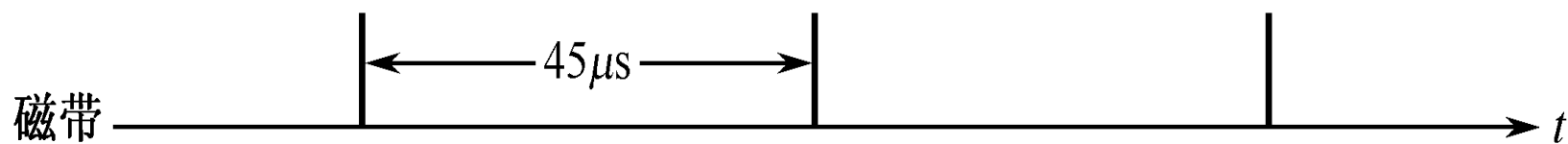
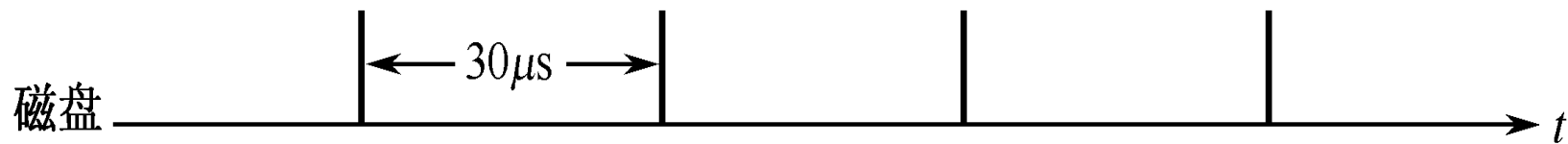
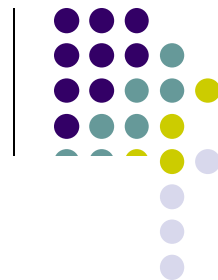


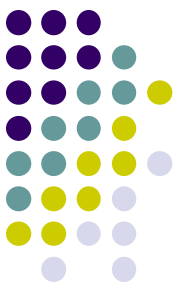


8.4.4选择型和多路型DMA控制器

- 典型DMA芯片

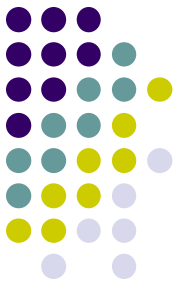






8.4.4选择型和多路型DMA控制器

[例3] 解： 由图看出，T1间隔中控制器首先为打印机服务，因为此时只有打印机有请求。T2间隔前沿磁盘、磁带同时有请求，首先为优先权高的磁盘服务，然后为磁带服务，每次服务传送一个字节。在120 μ s时间阶段中，为打印机服务只有一次(T1)，为磁盘服务四次(T2, T4, T6, T7)，为磁带服务三次(T3, T5, T8)。从图上看到，在这种情况下DMA尚有空闲时间，说明控制器还可以容纳更多设备。

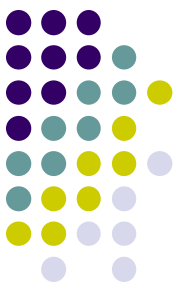


8.5 通道方式

8.5.1 通道的功能

8.5.2 通道的类型

8.5.3 通道结构的发展



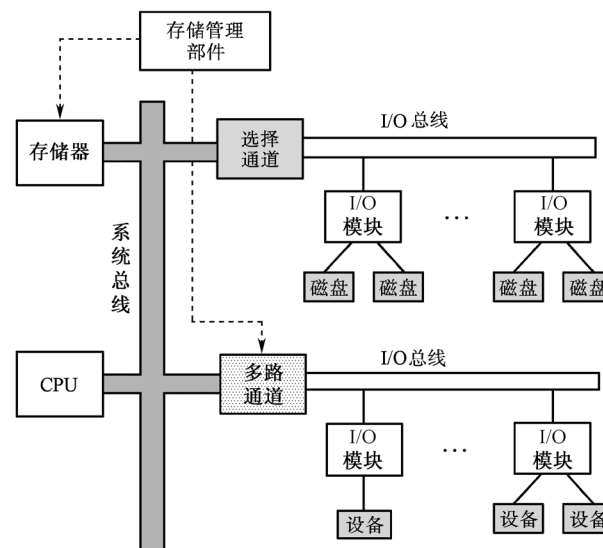
8.5.1 通道的功能

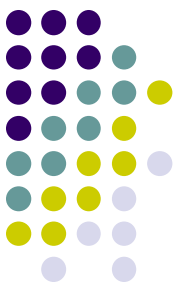
- 执行通道指令，组织外围设备和内存进行数据传输，按I/O指令要求启动外围设备，向CPU报告中断等，具体有以下五项任务：
 - (1) 接受CPU的I/O指令，按指令要求与指定的外围设备进行通信。
 - (2) 从内存选取属于该通道程序的通道指令，经译码后向设备控制器和设备发送各种命令。
 - (3) 组织外围设备和内存之间进行数据传送，并根据需要提供数据缓存的空间，以及提供数据存入内存的地址和传送的数据量。
 - (4) 从外围设备得到设备的状态信息，形成并保存通道本身的状态信息，根据要求将这些状态信息送到内存的指定单元，供CPU使用。
 - (5) 将外围设备的中断请求和通道本身的中断请求，按次序及时报告CPU。

8.5.1 通道的功能

- 通道结构

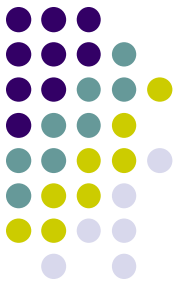
- 在一般用户程序中，通过调用通道来完成一次数据输入输出的过程如图1所示
- CPU执行用户程序和管理程序，通道处理机执行通道程序的时间关系如图所示。





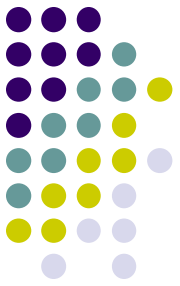
8.5.2 通道的类型

- 选择通道
 - 选择通道每次只能从所连接的设备中选择一台I / O设备的通道程序，此刻该通道程序独占了整个通道。连接在选择通道上的若干设备，只能依次使用通道与主存传送数据
 - 数据传送以成组（数据块）方式进行，每次传送一个数据块，因此，传送速率很高。选择通道多适合于快速设备（磁盘），这些设备相邻字之间的传送空闲时间极短。



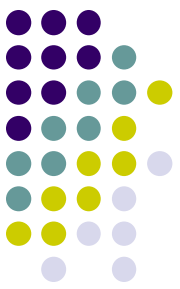
8.5.2 通道的类型

- 字节多路通道（Byte Multiplexor Channel）
 - 是一种简单的共享通道，在时间分割的基础上，服务于多台低速和中速面向字符的外围设备。
 - 字节多路通道包括多个子通道，每个子通道服务于一个设备控制器，可以独立地执行通道指令。每个子通道都需要有字符缓冲寄存器、I/O请求标志/控制寄存器、主存地址寄存器和字节计数寄存器。而所有子通道的控制部分是公共的，由所有子通道所共享。通常，每个通道的有关指令和参量存放在主存固定单元中。当通道在逻辑上与某一设备连通时，将这些指令和参量取出来，送入公共控制部分的寄存器中使用。
 - 字节多路通道要求每种设备分时占用一个很短的时间片，不同的设备在各自分得的时间片内与通道建立传输连接，实现数据的传送。



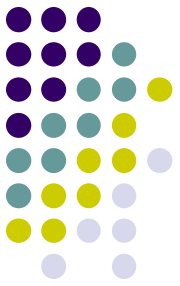
8.5.2 通道的种类

- 数组多路通道（**Block Multiplexor Channel**）
 - 数组多路通道把字节多路通道和选择通道的特点结合起来。它有多个子通道，既可以执行多路通道程序，象字节多路通道那样，所有子通道分时共享总通道；又可以用选择通道那样的方式传送数据。
- 数组多路通道和字节多路通道的比较



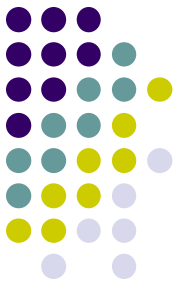
8.5.3 通道结构的发展

- 输入输出处理机（IOP）
 - 输入输出处理机（IOP）不是一台独立的计算机，而是计算机系统中的—个部件。IOP可以和CPU并行工作，提供高速的DMA处理能力，实现数据的高速传送。此外，有些IOP还提供数据的变换、搜索和字装配 / 分拆能力。
 - 8位和16位微机中使用的Intel 8089 I / O处理器就是这种通道型I / O处理器



8.5.2 通道结构的发展

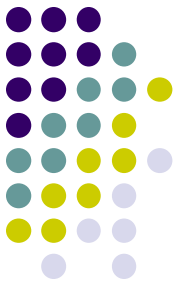
- 外围处理机
 - 外围处理机结构更接近于一般处理机，或者就是选用已有的通用机。外围机基本上是独立于主处理机工作的，应用于大型高效率的计算机系统中。



8.6通用I/O接口标准

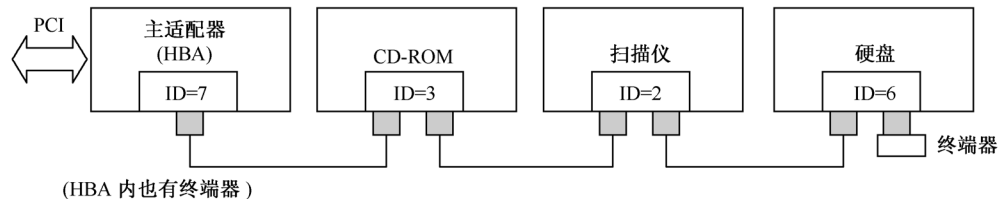
8.6.1 并行I/O标准接口SCSI

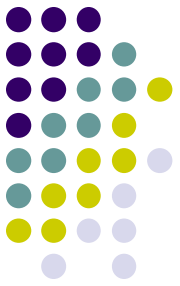
8.6.2 串行I/O标准接口IEEE1394



8.6.1 并行I/O标准接口SCSI

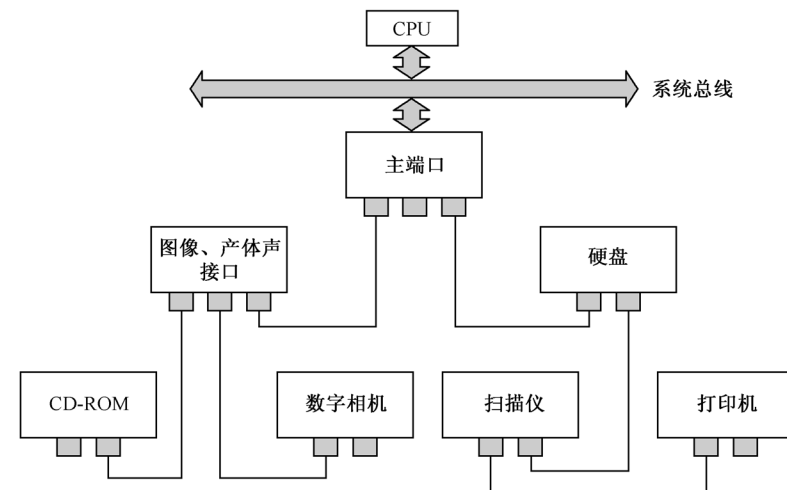
- 小型计算机系统接口的简称，它是一个高速智能接口，可以混接各种磁盘、光盘、磁带机、打印机、扫描仪、条码阅读器以及通信设备

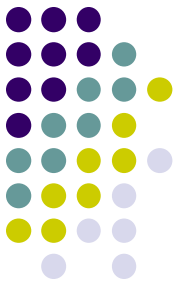




8.6.2 串行I/O标准接口IEEE1394

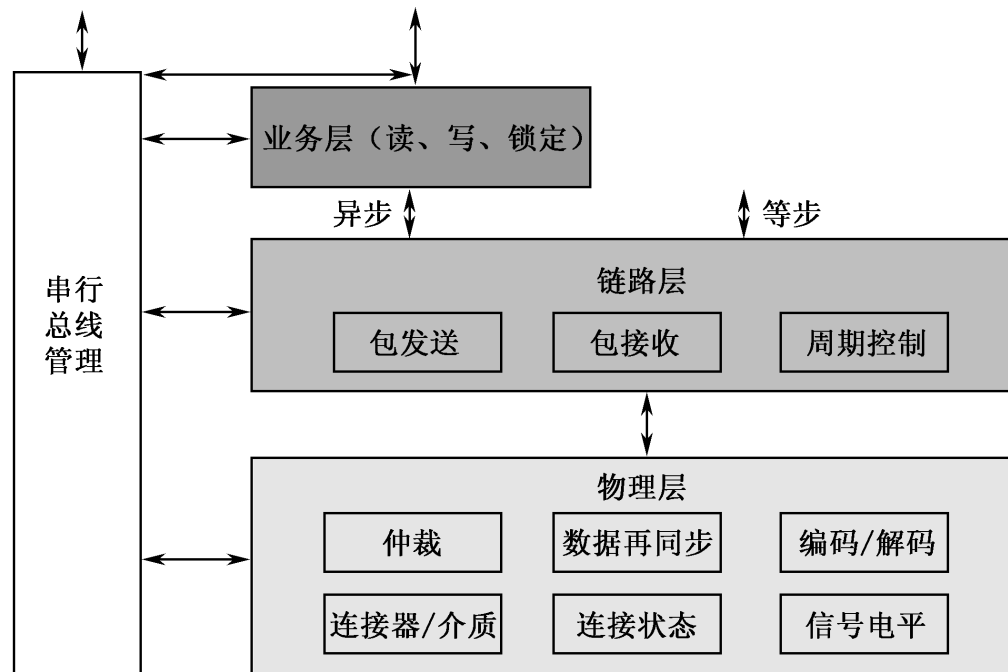
- IEEE 1394是一种高速串行I/O标准接口。各被连接装置的关系是平等的，不用PC介入也能自成系统。这意味着1394在家电等消费类设备的连接应用方面有很好的前景。
- (1) 数据传送的高速性
- (2) 数据传送的实时性
- (3) 体积小易安装，连接方便

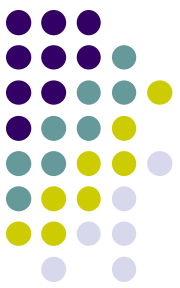




8.6.2 串行I/O标准接口IEEE1394

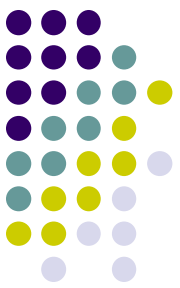
图8.23 IEEE 1394协议集





本章小结

- 各种外围设备的数据传输速率相差很大。如何保证主机与外围设备在时间上同步，则涉及外围设备的定时问题。在计算机系统中，**CPU**对外围设备的管理方式有：①程序查询方式；②程序中断方式；③**DMA**方式；④通道方式。每种方式都需要硬件和软件结合起来进行。
- 程序查询方式是**CPU**管理**I/O**设备的最简单方式，**CPU**定期执行设备服务程序，主动来了解设备的工作状态。这种方式浪费**CPU**的宝贵资源。
- 程序中断方式是各类计算机中广泛使用的一种数据交换方式。当某一外设的数据准备就绪后，它“主动”向**CPU**发出请求信号。**CPU**响应中断请求后，暂停运行主程序，自动转移到该设备的中断服务子程序，为该设备进行服务，结束时返回主程序。中断处理过程可以嵌套进行，优先级高的设备可以中断优先级低的中断服务程序。



本章小结

- DMA技术的出现，使得外围设备可以通过**DMA**控制器直接访问内存，与此同时，**CPU**可以继续程序。**DMA**方式采用以下三种方法：①停止**CPU**访内；②周期挪用；③**DMA**与**CPU**交替访内。**DMA**控制器按其组成结构，分为选择型和多路型两类。
- 通道是一个特殊功能的处理器。它有自己的指令和程序专门负责数据输入输出的传输控制，从而使**CPU**将“传输控制”的功能下放给通道，**CPU**只负责“数据处理”功能。这样，通道与**CPU**分时使用内存，实现了**CPU**内部的数据处理与**I/O**设备的平行工作。通道有两种类型：①选择通道；②多路通道。



本章小结

- 标准化是建立开放式系统的基础。**CPU**、系统总线、**I/O**总线及标准接口技术近年来取得了重大进步。其中并行**I/O**接口**SCSI**与串行**I/O**接口**IEEE 1394**是两个最具权威性和发展前景的标准接口技术。
- **SCSI**是系统级接口，是处于主适配器和智能设备控制器之间的并行**I/O**接口，改进的**SCSI**可允许连接**1~15**台不同类型的高速外围设备。**SCSI**的不足处在于硬件较昂贵，并需要通用设备驱动程序和各类设备的驱动程序模块的支持。
- **IEEE 1394**是串行**I/O**标准接口。与**SCSI**并行**I/O**接口相比，它具有更高的数据传输速率和数据传送的实时性，具有更小的体积和连接的方便性。**IEEE 1394**的一个重大特点是，各被连接的设备的关系是平等的，不用**PC**介入也能自成系统。因此**IEEE 1394**已成为**Intel**、**Microsoft**等公司联手制定的新标准。



本章小结

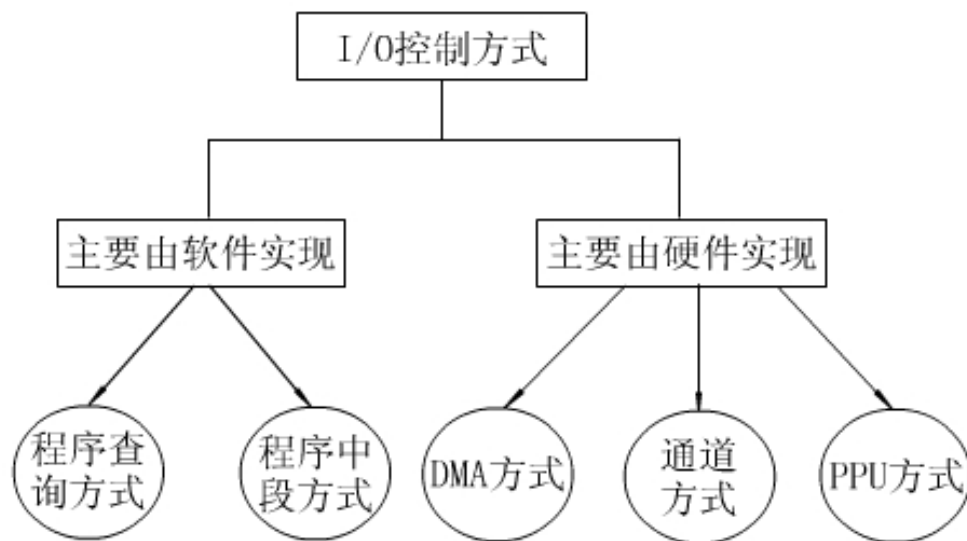


图8.1 外围设备的输入/输出方式