

上海大学 计算机学院

《数字逻辑实验》报告四

姓名 冯新元

学号 18120232

时间 2019/10/24

机位

指导教师 何冰

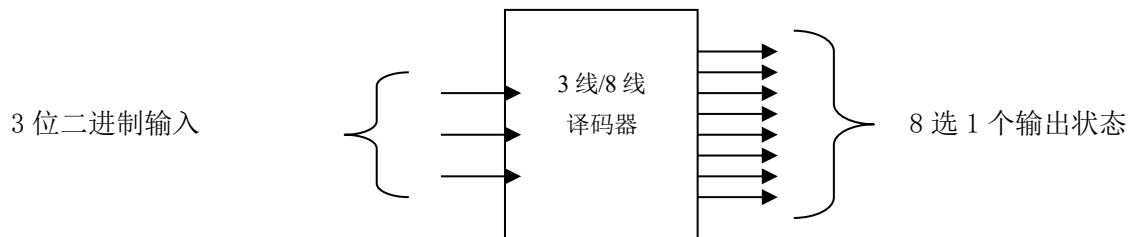
实验名称: 组合电路 3

一、实验目的

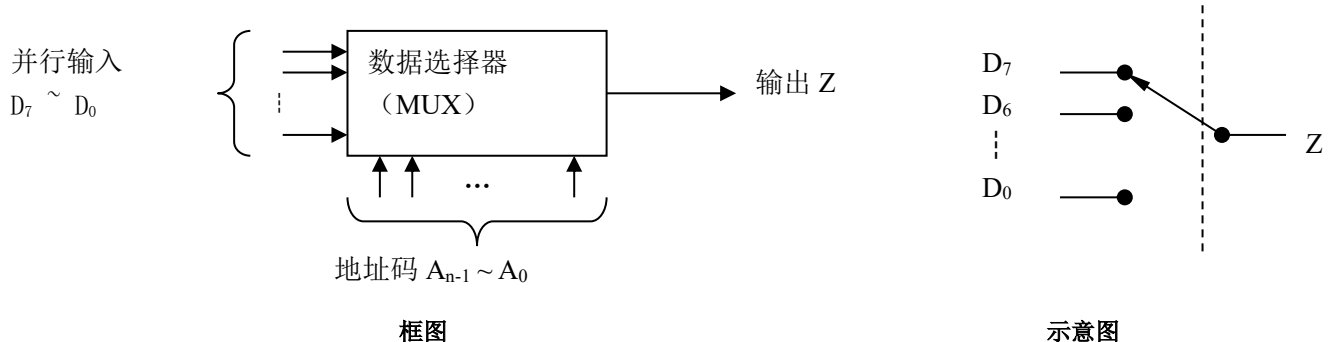
- 1、用多路选择器实现逻辑函数
- 2、用译码器实现逻辑函数

二、实验原理

译码器：译码器是编码器的逆过程，是将二进制代码所代表的特定对象还原出来的组合逻辑电路。根据译码对象不同，可以分成二进制译码器（变量译码器）和二-十进制译码器（码制变换译码器、显示译码器等）。以下所示是二进制译码器。二-十进制译码器通常有 4 个输入端和 10 个输出端，主要功能是将输入的 BCD 码翻译成 10 个高、低电平的输出信号。



多路选择器：数字系统中经常需要在多个通道的信号中指定某个通道的信号送到公共数据总线上，这就要用到多路选择器。其框图和等效电路示意如下图。



三、实验内容

1. 实验任务一：用多路选择器实现逻辑函数

(1) 实验步骤

在 Quartus II 中选用 74LS151，构成函数的电路逻辑图。

$$Y(A, B, C) = \sum m(0, 2, 3, 4, 5, 7)$$

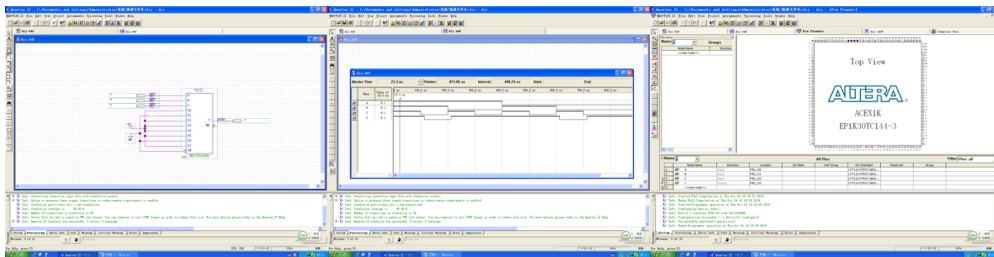
使用模拟工具进行模拟验证，并通过验证。

定义 FPGA 的 IO 引脚功能。

下载设计的电路到 FPGA。

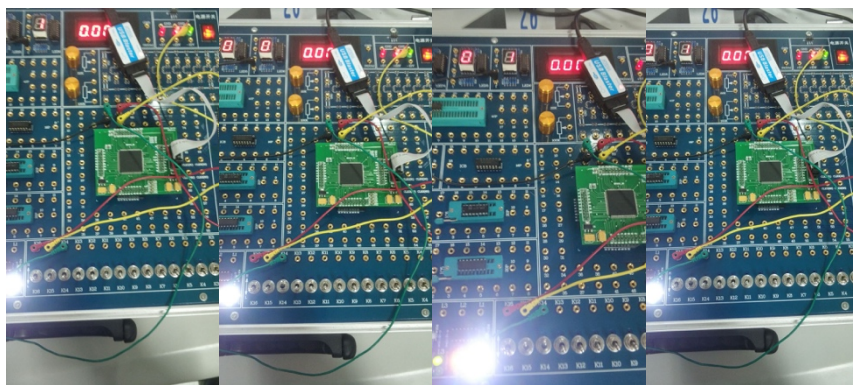
用开关和发光二极管测试 FPGA 的功能。

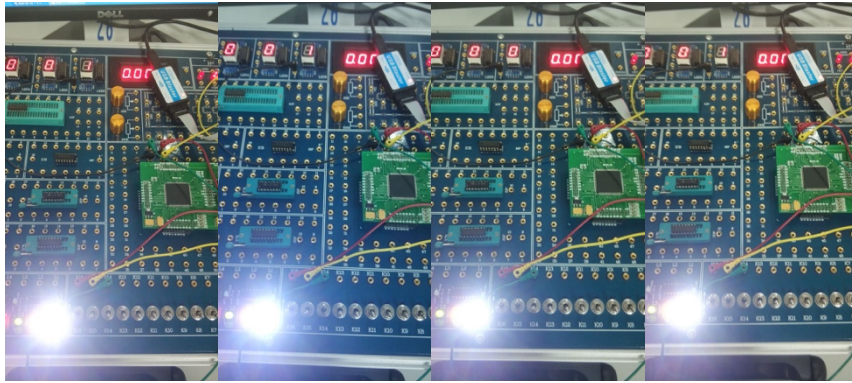
(2) 实验现象



(3) 数据记录、分析与处理

以下图片中电路的输入顺序为将高电平视为 1，低电平视为 0 时，二进制数从小到大顺序。





(4) 实验结论

输出结果满足题目逻辑函数要求，电路满足要求，实验结果正确。

2. 实验任务二:用译码器实现逻辑函数

(1) 实验步骤

在 Quartus II 中选用 74LS138，构成函数的电路逻辑图。

$$Y(A,B,C,D)=\sum m(2,4,6,8,10,12,14)$$

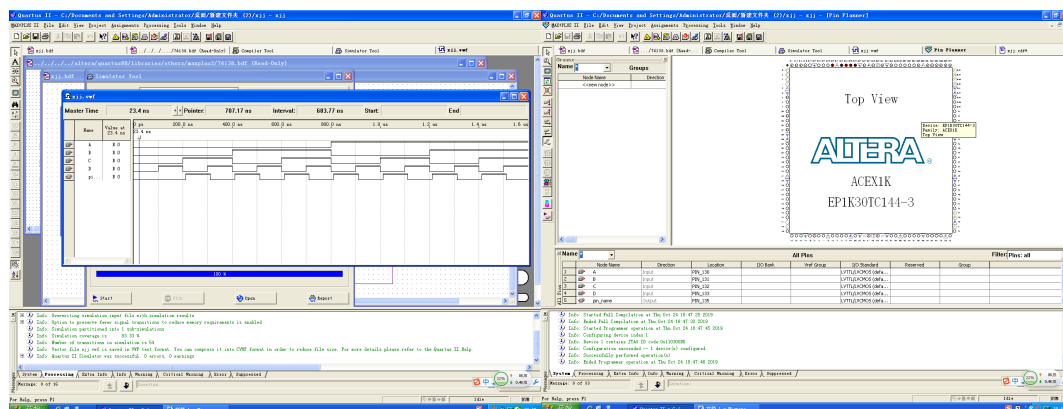
使用模拟工具进行模拟验证，并通过验证。

定义 FPGA 的 IO 引脚功能。

下载设计的电路到 FPGA。

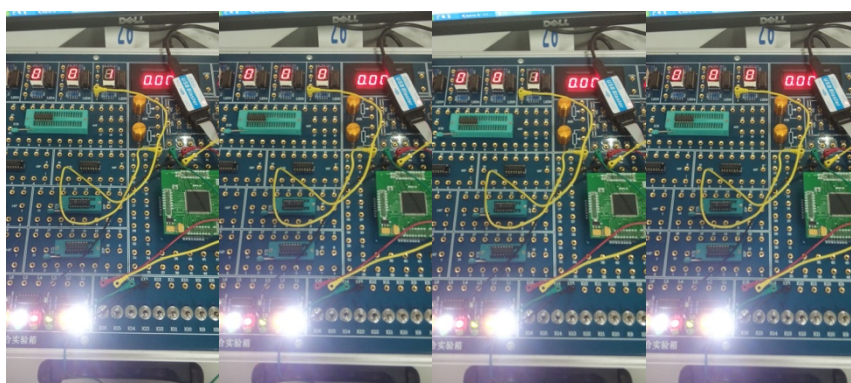
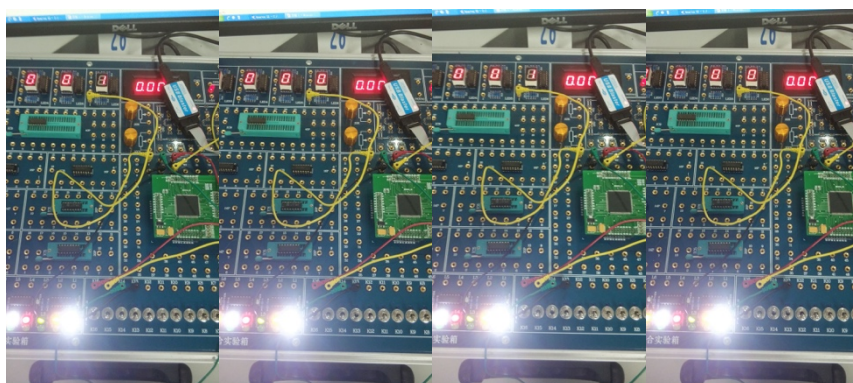
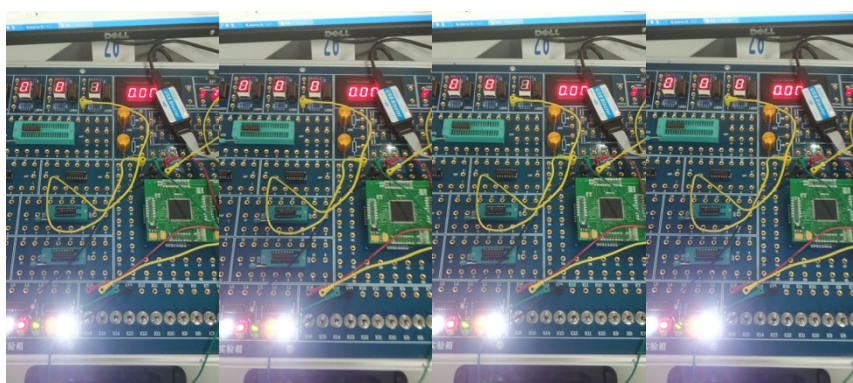
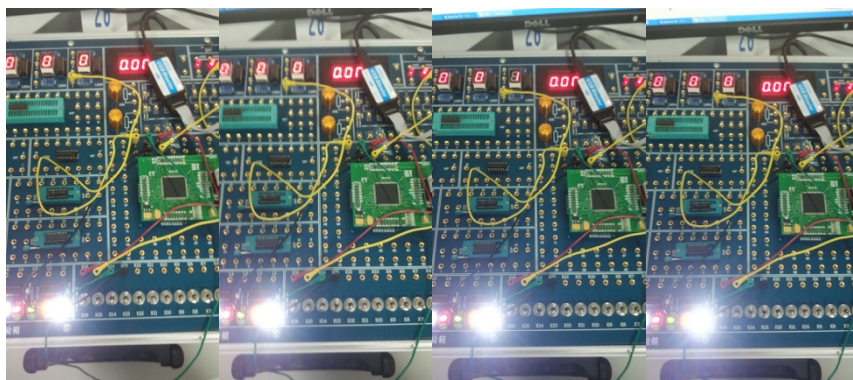
用开关和发光二极管测试 FPGA 的功能。

(2) 实验现象



(3) 数据记录、分析与处理

以下图片中电路的输入顺序为将高电平视为1，低电平视为0时，二进制数从小到大顺序。



(4) 实验结论

输出结果满足题目逻辑函数要求，电路满足要求，实验结果正确。

四、建议和体会

实验二内容书上给出的步骤使用了两个 74LS138 来解决 4 个输入的问题。事实上电路可以简化为一个 74LS138 来实现。经观察得，逻辑函数表达式中需要实现的最小项之只和，最小项在两个电路中都用到了 D2，D4，D6 这三个输入，两个多路选择器可以合并为一个。当 A（最高项）为高电平（用 1 表示）时，还需要多增加一种输出 D0 的情况即可实现该题逻辑函数表达式的要求。

附录、勘误：

预习报告中出现电路图元件中高位和低位接反的错误，已在
本实验报告中更正。