**上海大学 计算机学院**

**《数字逻辑实验》报告五**

**姓名 冯新元 学号 18120232**

**时间 2019/10/31 机位 指导教师 何冰**

**实验名称: 记忆元件测试**

**一、实验目的**

1、基本RS触发器测试

2、D、JK触发器测试

**二、实验原理**

在数字逻辑系统中，为了实现更复杂的功能，往往需要将输出结果存储下来，作为下一步逻辑运算的需要。实现这一功能的基本器件就是触发器。它在输出与输入之间具有反馈延迟通路，产生的新输出的逻辑值不仅取决于该时刻的输入，还取决于电路以前的状态。触发器是构成数字逻辑系统时序电路的基本逻辑单元。具有以下特征：

1. 具有两个能自行保持的稳定状态，这两个稳定状态可以用二进制数0或1来表示。在没有外来触发信号时，将维持一个稳定状态永久不变。
2. 根据不同需要，触发器可以预置成0，也可以预置成1。

触发器是具有记忆功能的二进制存储器件，是时序电路的基本器件。

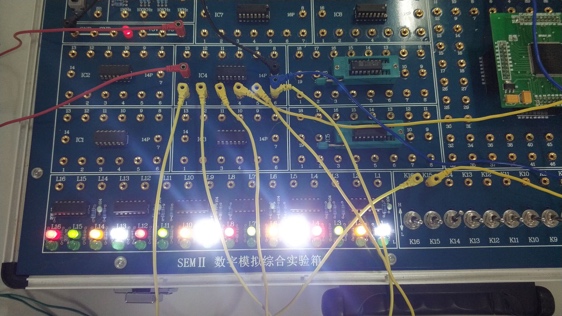
**三、实验内容**

**1．实验任务一： 用74LS00芯片分别构成基本RS触发器和钟控RS触发器，并分别测试其功能。**

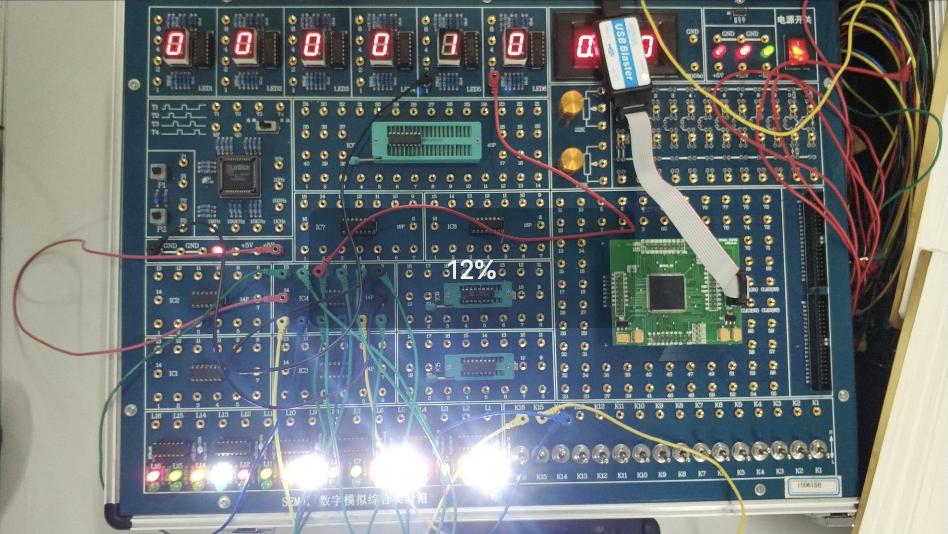
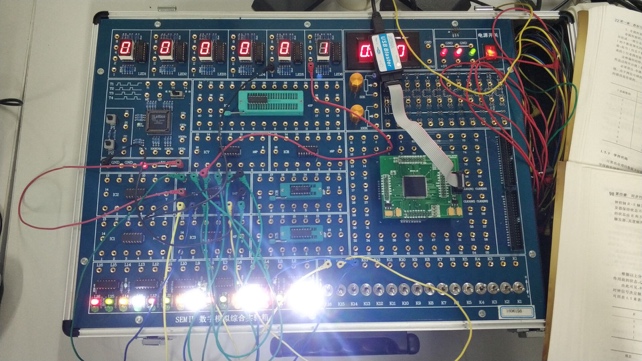
1. 实验步骤

1. 根据书中RS触发器电路进行连接。

1. 实验现象



基本RS触发器



钟控RS触发器（S端置1） 钟控RS触发器（R端置1）

1. 数据记录、分析与处理

基本RS触发器

|  |  |  |  |
| --- | --- | --- | --- |
| R | S |  | 逻辑功能 |
| 0 | 1 | 0 | 置0 |
| 1 | 0 | 1 | 置1 |
| 1 | 1 |  | 保持 |
| 0 | 0 | 不定 | 不允许 |

钟控RS为下降沿出发

|  |  |  |  |
| --- | --- | --- | --- |
| R | S |  | 逻辑功能 |
| 1 | 0 | 0 | 置0 |
| 0 | 1 | 1 | 置1 |
| 0 | 0 |  | 保持 |
| 1 | 1 | 不定 | 不允许 |

1. 实验结论

两种RS触发器实现功能与要求相符。

**2．实验任务二:**

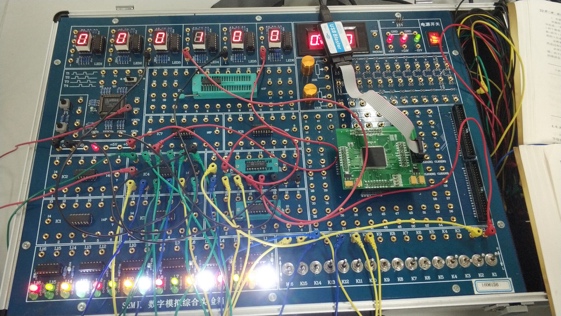
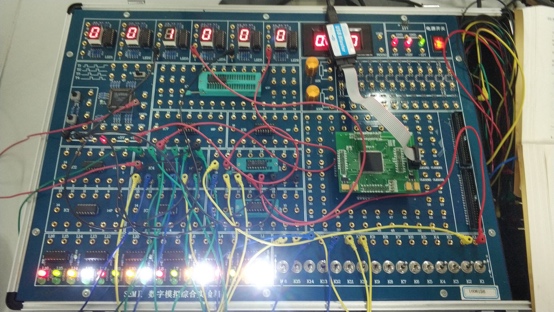
**测试74LS112的异步置位和复位功能。**

**用开关作为CP输入，测试JK触发器的外部逻辑功能。**

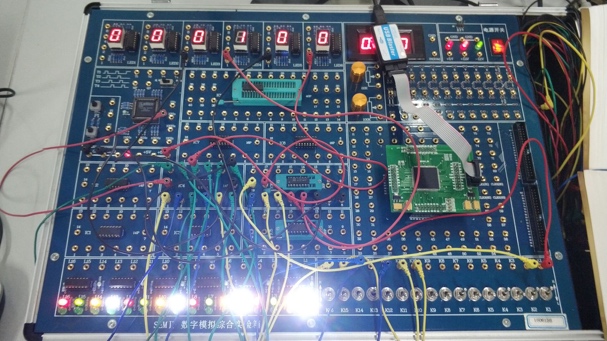
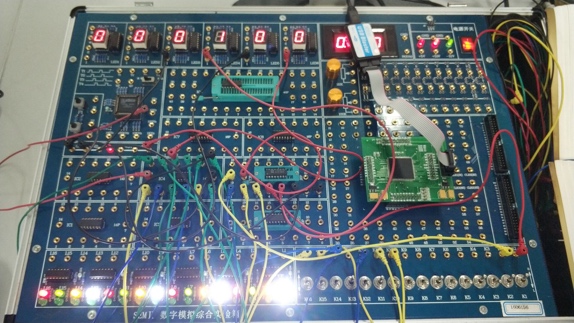
**用74LS112实现T触发器和D触发器，并分别测试其外部逻辑功能。**

1. 实验现象

JK触发器

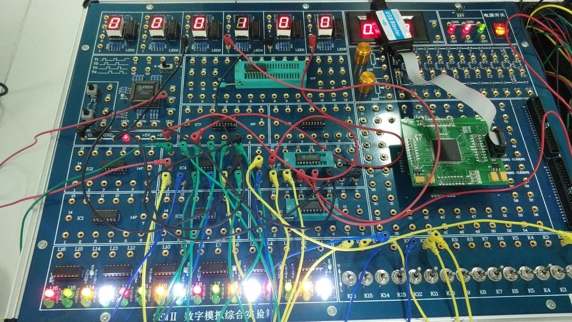
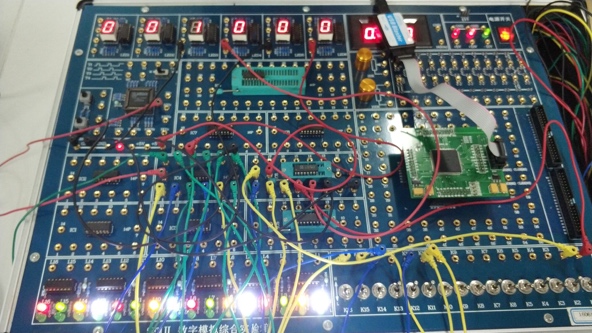


置0 翻转

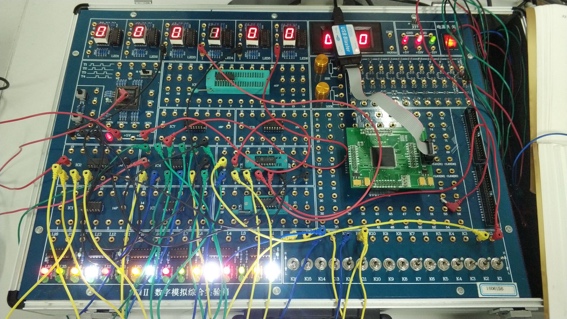
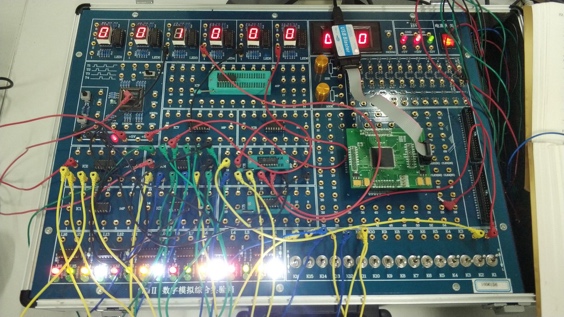


置1 保持

T触发器



D触发器



1. 数据记录、分析与处理

**＝Ｊ＋**

**＝**

**联立＝Ｊ＋，得：Ｊ＝Ｋ＝T**

Q**ｎ＋１＝Ｄ**

**Ｑｎ＋１ ＝Ｄ（Ｑｎ＋Ｑｎ）**

**联立＝Ｊ＋，得：Ｊ＝Ｄ　　　Ｋ＝**

1. 实验结论

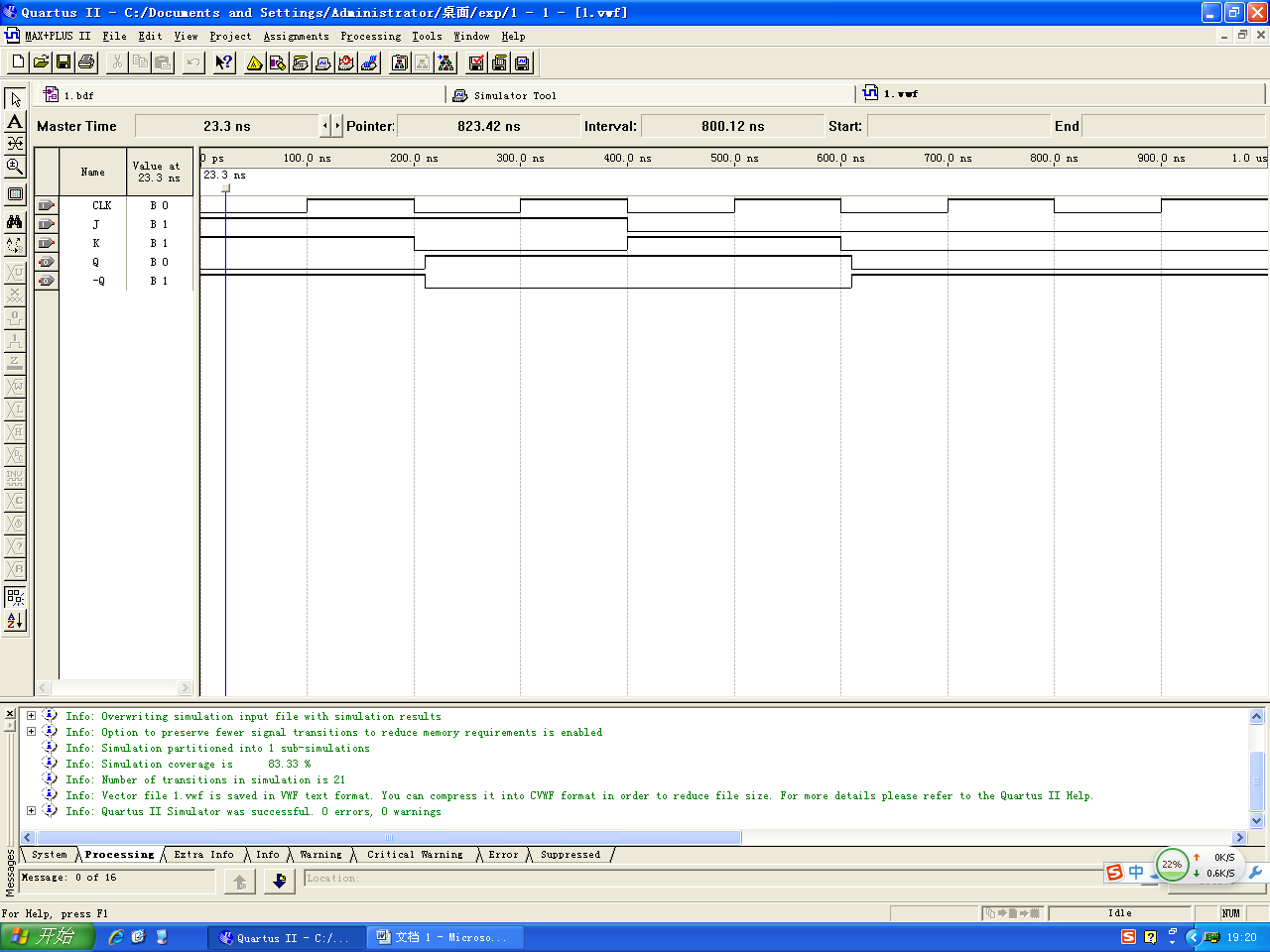
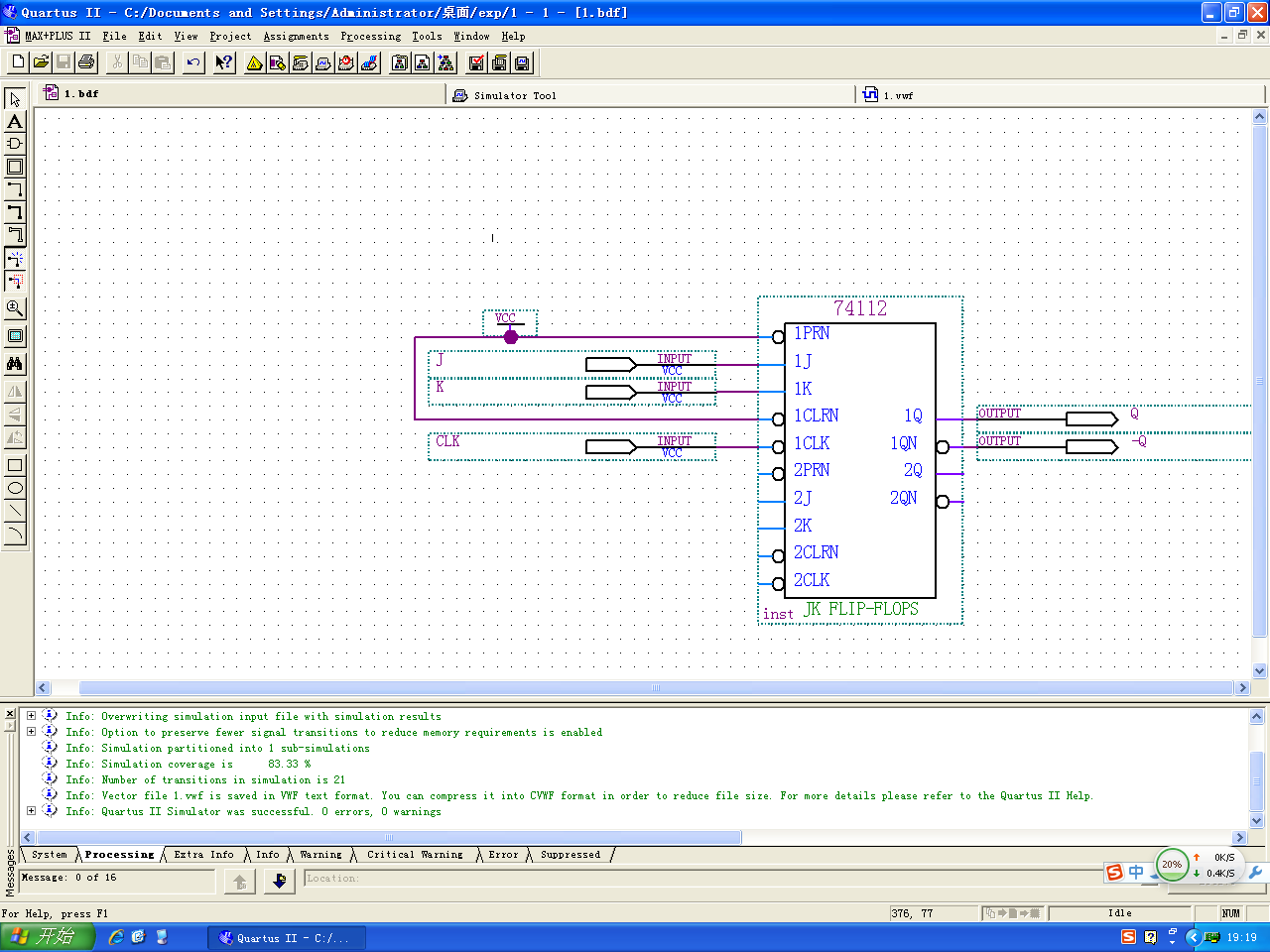
JK触发器，T触发器，D触发器功能符合要求。

**3．实验任务三：**

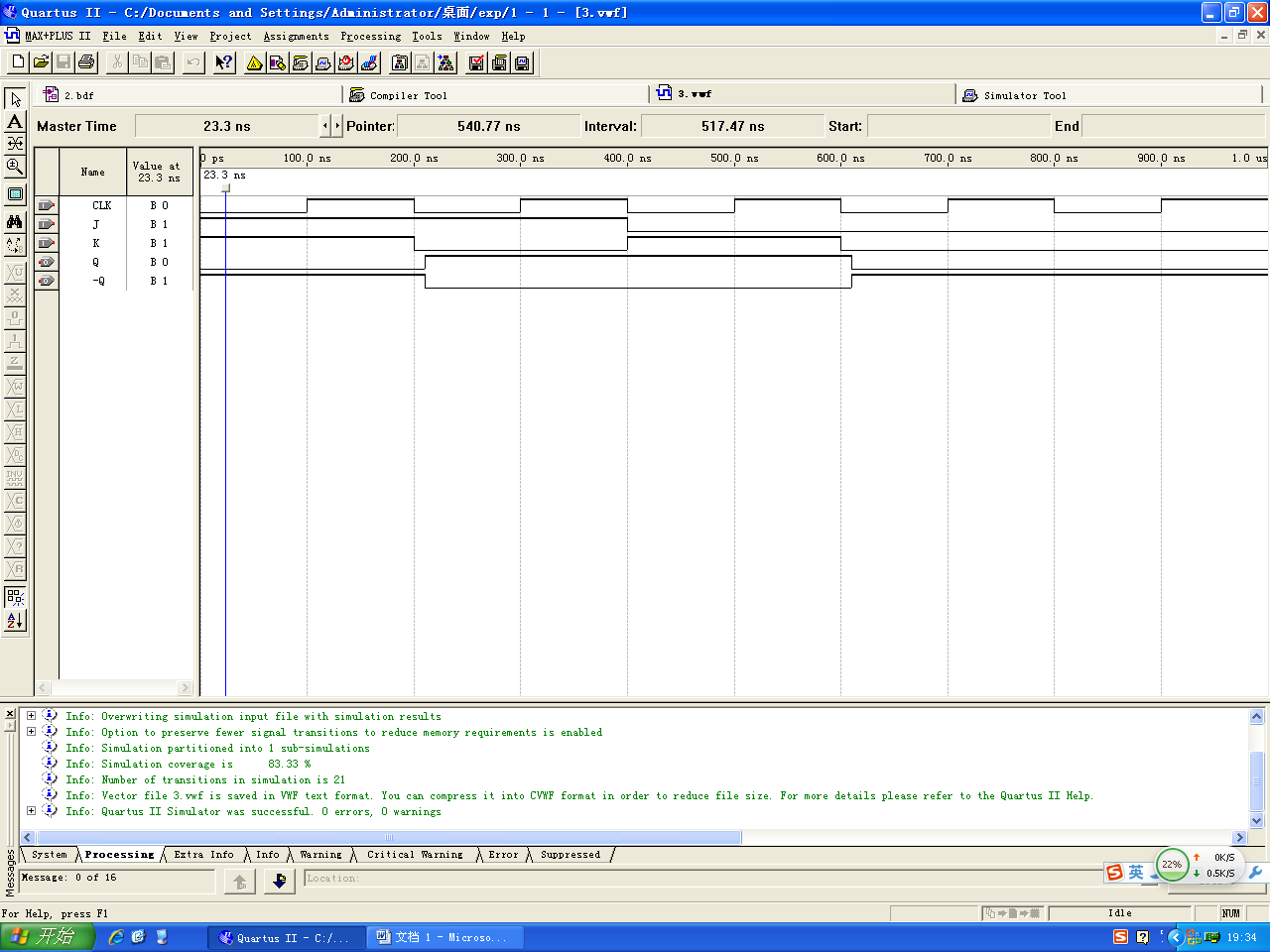
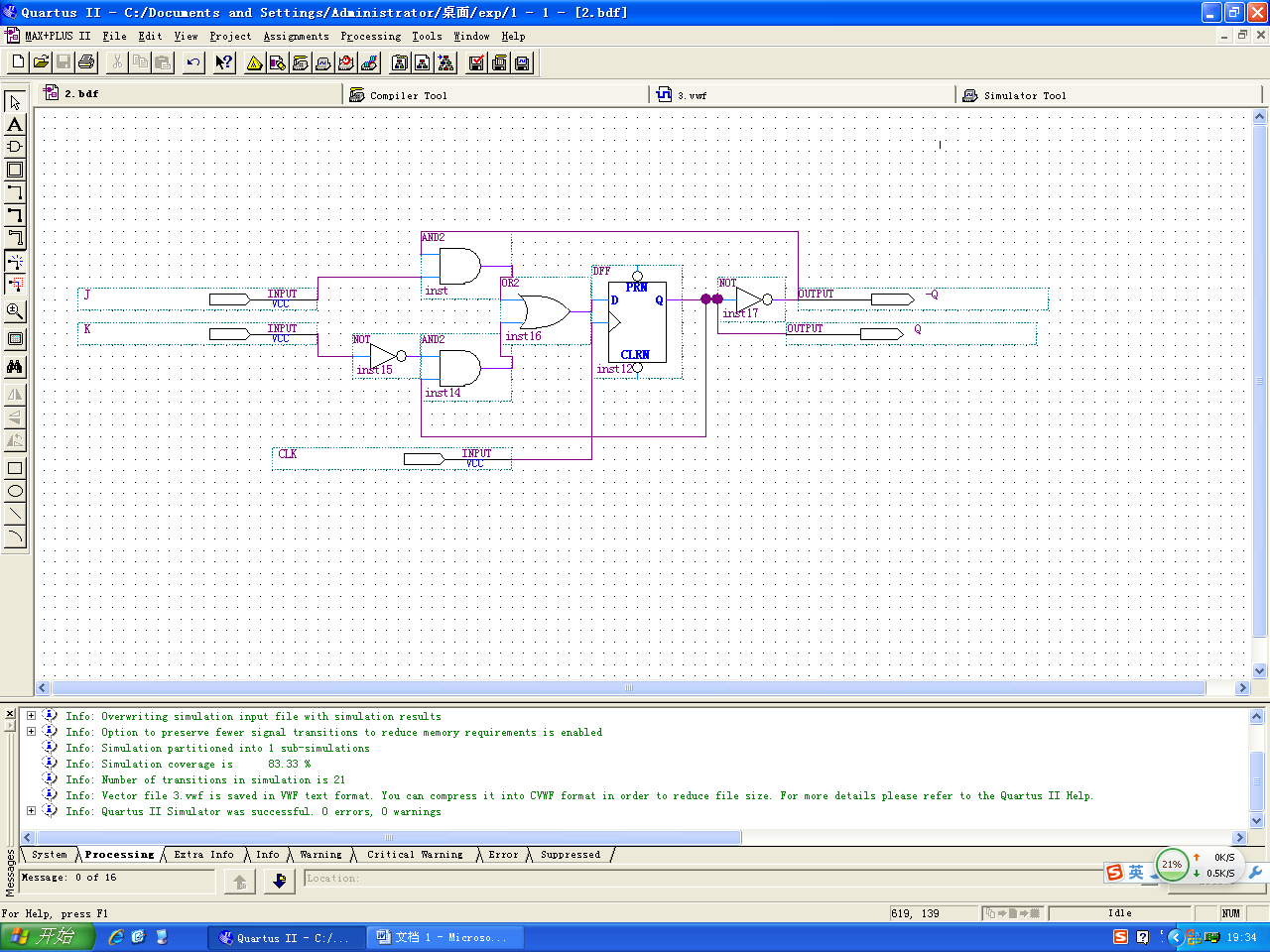
**用Quartus II中的软件仿真操作，仿真JK触发器的外部功能。分析仿真波形来研究JK触发器的逻辑功能。**

**设计用D触发器实现JK触发器的原理图，通过软件模拟后，下载到FPGA上进行硬件测试。**

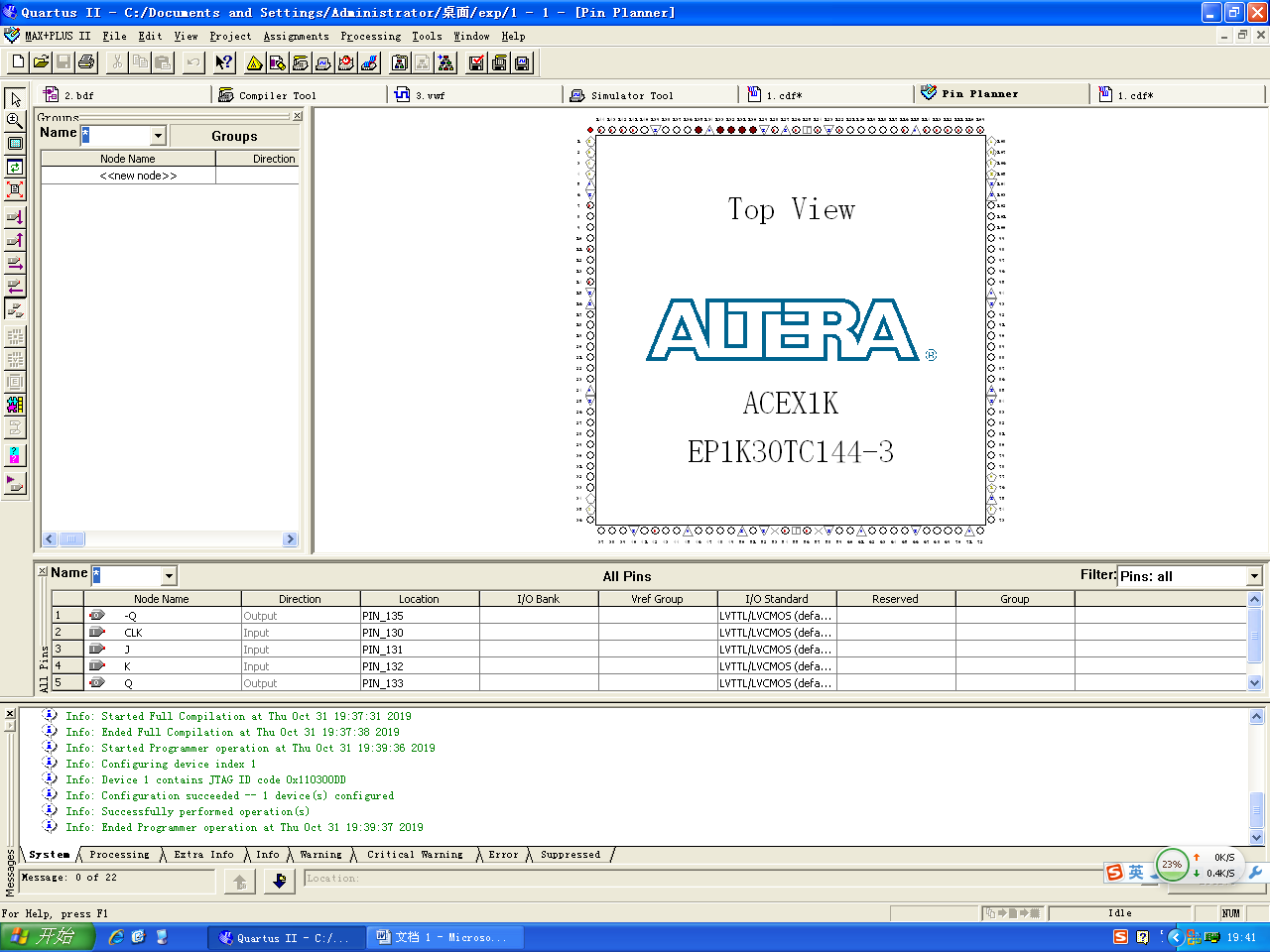
1. 实验步骤



74LS112仿真JK触发器



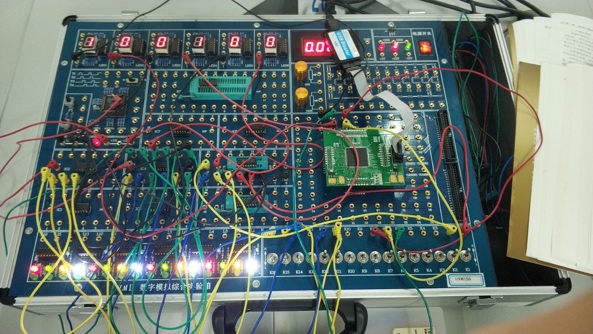
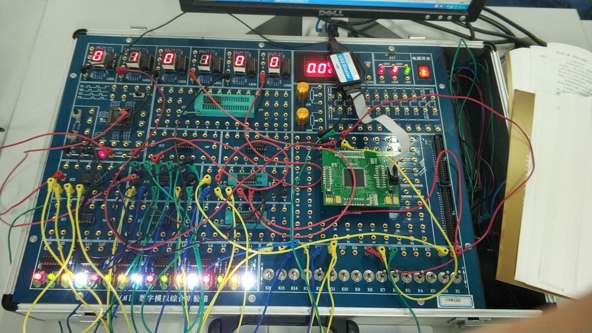
D触发器实现JK触发器



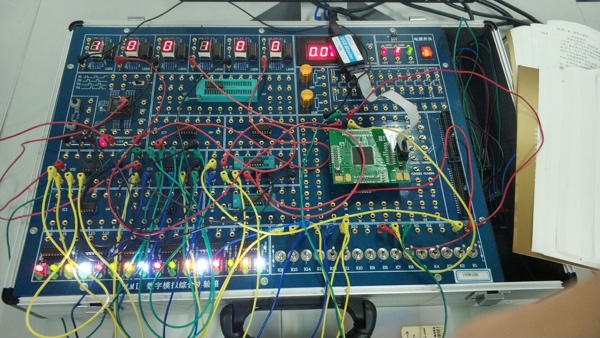
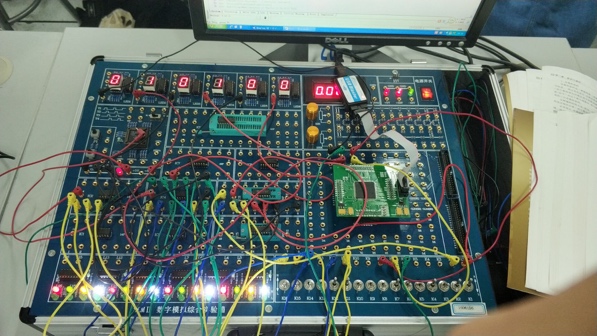
1. 实验现象

K8输入为时钟信号、K7为J输入端、K6为K输入端。

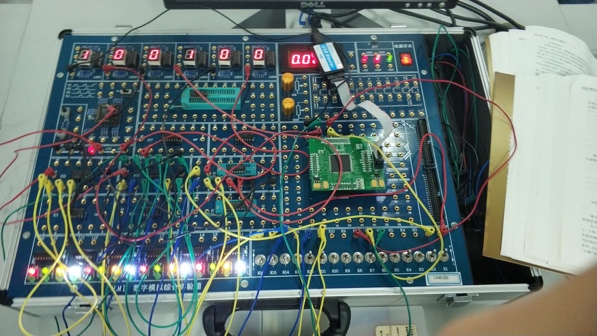
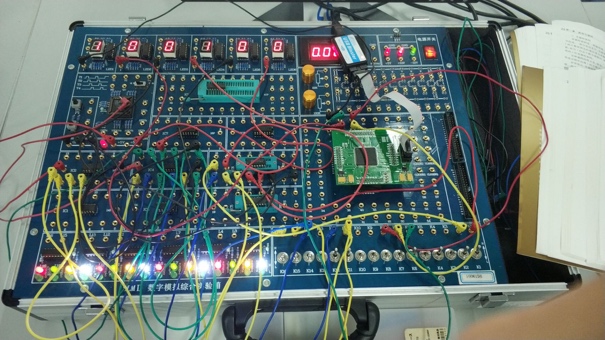
LED1为输出，LED2为输出。



初态 翻转



置1 置0



初态 保持

1. 实验结论

与JK触发器仿真图样一致，与要求相符。

**四、建议和体会**

可以通过逻辑表达式建立等式关系，帮助设计由一种触发器实现另一种触发器功能。

**附录：预习报告**

**实验五预习报告**

记忆元件测试

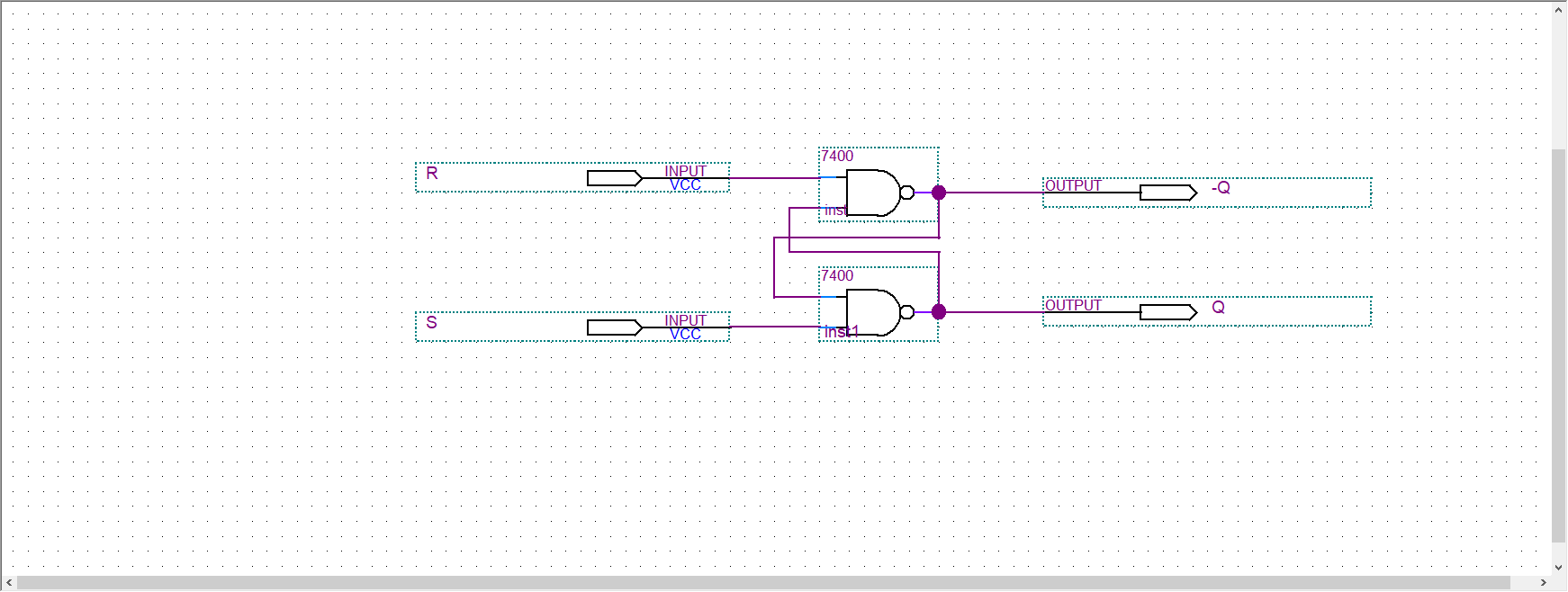
实验内容

* + 基本RS触发器测试
  + D、JK触发器测试

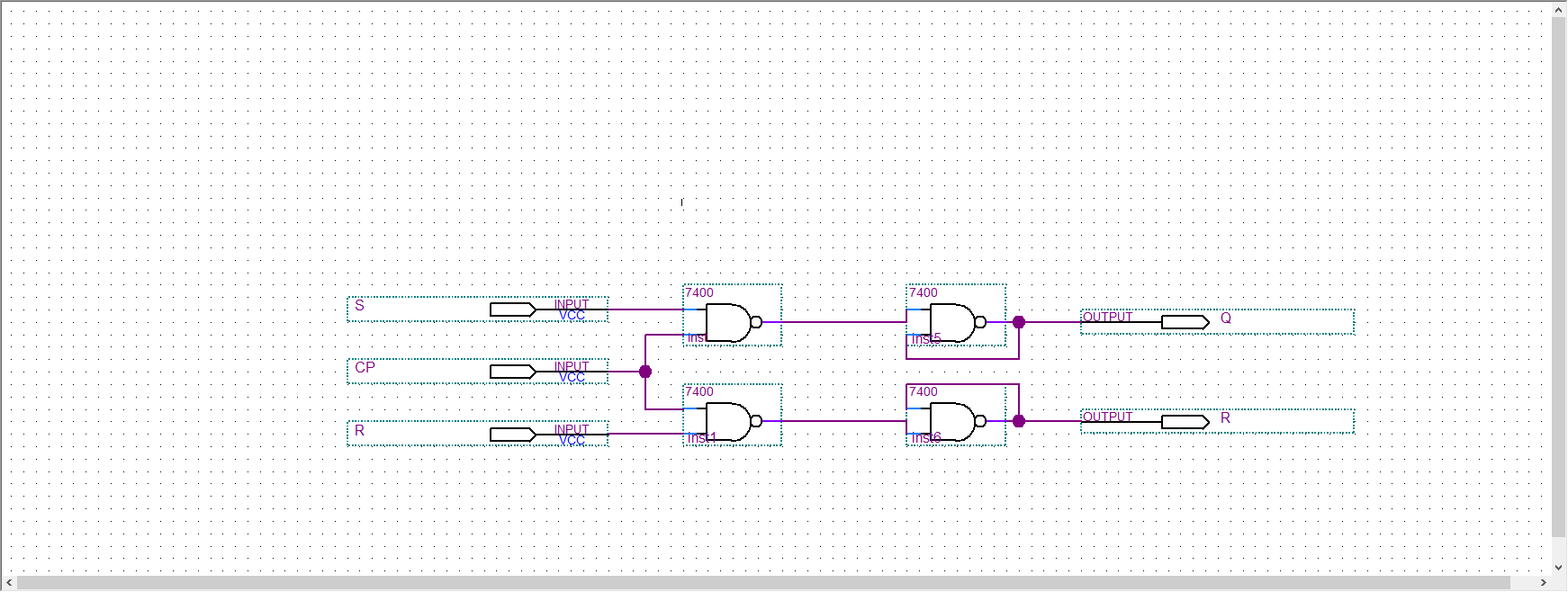
**1.基本RS触发器测试**

用74LS00芯片分别构成基本RS触发器和钟控RS触发器，并分别测试其功能。

基本RS触发器



钟控RS触发器



**2. JK、D触发器测试一**

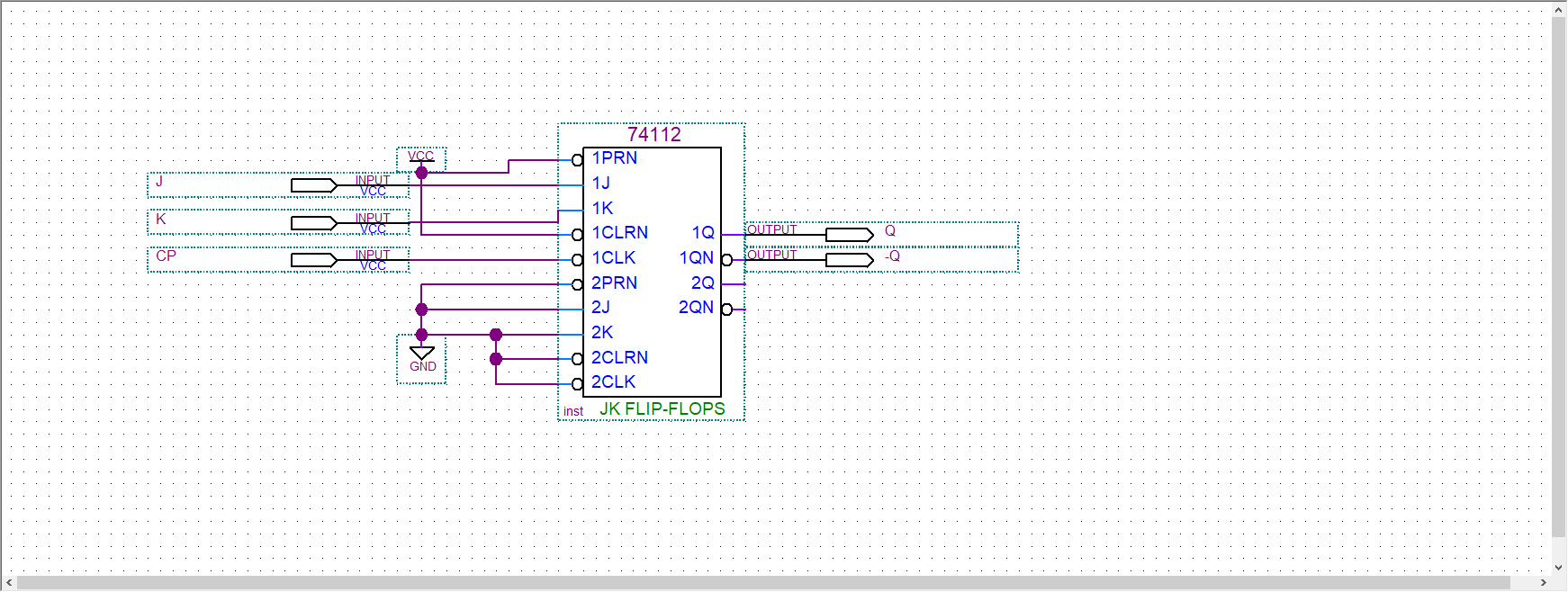
1. 按照<数字逻辑实验指导书>p.81 的要求测试74LS112的异步置位和复位功能。

74LS112是2JK触发器，第一引脚是第一个触发器的时钟脉冲CP1，2脚是K1,3脚是J1，4脚是置位端，低电平有效（即4脚为低时输出位高），5脚为Q1,6脚为Q1\，7脚为第二个触发器的反输出Q2\，8脚接地，9脚为Q2,10脚为第二个出发器的置位端，11为J2,12为K2，13为第二个触发器的时钟脉冲CP2，14为第二个触发器的复位端低电平有效（即14脚为低时输出位低），15为第一个触发器的复位的，16为电源VCC。

1. 用开关作为CP输入，测试JK触发器的外部逻辑功能。

**＝Ｊ＋**

JK触发器，下降沿触发

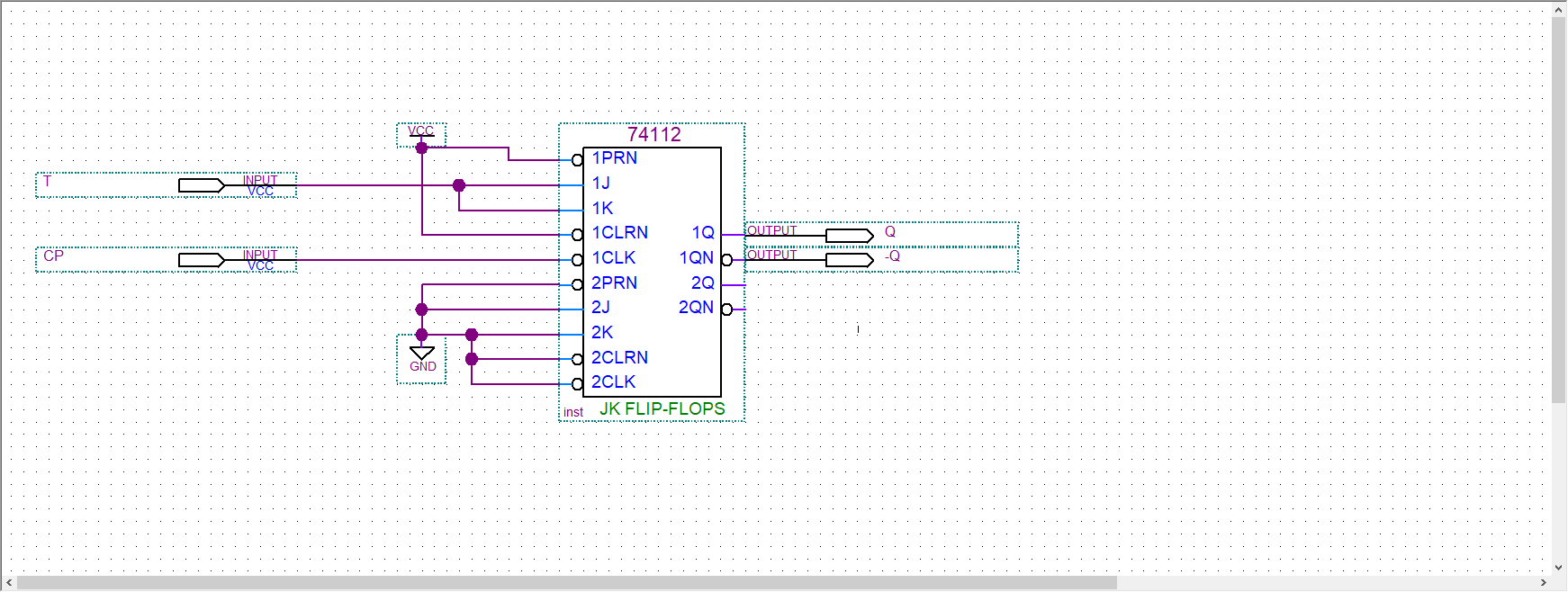


1. 用74LS112实现T触发器和D触发器，并分别测试其外部逻辑功能。

T触发器

**＝**

**联立＝Ｊ＋，得：Ｊ＝Ｋ＝T**



D触发器

Q**ｎ＋１＝Ｄ**

**Ｑｎ＋１ ＝Ｄ（Ｑｎ＋Ｑｎ）**

**联立＝Ｊ＋，得：Ｊ＝Ｄ　　　Ｋ＝**

