**上海大学 计算机学院**

**《数字逻辑实验》报告二**

**姓名 胡才郁 学号 20121034**

**时间 2021/10/12 机位 13 指导教师 周时强**

**实验名称: 组合电路1 空**

**一、实验目的**

异或门逻辑功能测试

使用分立元件的异或门和与非门分别构成半加器和全加器，并进行测试

使用Quartus II设计二位全加器

**二、实验原理**

半加器是对两个一位二进制数进行相加，产生“和”与“进位”。根据半加器的逻辑表达式可知，半加器的“和”Y是A、B的异或，而“进位”C是A、B相与。故半加器可用一个集成异或门和一个与非门组成。

全加器将两个一位二进制数及来自低位的进位Ci-1进行相加，产生“和”与“进位Ci”。构成全加器的方法有多种：可用异或门和与非门等门电路组成，也可用若干与门组成，也可用半加器和或门组成。

在本实验中，二位全加器由一个一位半加器和一个一位全加器组合而成。二位全加器有四个输入端，三个输出端。其中，一位全加器的进位输入为一位半加器的进位输出。二位全加器的较低位输出为一位半加器的本位输出，二位全加器的较高位输出为一位全加器的本位输出，二位全加器的进位输出为一位全加器的进位输出。

**三、实验内容**

**1．实验任务一：用Quartus II设计二位全加器，并下载到FPGA中测试。**

1. 实验步骤

用Quartus II设计电路图，A1，A0，B1，B0为四个输入端，C，S1，S0为三个输出端。A1，A0分为一组A，其中A1为较高位输入，A0为较低位输入；B1，B0分为一组B，其中B1为较高位输入，B0为较低位输入；C，S1，S0分为一组F，其中C为进位输出，S1为较高位输出，S0为较低位输出。然后另存为，编译仿真电路。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | **输出** | | |
| ***A*** | | ***B*** | | ***F*** | | |
| ***A1*** | ***A0*** | ***B1*** | ***B0*** | ***C*** | ***S1*** | ***S0*** |
| 数字1较高位输入 | 数字1较低位输入 | 数字2较高位输入 | 数字2较低位输入 | 进位输出 | 较高位输出 | 较低位输出 |

图示

描述已自动生成

编译通过后模拟输入输出，根据输入输出分为A，B，F三组。其中A组Count Value的Timing值设置为10.0ms，而B组Count Value的Timing值设置为40.0ms，满足B周期为A的4倍，便于观察F输出值的变化。检查输出满足二位全加器的逻辑运算。图形用户界面, 应用程序, 表格, Word, Excel

描述已自动生成

编译通过后模拟输入输出，检查输出满足全加器的逻辑运算。

图形用户界面, 应用程序, 表格, Excel

描述已自动生成

图形用户界面, 应用程序, Excel

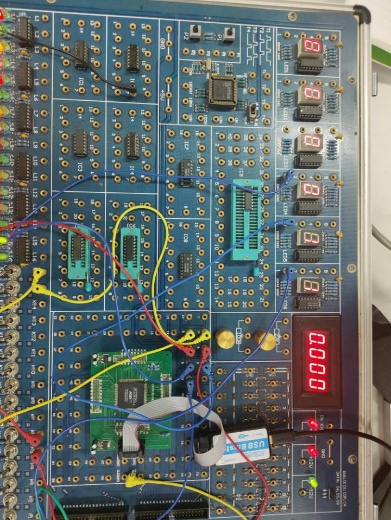
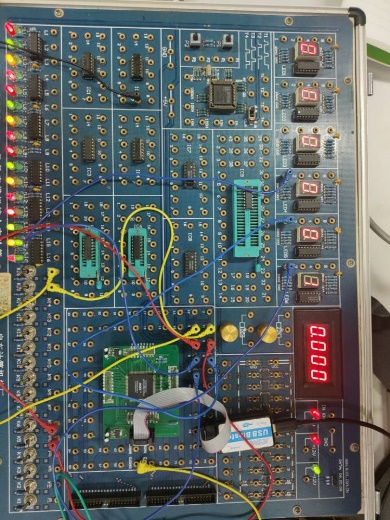
描述已自动生成

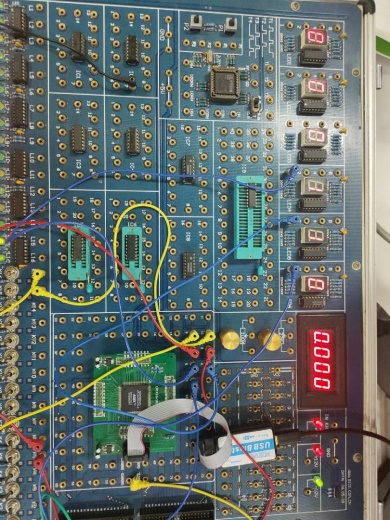
找到与ACEX器件型号对应的芯片，将输入端A1，A0，B1，B0分别对应EP1K30TC144-3引脚138，137，136，135，与开关K1,K2,K3相连；输出端C，S1,S0对应引脚133，132,131，与上端从左向右三个LED电子管“1”插孔相连。根据附录B中实验箱与EP1K30引脚对照表完成接线。调整开关K1,K2,K3，观察LED电子管示数变化。

图形用户界面, 应用程序, 表格

描述已自动生成

1. 实验现象

 上端LED电子管，从左向右依次为逻辑电路中C ,S1,S0输出端。经测试，输入输出与仿真结果和逻辑表达式一致。可编程逻辑器下载成功。 图片包含 电子, 电路, 游戏机, 电脑

描述已自动生成

1. 数据记录、分析与处理

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | A | 00 | 01 | 10 | 11 | 00 | 01 | 10 | 11 |
| B | 00 | | | | 01 | | | |
| **输出** | F | 000 | 001 | 010 | 011 | 001 | 010 | 011 | 100 |

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | A | 00 | 01 | 10 | 11 | 00 | 01 | 10 | 11 |
| B | 00 | | | | 01 | | | |
| **输出** | F | 000 | 001 | 010 | 011 | 001 | 010 | 011 | 100 |

1. 实验结论

二位全加器的四输入端与三输出端满足以下关系

并且所设计的电路可以满足二加器功能

**四、建议和体会**

利用逻辑电路实验箱可以验证设计电路是否满足功能。预先进行仿真电路设计可以简化在实验箱接线的难度。

通过将二位全加器分解成一个一位全加器和一个一位半加器，简化了思维难度，更有利于逻辑电路的设计。