

Homework 3

- 現有一個能偵測接收到的序列圖樣中出現 1 的總個數為三的倍數的電路，其具有單一輸入 x_{in} 及單一輸出 y_{out} (當接收到 1 的總個數為 3 的倍數時則 y_{out} 會為 1，其餘為 0)
 - 參閱 Lab 3 中圖 5-27 的 Moore model 狀態圖 (P60)，畫出上述對應功能的狀態圖 (狀態命名採用 S_0 、 S_1 、.....)
 - 依據上述的狀態圖，撰寫其電路的 verilog 程式 (含 clock，且 reset 為 0 時狀態從 S_0 開始)，並撰寫至少 5 組測試資料 (testbench) 來驗證你電路實現的正確性。(繳交需包含 problem1.v、tb_problem1.v，以及含狀態轉換的模擬結果圖)
 - 依據上述的狀態圖採用 D 型正反器合成法推導出其狀態表、輸入方程式、輸出方程式和邏輯電路圖
 - 依據上述的狀態圖採用 JK 型正反器合成法推導出其狀態表、輸入方程式、輸出方程式和邏輯電路圖
 - 依據上述的狀態圖採用 T 型正反器合成法推導出其狀態表、輸入方程式、輸出方程式和邏輯電路圖
- 現有一個能偵測接收到的序列圖樣中出現 "01xx" 的電路 (x : 0 或 1)，其具有單一輸入 x_{in} 及單一輸出 y_{out} 。在接收序列圖樣 "01xx" 的過程中，當輸入前兩個圖樣 "01" 後， y_{out} 輸出會變為 1，並保持 3 個 clock cycles。然後， y_{out} 輸出會變為 0，並保持 2 個 clock cycles 後再重新進行偵測。
 - 參閱 Lab 3 中圖 5-27 的 Moore model 狀態圖 (P60)，畫出上述對應功能的狀態圖 (狀態命名採用 S_0 、 S_1 、.....)
 - 依據上述的狀態圖，撰寫其電路的 verilog 程式 (含 clock，且 reset 為 0 時狀態從 S_0 開始)，並撰寫至少 5 組測試資料 (testbench) 來驗證你電路實現的正確性。(繳交需包含 problem2.v、tb_problem2.v，以及含狀態轉換的模擬結果圖)
 - 依據上述的狀態圖採用 D 型正反器合成法推導出其狀態表、輸入方程式、輸出方程式和邏輯電路圖
 - 依據上述的狀態圖採用 JK 型正反器合成法推導出其狀態表、輸入方程式、輸出方程式和邏輯電路圖
 - 依據上述的狀態圖採用 T 型正反器合成法推導出其狀態表、輸入方程式、輸出方程式和邏輯電路圖

- 就下列的狀態表

目前狀態	次一狀態		輸出	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	f	b	0	0
b	d	c	0	0
c	f	e	0	0
d	g	a	1	0
e	d	c	0	0
f	f	b	1	1
g	g	h	0	1
h	g	a	1	0

- 列出簡化後的狀態表
- 繪出簡化後狀態表對應的狀態圖
- 當輸入序列為 01010010111 時，輸出的序列為？

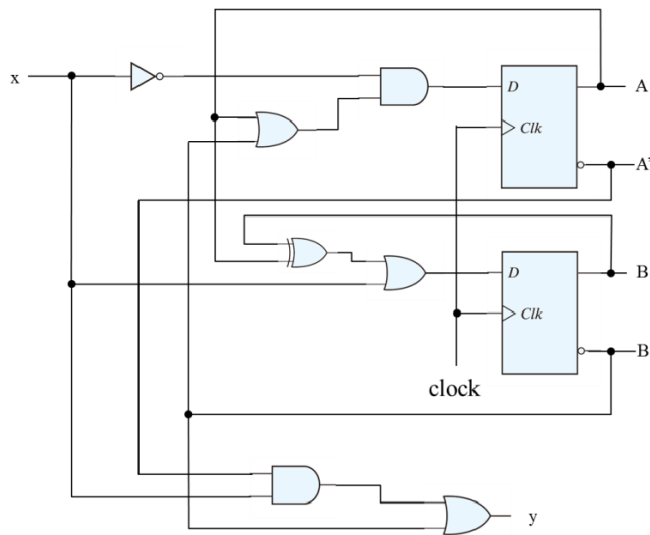
狀態：a

輸入：01010010111

輸出：0

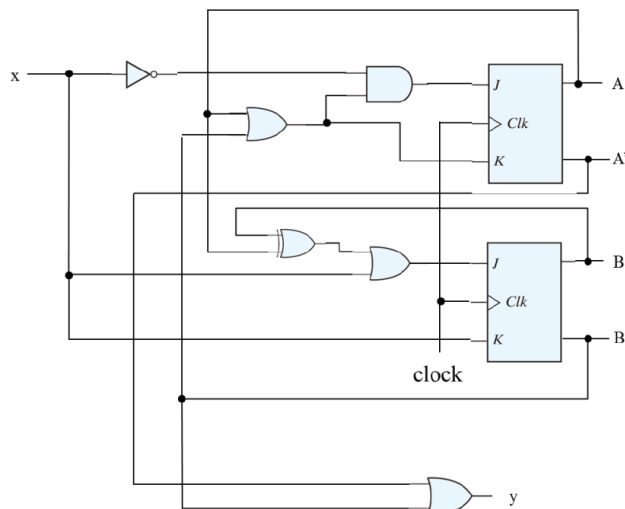
- (d) 依據簡化後的狀態圖，撰寫其電路的verilog 程式(含 clock，且 reset 為 0 時狀態從 a 開始)，並以上述輸入序列 01010010111 做為 testbench 的測試資料，以驗證你電路實現的正確性。
(繳交需包含 problem3.v、tb_problem3.v，以及含狀態轉換的模擬結果圖)

4. 現有一個電路圖如下



- (a) 推導出其狀態表
(b) 依據該狀態表產生對應的狀態圖
(c) 依據該狀態圖，撰寫其電路的 verilog 程式(含 clock，且 reset 為 0 時狀態從 S0 開始)，並撰寫至少 5 組測試資料(testbench)來驗證你電路實現的正確性。(繳交需包含 problem4.v、tb_problem4.v，以及含狀態轉換的模擬結果圖)

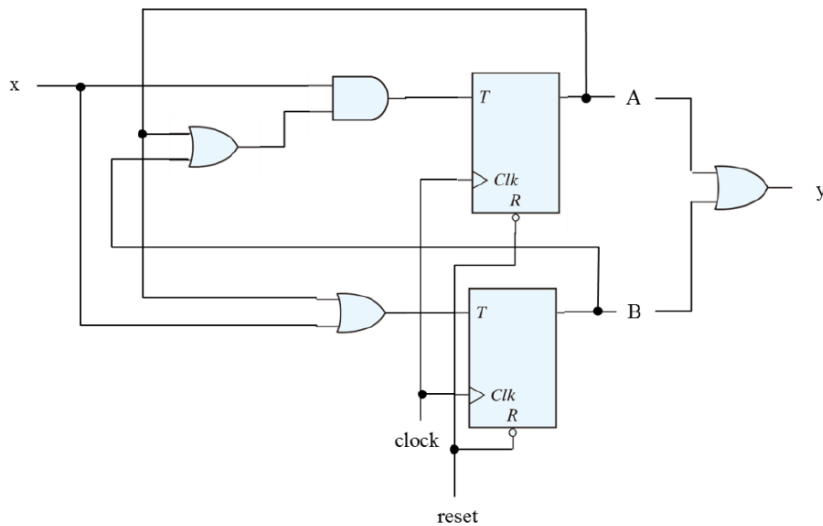
5. 現有一個電路圖如下



- (a) 推導出其狀態表
(b) 依據該狀態表產生對應的狀態圖

- (c) 依據該狀態圖，撰寫其電路的 verilog 程式(含 clock，且 reset 為 0 時狀態從 S0 開始)，並撰寫至少 5 組測試資料(testbench)來驗證你電路實現的正確性。(繳交需包含 problem5.v、tb_problem5.v，以及含狀態轉換的模擬結果圖)

6. 現有一個電路圖如下



- (a) 推導出其狀態表
 (b) 依據該狀態表產生對應的狀態圖
 (c) 依據該狀態圖，撰寫其電路的 verilog 程式(含 clock，且 reset 為 0 時狀態從 S0 開始)，並撰寫至少 5 組測試資料(testbench)來驗證你電路實現的正確性。(繳交需包含 problem6.v、tb_problem6.v，以及含狀態轉換的模擬結果圖)