

# Homework 2

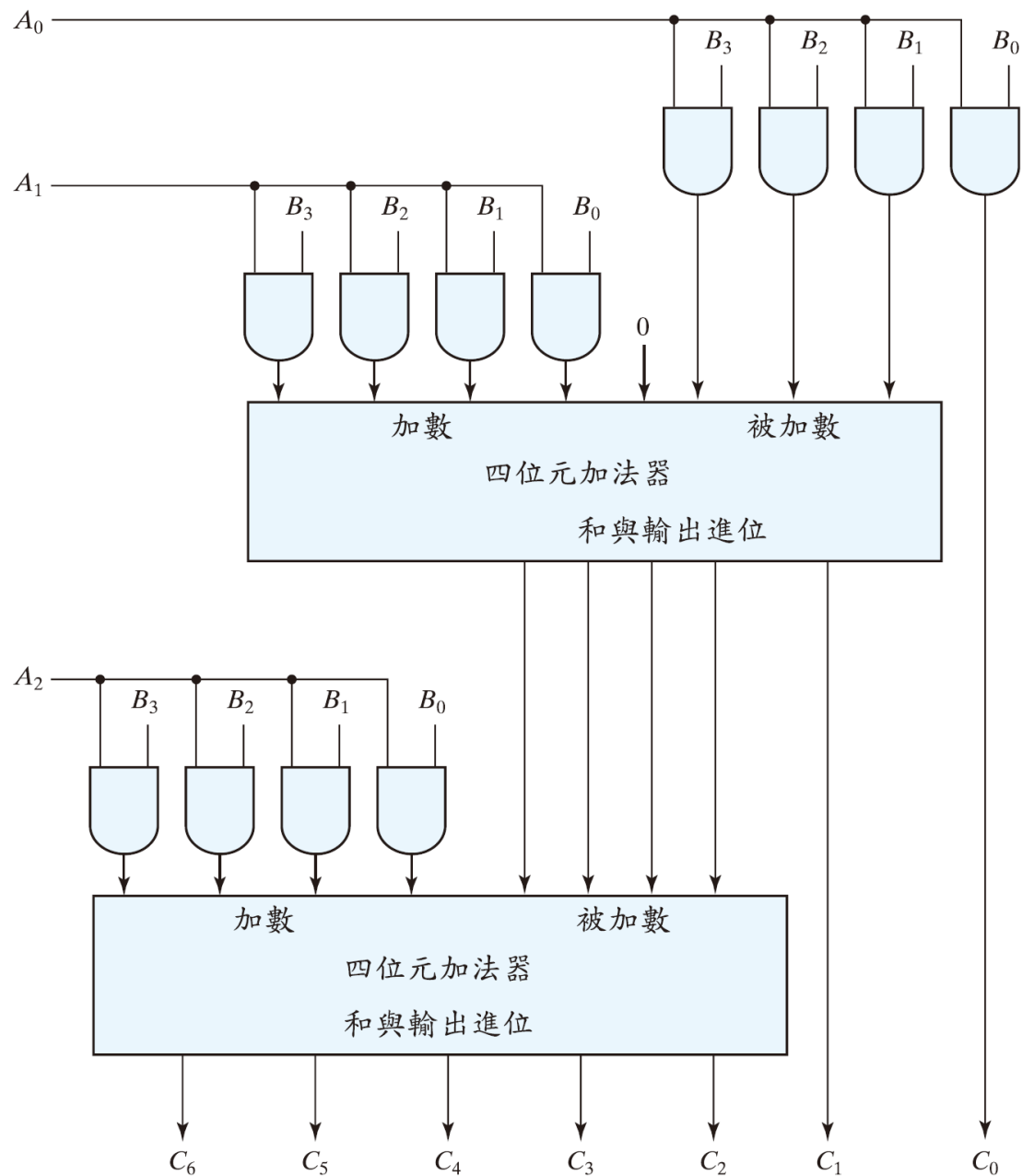
Chun-Hsian Huang (黃駿賢)

Dept. of Computer Science and Information Engineering  
National Taitung University



# 題目

1. 參閱圖4-16，實現一個四位元乘以三位元之二進位乘法器，並撰寫其testbench檔(含至少三組測試資料)
2. 參閱圖4-18，實現一個三對八線解碼器，並撰寫其testbench檔(含至少三組測試資料)
3. 參閱圖4-21，利用三對八線解碼器來實現一個全加法器，並撰寫其testbench檔(含至少三組測試資料)
4. 現有一個函數 $F(A, B, C, D) = \sum m(0, 2, 5, 8, 10, 14)$ ，請參閱圖4-28，利用多工器來實現這個四輸入的函數，並撰寫其testbench檔(含至少三組測試資料)



```

module Mul_4x3(
    input [2:0] A,
    input [3:0] B,
    output [6:0] C
);

    wire [2:0] X1;
    wire [3:0] Y1;
    ...

    and G1();
    and G2();

    ...
    and G12();

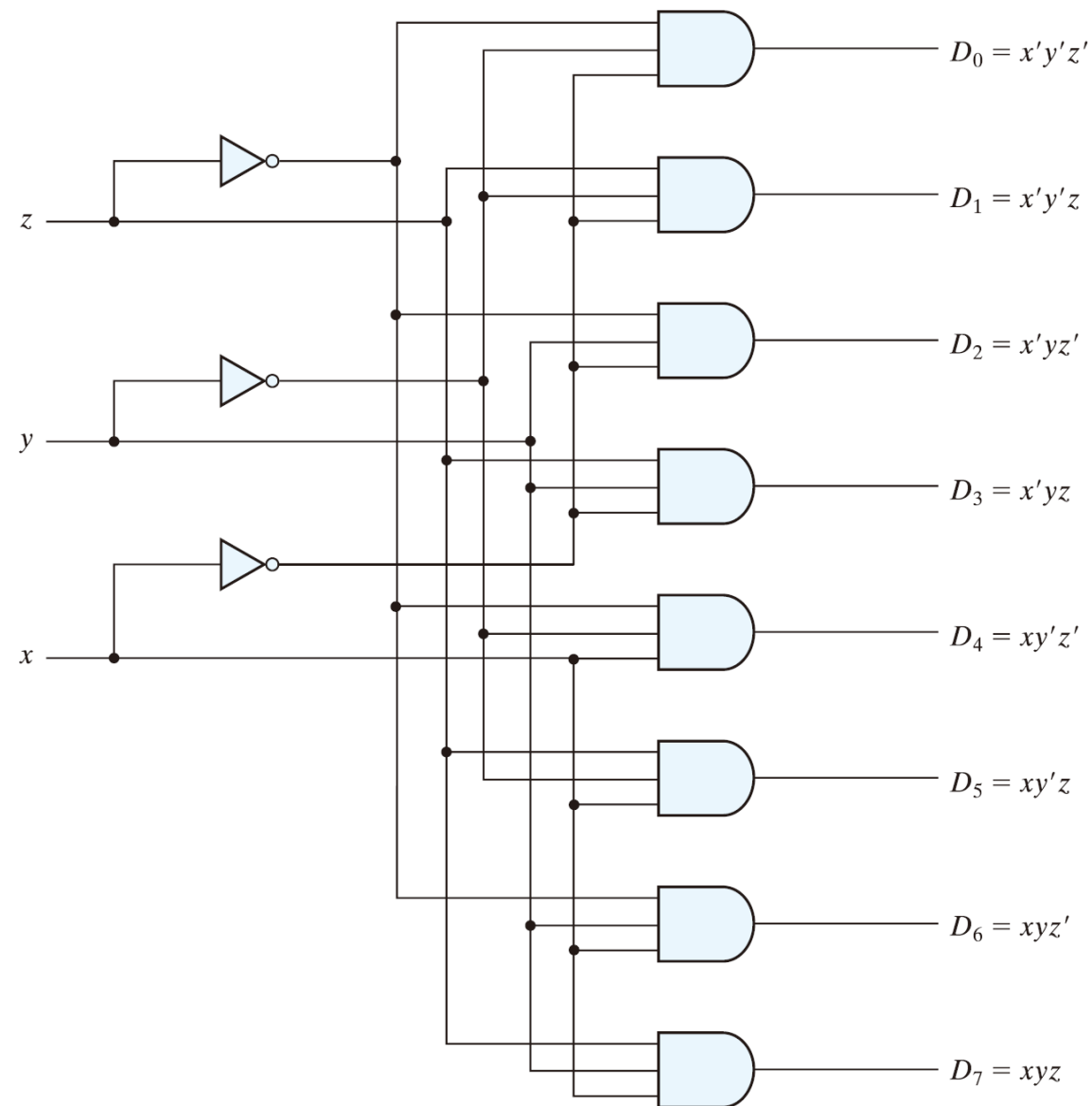
    ripple_carry_4_bit_adder Adder1(
        .S(),
        .C4(),
        .A(),
        .B(),
        .C0()
    );

    ripple_carry_4_bit_adder Adder2(
        .S(),
        .C4(),
        .A(),
        .B(),
        .C0()
    );

endmodule

```

► 圖 4-16 四位元乘三位元之二進位乘法器



```

module Decoder_3x8(
    input x, y, z;
    output [7:0] D
);

    wire [2:0] D0_wire, D1_wire, ..., D7_wire;

    and G0();
    and G1();

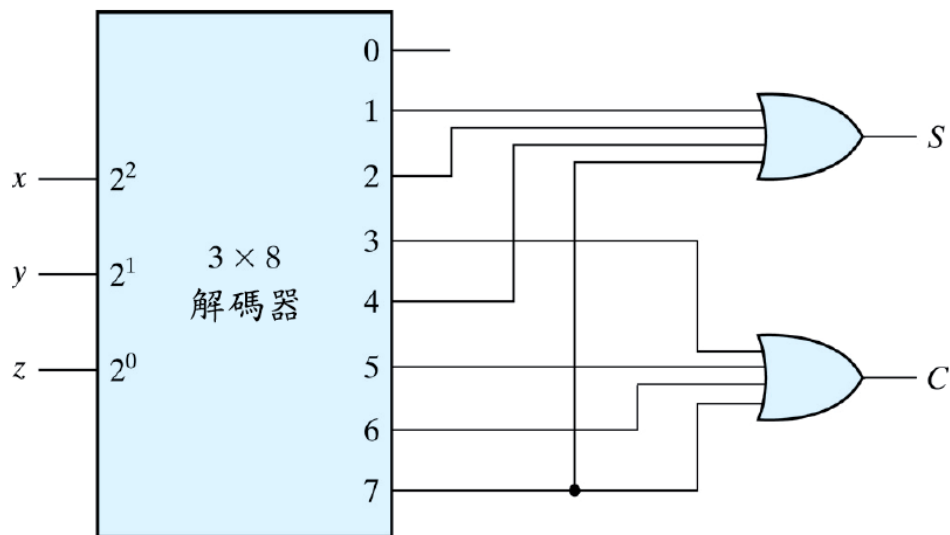
    ...
    and G7();

    not G8();
    ...
    not G10();

endmodule

```

► 圖 4-18 三對八線解碼器



►表 4-4 全加法器

<i>x</i>	<i>y</i>	<i>z</i>	<i>C</i>	<i>S</i>
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$S(x,y,z) = \sum m(1,2,4,7)$$

$$C(x,y,z) = \sum m(3,5,6,7)$$

```

module Full_adder(
    input x, y, z;
    output S, C

    ;

    wire [7:0] D_wire;

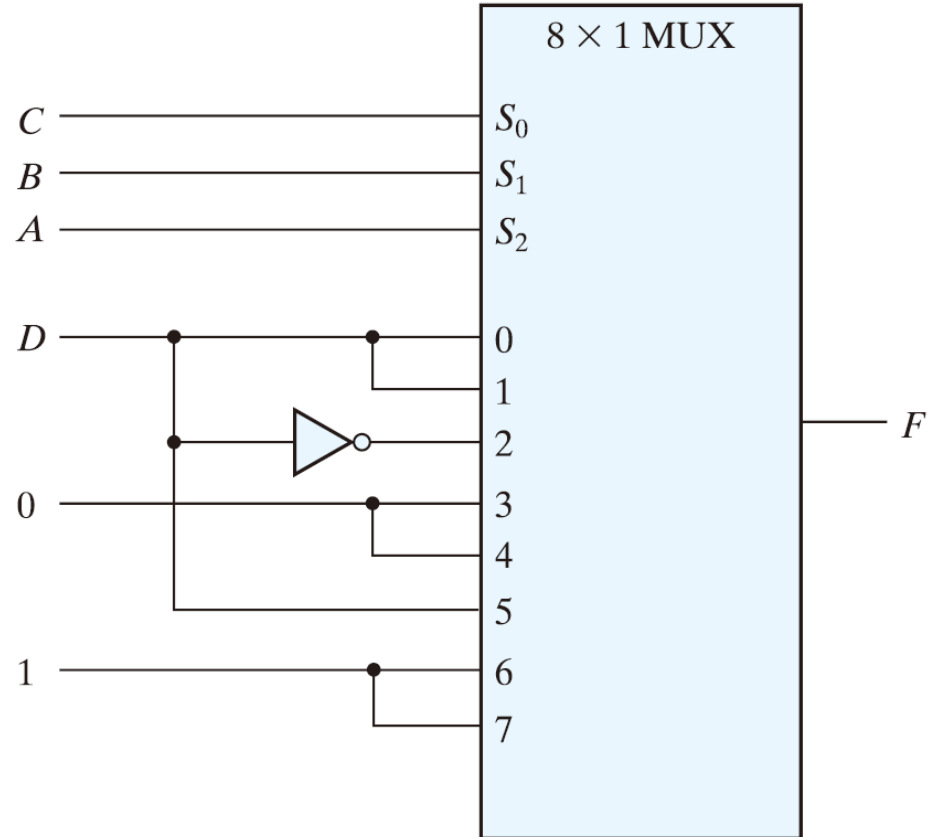
    Decoder_3x8 uut (
        .x(),
        .y(),
        .z(),
        .D()
    );

endmodule

```

範例：  $F(A, B, C, D) = \Sigma(1, 3, 4, 11, 12, 13, 14, 15)$

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>F</i>	
0	0	0	0	0	$F = D$
0	0	0	1	1	
0	0	1	0	0	$F = D$
0	0	1	1	1	
0	1	0	0	1	$F = D'$
0	1	0	1	0	
0	1	1	0	0	$F = 0$
0	1	1	1	0	
1	0	0	0	0	$F = 0$
1	0	0	1	0	
1	0	1	0	0	$F = D$
1	0	1	1	1	
1	1	0	0	1	$F = 1$
1	1	0	1	1	
1	1	1	0	1	$F = 1$
1	1	1	1	1	



題目： $F(A, B, C, D) = \Sigma m(0, 2, 5, 8, 10, 14)$

# 作業繳交

- 各題電路和其testbench檔，以及對應的waveform圖(每題分別用一個資料夾存放，共四個資料夾HW2\_1、HW2\_2、HW2\_3和HW2\_4，最後壓縮為HW2.rar上傳到網路學園)
  1. Mul\_4x3.v、tb\_Mul\_4x3和Mul\_4x3.jpg
  2. Decoder\_3x8.v、tb\_Decoder\_3x8和Decoder\_3x8.jpg
  3. Full\_adder.v、tb\_Full\_adder.v和Full\_adder.jpg
  4. mux\_8x1\_beh.v、tb\_mux\_8x1\_beh.v和mux\_8x1\_beh.jpg