

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ
FACULTAD DE CIENCIAS E INGENIERÍA

SISTEMAS OPERATIVOS

3ra práctica (tipo a)
(Segundo semestre de 2015)

Horario 0781: prof. V. Khlebnikov

Duración: 1 h. 50 min.

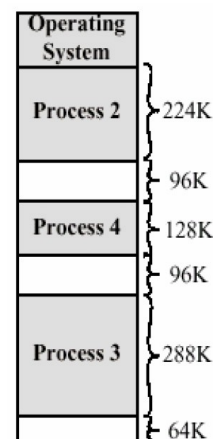
Nota: No se puede usar ningún material de consulta.

La presentación, la ortografía y la gramática influirán en la calificación.

Puntaje total: 20 puntos

Pregunta 1 (7 puntos – 35 min.) Hay tres particiones de tamaño 10, 20 y 30. El programa 1 necesita como mínimo 10 y su tiempo de ejecución será 50, pero si asignar a este programa 12, su tiempo de ejecución se bajará a 30. El programa 2 necesita como mínimo también 10 con el tiempo de ejecución 100, pero si al programa 2 dar 20, su tiempo de ejecución se bajará a 25. El programa 3 necesita 25 con el tiempo de ejecución 19. El programa 4 necesita 19 con el tiempo de ejecución 41. El programa 5 necesita como mínimo 10 con tiempo de ejecución 18, pero si dar a este programa 30, su tiempo de ejecución se crece a 42. Se necesita decidir en qué partición ejecutar cada programa y en qué orden para minimizar el tiempo promedio de *turnaround*. Todos los programas están disponibles al tiempo 0. Indique qué programa se ejecuta en qué partición durante qué intervalo de tiempo, con qué *turnaround time* y con qué fragmentación interna (**5 puntos**), también calcule el tiempo promedio de *turnaround* e indique cómo se cambia la fragmentación externa. Si su tiempo promedio de *turnaround* será el mínimo usted obtiene más **2 puntos**.

Pregunta 2 (3 puntos – 15 min.) El tamaño de la memoria es 1M y el sistema operativo ocupa los inferiores 128K. El resto de la memoria está en uso según la figura adjunta. Si la unidad de asignación es un bloque de 16K, presente el mapa de bits correspondiente al estado de memoria reflejado en la figura. Considere que el mapa de bits se guarda en bytes, y el byte con la dirección superior contiene los bits correspondientes a los bloques de las direcciones superiores. Dentro del byte, el bit menos significativo (bit 0) corresponde a un bloque con la dirección menor que los siguientes bloques.



Presente el mapa de bits en forma binaria y hexadecimal.

Pregunta 3 (7 puntos – 35 min.) Se presenta la figura del artículo *Buddy memory allocation* de Wikipedia con el bloque de asignación de 64K y la memoria de 1M. El sistema tiene una lista de bloques para cada orden de tamaño. Presente estados de estas listas después de procesar cada una de las solicitudes de memoria y de su liberación. Las solicitudes son: 34K para el Programa A, 66K para el Programa B, 35K para el Programa C, 67K para el Programa D, después terminan los Programas B, D, A y C, en este orden. Indique la dirección hexadecimal de cada bloque que está en la lista.

Step	64K		64K	64K	64K	64K	64K	64K	64K	64K	64K	64K	64K	64K	64K	64K
1	2 ⁴															
2.1	2 ³								2 ³							
2.2	2 ²				2 ²				2 ³							
2.3	2 ¹		2 ¹		2 ²				2 ³							
2.4	2 ⁰	2 ⁰	2 ¹		2 ²				2 ³							
2.5	A: 2 ⁰	2 ⁰	2 ¹		2 ²				2 ³							
3	A: 2 ⁰	2 ⁰	B: 2 ¹		2 ²				2 ³							
4	A: 2 ⁰	C: 2 ⁰	B: 2 ¹		2 ²				2 ³							
5.1	A: 2 ⁰	C: 2 ⁰	B: 2 ¹		2 ¹		2 ¹		2 ³							
5.2	A: 2 ⁰	C: 2 ⁰	B: 2 ¹		D: 2 ¹		2 ¹		2 ³							
6	A: 2 ⁰	C: 2 ⁰	2 ¹		D: 2 ¹		2 ¹		2 ³							
7.1	A: 2 ⁰	C: 2 ⁰	2 ¹		2 ¹		2 ¹		2 ³							
7.2	A: 2 ⁰	C: 2 ⁰	2 ¹		2 ²				2 ³							
8	2 ⁰	C: 2 ⁰	2 ¹		2 ²				2 ³							
9.1	2 ⁰	2 ⁰	2 ¹		2 ²				2 ³							
9.2	2 ¹		2 ¹		2 ²				2 ³							
9.3	2 ²				2 ²				2 ³							
9.4	2 ³								2 ³							
9.5	2 ⁴															

The diagram illustrates the address translation process in a 3-level system:

- Virtual Address (VA):** A 32-bit address split into a 20-bit **VPN** (Virtual Page Number) and a 12-bit **VPO** (Virtual Page Offset).
- TLB (Translation Lookaside Buffer):** Consists of 16 sets, 4 entries/set. It is accessed via **TLBT** (TLB Table) and **TLBI** (TLB Index).
 - TLB hit:** The **PPN** (Physical Page Number) is obtained directly from the TLB.
 - TLB miss:** The **VPN** is used to access the **PDE** (Page Directory Entry) in the **PDBR** (Page Directory Base Register).
- Page Tables:** The **PDE** points to a page table. The **VPO** is used to access the **PTE** (Page Table Entry) within that page table. The **PTE** provides the **PPN**.
- L1 Cache:** Consists of 128 sets, 4 lines/set. It is accessed using the **PPN**.
 - L1 hit:** The **PA** (Physical Address) is obtained directly from the L1 cache.
 - L1 miss:** The **PPN** is used to access the **L2 and Main memory**.
- Physical Address (PA):** The final 32-bit result, obtained either from the L1 cache or the L2 and Main memory.



Profesor del curso: (0781) V. Khlebnikov

2 de 2