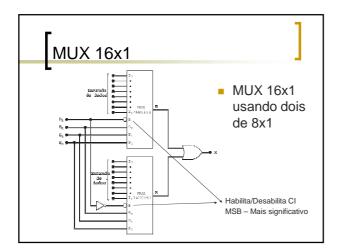


Multiplexadores de 2, 4, 8 e 16 entradas estão prontamente disponíveis nas famílias lógicas. Ex: 74ALS151 = MUX 8x1 Estes CIs básicos podem ser combinados para formar MUXes com um número maior de entradas.



MUX 16x1

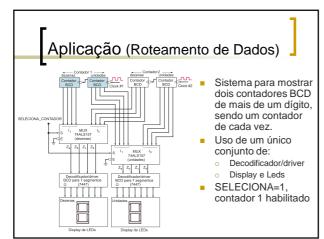
- O circuito anterior usa dois Cis 74HC151, um inversor e uma porta OR.
- O circuito tem um total de 16 entradas de dados, oito aplicadas em cada MUX. As duas saídas do MUX são combinadas em uma porta OR para gerar uma única saída X
- O circuito funciona como um MUX de 16 entradas. As quatro entradas de seleção S₃ S₂ S₁ S₀ selecionam uma das 16 entradas para transferí-la para a saída X.

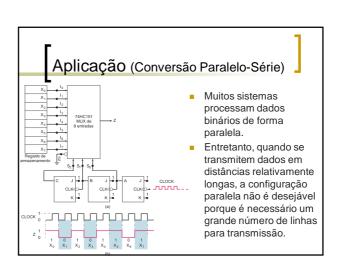
MUX 16x1

- A entrada S₃ determina o MUX que é habilitado. Quando S₃ = 0, o MUX da parte superior é habilitado, e as entradas S₂ S₁ S₀ determinam a entrada de dados que será transmitida para a saída passando pela porta OR até X.
- Quando S₃ = 1, o MUX da parte inferior é habilitado, e as entradas S₂ S₁ S₀ selecionam uma das entradas de dados para passar para a saída X.

Aplicações dom MUX

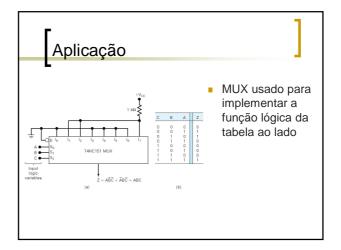
- Circuitos multiplexadores encontram numerosas e diversas aplicações em sistemas digitais de todos os tipos. Essas aplicações incluem:
 - Seleção de Dados
 - Roteamento de Dados
 - o Sequenciamento de Operações
 - Conversões Série-Paralelo
 - Geração de Formas de Onda
 - o Geração de Funções Lógicas





Aplicação (Conversão Paralelo-Série)

- Os dados s\(\tilde{a}\) apresentados no formato paralelo na sa\(\tilde{a}\) do registrador X e colocados nas 8 entradas do MUX.
- Um contador de 3 bits (módulo 8) é usado para gerar os bits do código de seleção S₂ S₁ S₀ de modo que ele cicle de 000 a 111 à medida que os pulsos de clock forem aplicados.
- Desse modo, a saída do MUX será X₀ durante o primeiro período de clock; X₁ durante o segundo e assim por diante.
- A saída Z é uma forma de onda que é a representação serial do dado paralelo de entrada.
- A conversão gasta um total de 8 ciclos de clock.



Exercício

- Implementar um MUX 8x1 em VHDL e de forma gráfica
- Implementar um conversos paralelosérie.