CO project 5 – Pipelined CPU Ⅱ

*ID: 0340249*

*Name: 孫聖*

* Introduction

這個實驗中我們要進一步完善之前所完成的Pipelined CPU，首先要增加forwarding unit解決部分data hazard，之後增加data dection unit解決load-use hazard，最後增加相應模組實現branch等指令。

* Procedure

Forwarding unit：先是補充了Pipelined Register使得必要的資料能夠一直傳遞下去。之後根據forwarding的規則進行連線。

Data dection unit：同樣根據課上學到的規則進行實現。

Branch和Jump：將lab3中的模組遷移過來並稍作修改。

* Results

能夠通過助教給的測資，之後將lab3的部分測資進行修改也能通過。

* Conclusion

這次實驗的過程當中也遇到了許多問題。首先是由於連線數量太多，很容易將編號弄錯，導致整個程式不能正常執行。第二，將lab3模組遷移過來的過程中，由於很多信號都會從1bit變為2bits，但是為了減少對原來編號的影響，只好將它們分開來，這樣會導致Pipelined Register中變數種類繁多。第三，在實現branch等指令時，沒有將他們提前，而是停3cycles，但需要將指令flush掉。第四，在實現jump指令時，第二階段並不能夠判斷，可能是因為對指令的解碼時間過長導致不足以判斷jump，因此在EX階段才來判斷是否跳轉。