## REPUBLIC OF TURKEY GAZI UNIVERSITY

# FACULTY OF ENGINEERING DEPARTMENT OF ELECTRICAL AND ELECTRONICS ENGINEERING

### EEE 481 COMPUTER ARCHITECTURE



CAN AHMET ACAR
171110001
FINAL PROJECT ÇARPICI MİMARİSİ

#### 1) Çarpıcı Mimarileri

Bilgisayarda gerçekleştirilen aritmetik işlemlerin temelinde toplama işlemi vardır. Şifreleme, şifre çözme algoritmaları ve sinyal işleme gibi birçok bilimsel uygulamanın temeli olan çarpma işlemi de temelde kaydırma ve toplama işlemi esasına göre gerçekleştirilmektedir.

Çarpma işlemi algoritmalarının yapısı, özellikle bilimsel programlarda yüksek kapasiteli veriler ile çalışıldığı zaman, bilgisayarın performansını etkileyen en önemli etkendir.

Bir bilimsel programın yaklaşık %9'u çarpma işleminden oluşur. Bu sebepten dolayı bilgisayar teknolojisindeki gelişmeleri takip eden yıllar içerisinde çok çeşitli çarpma algoritmaları geliştirilmiştir.

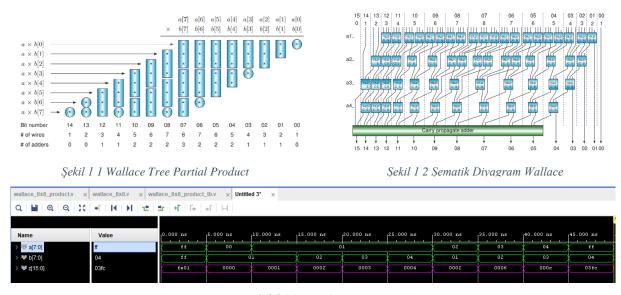
Verinin boyutuna ve işleneceği algoritmanın uygunluğuna göre seçilecek olan çarpma algoritması bilgisayarın işlemci performansı arttırılmadan işlem hızını arttırabilir.

Ödev boyunca Wallace tree ve geliştirilmiş yöntemi ele alınacaktır ardından signed çarpıcılarda kullanılan booth algoritması ve geliştirilme yöntemi ele alınmıştır.

#### 1.1) Wallace Tree

Wallace Tree algoritması kismi ürünleri iki sayı kalana kadar aşamalı olarak toplamak için csa modülünü kullanır. Wallace Tree çarpanları her katmanda mümkün olduğu kadar azalır.<sup>2</sup>

Şekil 1.1 de partials of products ların csa modülleri ile sınıflandırıldı gözlemlenmektedir. Şekil 1.2 de daha ayrıntılı ele alınılarak carry ve sum bit lerinin bir sonraki aşamada neye gideceği gözlemlenmiştir. Her aşamada üertilen carry ve sumlar diğer aşamada giriş olarak kullanılmıştır

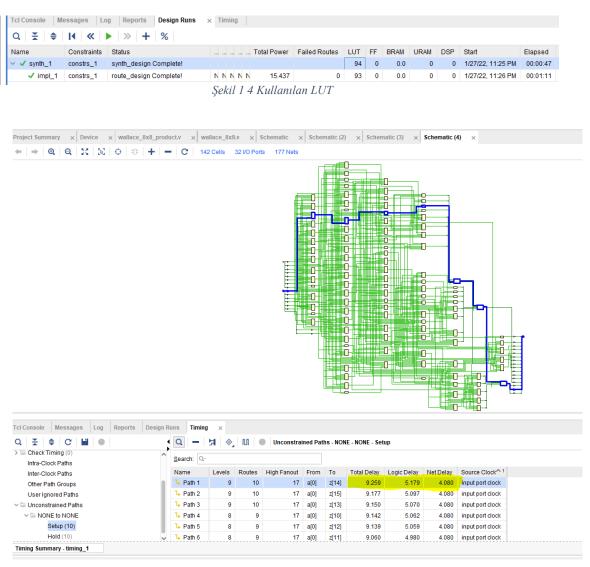


Şekil 1 3 Waveform

Şekil 1.3 Waveform analizi yapılmıştır. Çarpma işlemleri beklenen sonuçları vermiştir.

Wallace Tree çarpıcı algoritmasının performans analizi için başta sıkıntı yaşanmıştır. Combinantional logic devrelerinde delay bulmak için sentez ve implementation işlemlerinin ardından donanımın zaman analizi inf çıkmaktadır. Gecikme delayını bulmak için

"Unconstrained paths" kategorisinden en uzun yola bakılarak delay blunmuştur. Gecikme 9.259 ns dir. Sentez için 94, implementation için 93 tane LUT kullanılmıştır.



Şekil 1 5 Statik Zaman Analizi

#### 1.2) Geliştirme Yöntemi

Wallace Tree algoritmasını geliştirmek için yapılan araştırmalar sonucunda Dadda algoritması gözlemlenmiştir. Dadda algoritması Wallace tree oldukça benzemektedir fakat partial of product kavramında bir primadi andıracak biçimde yerleştirilir. İndirgeme metodu biraz karmaşıktır;

• Azalma maksimum yükseklik dizisi ile kontrol edilir.  $^{4,5}$   $d_1=2$  ve  $d_{j+1}=floor(1.5d_j)$  buradan yola çıkarak  $d_1=2$ ,  $d_2=3$ ,  $d_3=4$ ,  $d_4=6$ ,  $d_5=9$ ,  $d_6=13$ ..

Başlangıç değeri j olacak biçimde en büyük değer seçilir. d<sub>j</sub> < min(n1,n2) n1 ve n2 giriş çarpanındaki bit sayısıdır. Her aşamada indirilmesinin sebebi ise sütun yüksekliğinin azaltılması d<sub>j</sub> değerinde olacak şekilde veya daha küçük biçimde olacak biçimde azaltmaktır.

$Y$ ükseklik $(c_i) \le d_j$	Sütun azaltmak gerekmez
$Y \ddot{u} k sek lik(c_i) = d_j + 1$	Yarım toplayıcı kullanılarak sütunlar azaltılır.
Diğer durumlar	dj seviyesi için kullanılacak FA veya HA belirlenerek sütun azaltılır.

DADDA	C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0
								a7b0	a6b0	a5b0	a4b0	a3b0	a2b0	a1b0	a0b0
							a7b1	a6b1	a5b1	a4b1	a3b1	a2b1	a1b1	a0b1	
						a7b2	a6b2	a5b2	a4b2	a3b2	a2b2	a1b2	a0b2		
					a7b3	a6b3	a5b3	a4b3	a3b3	a2b3	a1b3	a0b3			
FA				a7b4	a6b4	a5b4	a4b4	a3b4	a2b4	a1b4	a0b4				
			a7b5	a6b5	a5b5	a4b5	a3b5	a2b5	a1b5	a0b5					
		a7b6	a6b6	a5b6	a4b6	a3b6	a2b6	a1b6	a0b6						
	е	a6b7	a5b7	a4b7	a3b7	a2b7	a1b7	a0b7							
1. ADIM	C14	C13	C12	C11	C10	C9	C8	<b>C</b> 7	C6	C5	C4	C3	C2	C1	CO
	a7b7	a7b6	a7b5	a7b4	a7b3	a7b2	a7b1	a7b0	a6b0	a5b0	a4b0	a3b0	a2b0	a1b0	a0b0
		a6b7	a6b6	a6b5	a6b4	a6b3	a6b2	a6b1	a5b1	a4b1	a3b1	a2b1	a1b1	a0b1	
			a5b7	a5b6	a5b5	a5b4	a5b3	a5b2	a4b2	a3b2	a2b2	a1b2	a0b2		
				a4b7	a4b6	a4b5	a4b4	a4b3	a3b3	a2b3	a1b3	a0b3			
					a3b7	a3b6	a3b5	a3b4	a2b4	a1b4	a0b4				
						a2b7	a2b6	a2b5	a1b5	a0b5					
							a1b7	a1b6	a0b6						
							a0b7								
2. ADIM	C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	CO
	a7b7	a7b6	a7b5	a7b4	a7b3	C103	S103	C100	S100	a5b0	a4b0	a3b0	a2b0	a1b0	a0b0
		a6b7	a6b6	a6b5	C105	S105	C101	S101	a4b2	a4b1	a3b1	a2b1	a1b1	a0b1	
			a5b7	a5b6	a6b4	a4b5	C102	S102	a3b3	a3b2	a2b2	a1b2	a0b2		
				a4b7	a5b5	C104	S104	a2b5	a2b4	a2b3	a1b3	a0b3			
					a4b6	a3b6	a2b6	a1b6	a1b5	a1b4	a0b4				
					a3b7	a2b7	a1b7	a0b7	a0b6	a0b5					
3. ADIM	C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0
	a7b7	a7b6	a7b5	C211	S211	C207	S207	C203	S203	C200	S200	a3b0	a2b0	a1b0	a0b0
		a6b7	C213	S213	C209	S209	C205	S205	C201	S201	a2b2	a2b1	a1b1	a0b1	
			a6b6	a4b7	C210	S210	C206	S206	C202	S202	a1b3	a1b2	a0b2		
			a5b7	C212	S212	C208	S208	C204	S204	a0b5	a0b4	a0b3			
4. ADIM	C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0
	a7b7	a7b6	C308	S308	C306	S306	C304	S304	C302	S302	C300	S300	a2b0	a1b0	a0b0
		C309	S309	C307	S307	C305	S305	C303	S303	C301	S301	a1b2	a1b1	a0b1	
		a6b7	a5b7	C212	S212	C208	S208	C204	S204	a0b5	a0b4	a0b3	a0b2		
TOPLAMA	C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0
	a7b7	C410	S410	C408	S408	C406	S406	C404	S404	C402	S402	C400	S400	a1b0	a0b0
	C411	S411	C409	S409	C407	S407	C405	S405	C403	S403	C401	S401	a0b2	a0b1	

Şekil 1 6 Şematik Diyagram

.

#### 8x8 çarpıcı olduğu için ilk koşul $\mathbf{j} = \mathbf{4}$ , $\mathbf{d}_4 = \mathbf{6}$

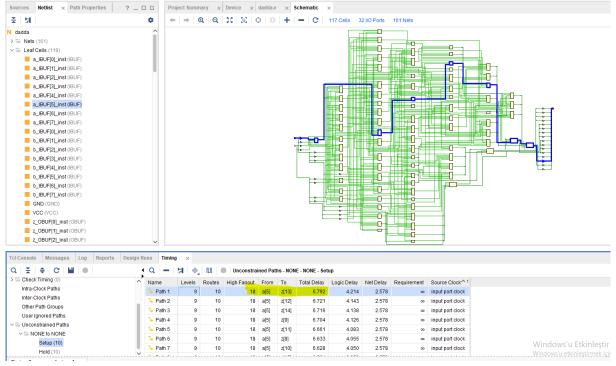
Yükseklik(c <sub>0</sub> c <sub>5</sub> )	s) 6 bitten az veya eşit bu yüzden değişim olmaz			
$Y\ddot{u}kseklik(c_6) = d_4 + 1 = 7$	HA kullanılarak sütunun yüksekliği 6 bit yapılır.			
Yükseklik(c7) = 9	c <sub>6</sub> dan gelen carry bitliye 9 bit olur ve 1 FA ve 1 HA kullanılarak 6 bite indirgenir.			
Yükseklik(c <sub>8</sub> ) = 9	c <sub>7</sub> den gelen 2 carry bitiyle 9 bit olur ve 1 FA ve 1 HA kullanılarak 6 bite indirgenir.			
Yükseklik(c <sub>9</sub> ) = 8	c <sub>8</sub> den gelen 2 carry bitiyle 8 bit olur ve 1 FA kullanılarak 6 bite indirgenir.			
Yükseklik(c <sub>10</sub> c <sub>14</sub> )	6 bitten az veya eşit bu yüzden değişim olmaz			

 $d_j < \min(n1,n2)$  bakılarak artık j=3,  $d_3=4$  olur. Bu aşamada bir sonraki adım için 4 bit veya daha az bite indirgemeye çalışılır. 4. Aşama sonunda Şekil1.6 da görüldüğü gibi indirgeme işlemi gerçekleşmiştir ve klasik toplama işlemi ile kalan bitler toplanarak sonucu ulaşılır. Şekil 1.7 de kontrolü sağlanmıştır.

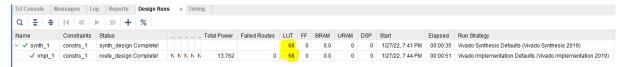


Şekil 17 Waveform

Zaman analizi ve donanım üzerindeki performansına bakacak olursak; Şekil 1.8 de kullanılan en uzun yol için gecikmenin 6.792ns olduğu gözlemlenmiştir. Şekil 1.9 da kullanılan LUT sayılarının sentezleme için 68, implementation için 68 olduğu sonucuna ulaşılmıştır.



Şekil 1 8 Statik Zaman Analizi



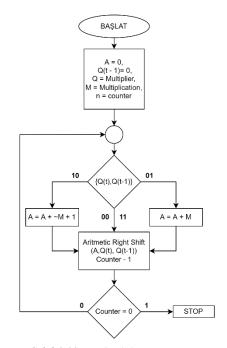
Şekil 19 Kullanılan LUT Miktarı

#### 1.3) Booth Metodu

Algoritmanın anlaşılabiliriği için matematiksel bir gösterim ele alınmıştır. <sup>6</sup>

$$7 \times 3 = 21$$
 ----  $M = 7(0111), Q = 3(0011)$ 

A	Q(t)	Q(t - 1)	Adım
0000	0011	0	$A + \sim M + 1$
1001	0011	0	Shift
1100	1001	1	
1100	1001	1	Shift
1110	0100	1	
1110	0100	1	A + M
0101	1010	0	Shift
0010	1010	0	
0010	1010	0	Shift
0001	0101	0	
0001	0101	= 21	



Şekil 1 10 Booth Blok Diyagram

Kod yazılırken bir booth alt modülü ve top modülü oluşturulmuştur çarpılacak sayılarının bit uzunluğu kadar alt modül çağrılmıştır.

```
O wire [7 : 0] A_sum = A_in + M;
O wire [7 : 0] A_sub = A_in + ~M + 1;
         always @(A_in, M, Q_in,A_sum,A_sub)
             case (Q_in[1 : 0])
20
21
                 2'b00, 2'b11: begin
23
                                 A_temp = {A_in[7] , A_in[7 : 1]};
24
                                 Q_temp = {A_in[0] , Q_in[8 : 1]};
25
     0
                                 end
                               : begin
                                 A_temp = {A_sum[7] , A_sum[7 : 1]};
28
29
                                 Q_{temp} = {A_sum[0], Q_in[8:1]};
     0
                                 end
30
                 2'b10
                               : begin
                                A_temp = {A_sub[7] , A_sub[7 : 1]};
32
                                 Q_temp = {A_sub[0] , Q_in[8 : 1]};
     Ö
33
34
               endcase
```

Sekil 1 11 Alt Modül

```
8
       wire [7 : 0] A_out_1,A_out_2,A_out_3,A_out_4,A_out_5,A_out_6,A_out_7,A_out_8;
9
        wire [8:0] Q_out_1,Q_out_2,Q_out_3,Q_out_4,Q_out_5,Q_out_6,Q_out_7,Q_out_8;
10
       booth i_001 (8'b00000000, M, {Q,1'b0} , A_out_1, Q_out_1 );
11
       booth i_002 (A_out_1,M,Q_out_1 ,A_out_2,Q_out_2 );
12
                                          ,A_out_3,Q_out_3 );
13
       booth i_003 (A_out_2,M,Q_out_2
       booth i_004 (A_out_3,M,Q_out_3
14
                                          ,A_out_4,Q_out_4 );
15
       booth i_005 (A_out_4,M,Q_out_4
                                         ,A_out_5,Q_out_5 );
       booth i_006 (A_out_5,M,Q_out_5
                                          ,A_out_6,Q_out_6 );
17
       booth i 007 (A out 6, M, Q out 6
                                          ,A out 7,Q out 7 );
       booth i_008 (A_out_7,M,Q_out_7
18
                                          ,A_out_8,Q_out_8 );
19
20 O assign Z = {A_out_8, Q_out_8[8:1]};
```

Şekil 1 12 Top Modül



Şekil 1 13 Booth Waveform

#### 1.4) Geliştirme Metodum

Algoritmaya Moore sonlu durum makinası eklenmesi planlanmıştır. Tek modül kullanılacaktır.

- Durumları belirtecek 3 bitlik state tanımlanmıştır.
- Her yükselen kenar clk darbesinde diğer state e gidilerek işlem devam etmiştir.
- u sayıcı ile bit uzunluğuna kadar işlem yapılacağı için sayma işlemi yapılmıştır.
   Her state girişte u yu kontrol ederek işlemin tamam mı devam mı edeceğine karar verir.
- 6 durum bulunmaktadır. State nin 2. biti 1 ken algoritmadaki sifht, toplama veya çıkarma durumlarını ele alacaktır. 2. Biti 0 ken başlangıç ve sonuç işlemlerine gidilecektir. Şekil 1.14
- 0 ve 1 bitleri ise Q ve Q(t- 1) den alınacaktır. Bir k kontrolcüsü tanımlanmıştır ve state girdiğinde ilk iş Q nun 0. Bitini kontrol değişkenine atamaktır, bu değer 3 bitlik state değişkeninin 0. Bitini temsil edecektir. Ardından shift işlemi gerçekleştirilir ve değişmişi Q nun son biti 1. Bit olarak state e eşitlenir. Şekil 1.15.

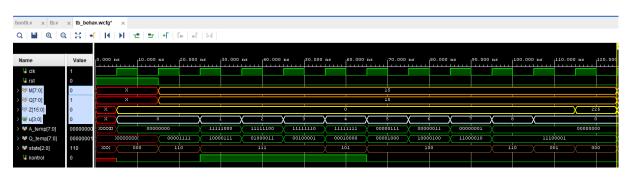
```
16
        parameter [2 : 0]
                              S100
                                     = 3'b100,
17
                              S101
                                     = 3'b101,
                                     = 3'b110,
18
                              S110
19
                              S111
                                     = 3'b1111,
                                    = 3'b0000,
20
                              IDLE
21
                              sonuc = 3'b001;
22
```

Şekil 1 14 Stateler

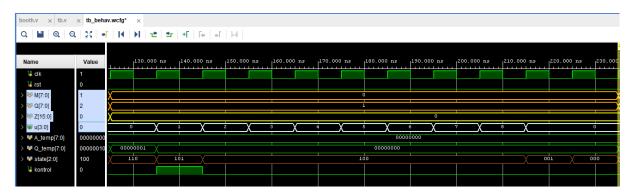
```
S101
           : begin
                if(u >= 8) begin
                           u = 4'b00000;
                           state = SONUC;
                           end
                else
                           begin
                           A temp = A temp + M;
                            kontrol = Q temp[0];
                            Q temp = {A temp[0] , Q temp[7 : 1]};
                            A temp = {A temp[7] , A temp[7 : 1]};
                            u = u + 4'b0001;
                            state = {1'b1,Q_temp[0],kontrol};
                            end
            end
```

Şekil 1 15 State nin İç Yapısı

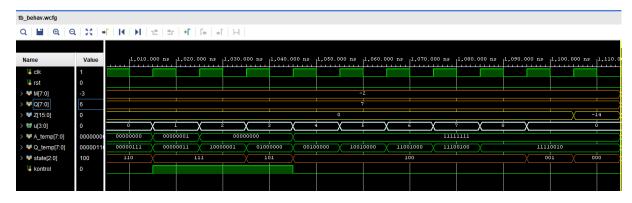
Sistem clk lu bir devre olduğundan her state de geçirdiği zaman dikkate alınarak testbench de her adım için 110ns lik gecikmeler verilmiştir. Her 110 ns içerisinde IDLE ile başlayarak 8 kontrol adımını takip ediyor ardından SONUÇ state ine girerek sonucu buluyor ve IDLE stateine geçerek bir döngüsünü tamamlamaktadır. Kodlamaya başladıktan sonra sistemde çok farklı değerler aldım bunları gidermek için u sayıcısını ve yükselen clk darbesinden sonra değişimleri analiz ederek hataların hangi adımda oluştuğunu ve nasıl telafi edilebileceğine çözümler getirerek sorunsuz bir kod yazdım. Testbench dede olabilecek muhtemel durumların (Eksi durumları, pozitif ve 0 durumları) analiz edilmiştir.



*Şekil 1 16 0 - 125ns Waveform(15\*15)* 

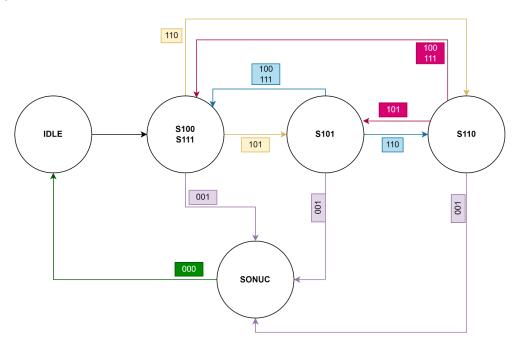


*Şekil 1 17* 125 - 235ns Waveform(0 \* 1)



*Şekil 1 18* 1.005 - 1.115 ns Waveform (-2 \* 7)

Waveform da analiz sonuçları gösterilmiştir farklı ns ler de farklı değerler analiz edilerek sonucun doğrulu tespit edilmiştir. Ve kod boyunca oluşan düzen hiç bozulmamıştır 0ns den +1000ns ye kadar farklı değer aralıklarında analiz edilerek kodun stabil çalıştığı kanısına varılmıştır.

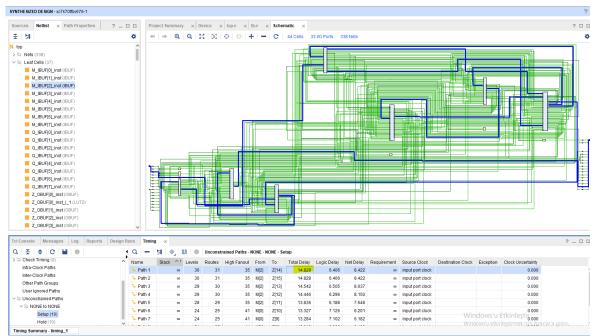


Şekil 1 19 Durum Makinası Tasarımı

Klasik moore sonlu durum makinası bloğu ele alınmıştır. Kod yazılımda belirlenen state geçişleri blok diyagramda kod başlamadan önce analiz edilmiştir ve kod yazılırken sonlu durum makinalarını kullanmak oldukça anlaşılır bir tasarım yapmaya olanak sağlamıştır.

#### PERFORMANS ANALİZİ

Donanım üzerindeki gecikme miktarı ele alınmıştır. Booth metodu 8 bit çarpıcı algoritması için14.828ns çıkmıştır. Öte yandan sonlu durum makinaları ile geliştirdiğim algoritmada 7.399 ns çıkmıştır yani100 de 50 üzerinde iyileştirme sağlanmıştır.



Şekil 1 20 Statik Zaman Analizi



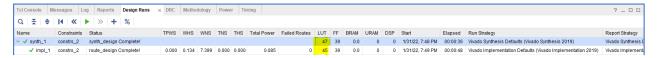
Şekil 1 21 Geliştirilmiş Booth Algoritması Zaman Analizi

Burada zaman analizi için unconstrained path kullanılmamasının nedeni devre clk darbelerini kullanarak çalışmaktadır.

Donanım üzerinde kullanılan LUT miktarlarına bakacak olursak Boost Algoritması için sentez için 254, implementation için 250 LUT kullanılmıştır, geliştirilmiş Booth Algoritmasında sentez için 47 implementation için 45 LUT kullanılmıştır. 100 de 80 oranında gelişim sağlanmıştır.



Şekil 1 22 Geliştirilmiş Booth Algoritması Zaman Analizi



Şekil 1 23 Geliştirilmiş Booth Algoritması Lut Kullanımı

#### 1.5) SONUÇ

- Çarpıcı mimarileri üzerine deneyim kazandım, sonlu durum makinaları kullanımı ile performans analizi ile algoritma geliştirme yetisi kazandım.
- Waveform analiz ederek koddaki eksik aşamaları bularak ardından eksikliği gidererek kod analizi yapabilmeyi öğrendim.
- Wallace tree için geliştirmiş algoritma ve booth için geliştirilmiş algoritmalar hem donanımsal hemde zaman analizi bakımından algoritmalara fayda saglanmıştır. Aşağıdaki tabloda gelişimler gözlemlenmektedir.

	Wallace Tree	Getirilmiş Wallace Tree	BOOTH Algoritması	Geliştirilmiş Booth Algoritması
Kullanılan Lut	94	68	254	47
Zaman Analizi	9.259ns	6.792ns	14.828ns	7.399ns

#### KAYNAKÇA

- [1] ÖZBEY R. S., SERTBAŞ A., Klasik Çarpma Algoritmalarının Donanımsal Simülasyonları ve Performans Değerlendirimi, ELECO 2004 (Inter. Conf. on Electrical and Electronics Engineering), Bursa, 2004
- [2] https://en.wikipedia.org/wiki/Wallace\_tree
- [3] https://support.xilinx.com/s/question/0D52E00006hpai1/finding-delay-of-a-combinational-circuit-using-vivado?language=en\_US
- [4] https://en.wikipedia.org/wiki/Dadda\_multiplier
- [5] https://www.youtube.com/watch?v=Qd5DRrozvuY&t=350s
- [6] https://www.youtube.com/watch?v=DIp4GqSCZho

Kullanılan her bir blok diyagram, şematik diyagram, state modellemeleri <a href="https://app.diagrams.net/">https://app.diagrams.net/</a> sitesi üzerinden tasarlanmıştır.

Kodlar için github linkim : https://github.com/canacar7/VERILOG\_COMPUTER\_ARCH/tree/ghpages/carpici\_mimarileri

