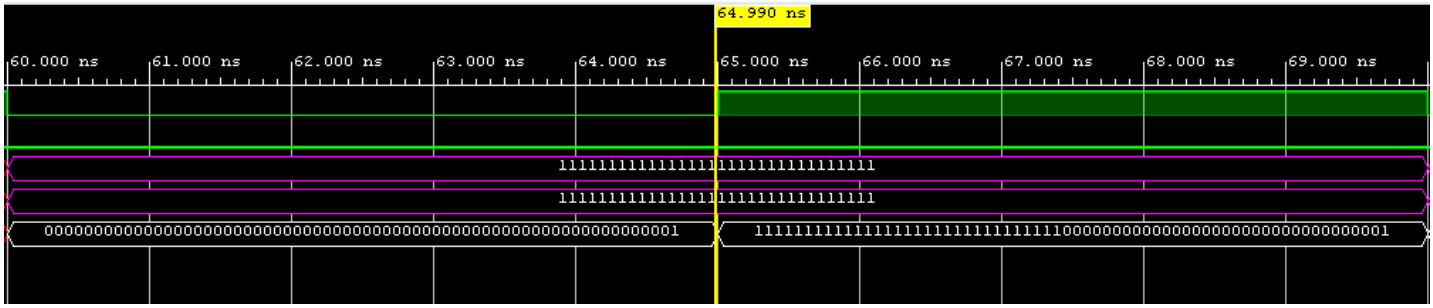
Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

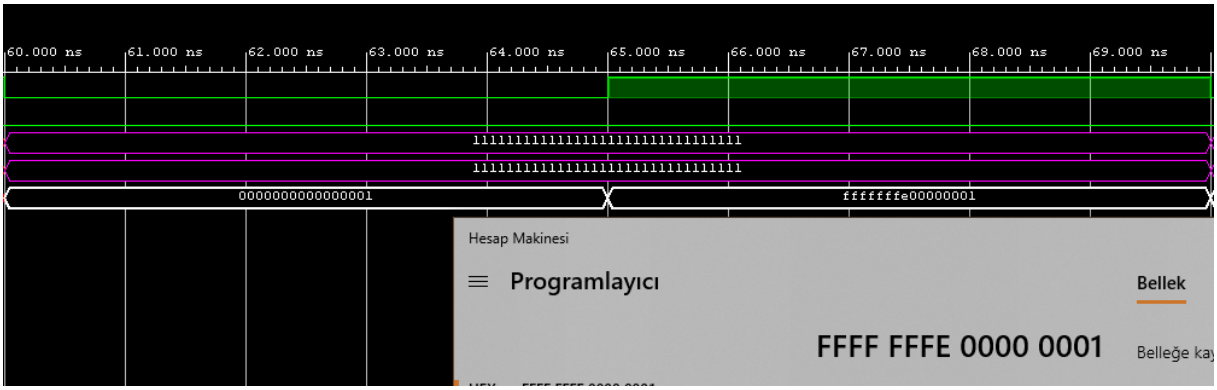
EEE481 Computer Architecture HW #1

1. Tasarımımda sonlu durum makinalarını kullandım. Amacım signed ve unsigned çarpım sonuçlarının analizini aynı anda yapabilmek oldu. 10ns clk darbelerinin ilk 5ns inde signed diger 5 ns sinde ise unsigned değerlerinin analizini gerçekleştirdim.
2. Signed unsigned şeklinde ilerleme amacım; 32'h7f000000 ardından gelen 32'h81000000 birbirinin sağlamasını yapması oldu.
3. Sonuçlar için; 2x1 mux da oluşturduğumuz **assign z = u ? z_2 : z_1;** yapısını kullanarak sonuca ulaştım. U durum makinalarında signed veya unsigned olma durumuna göre değer değiştirerek çıktı sağladı.

Waveform Analizleri

60ns – 70ns

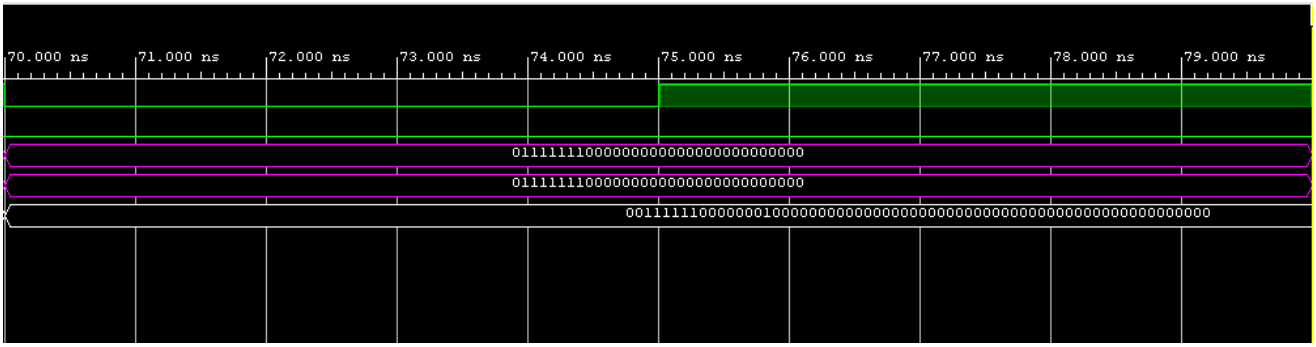




- Şekilde 60 ns -70ns arasındaki sonuçların analizi bulunmaktadır. 60 – 65ns arası signed bir değerdir ve sonuç görüldüğü gibi -1 dir. 65ns – 70ns arasındaki değer ise unsigned bir değerdir ve sonuç FFFF FFFE 0000 0001 saglanmıştır.

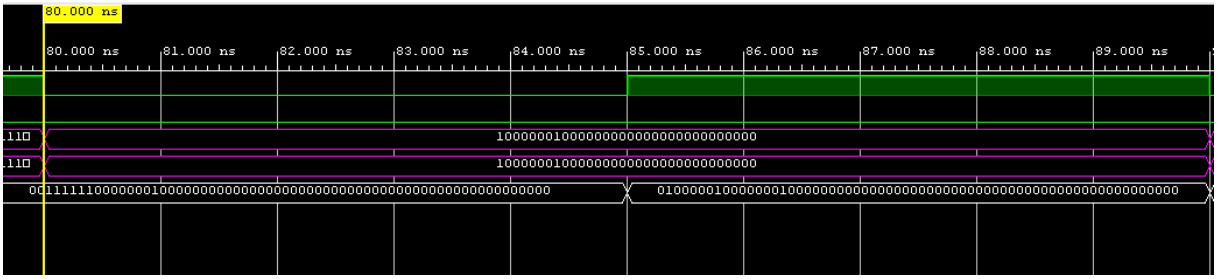
Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

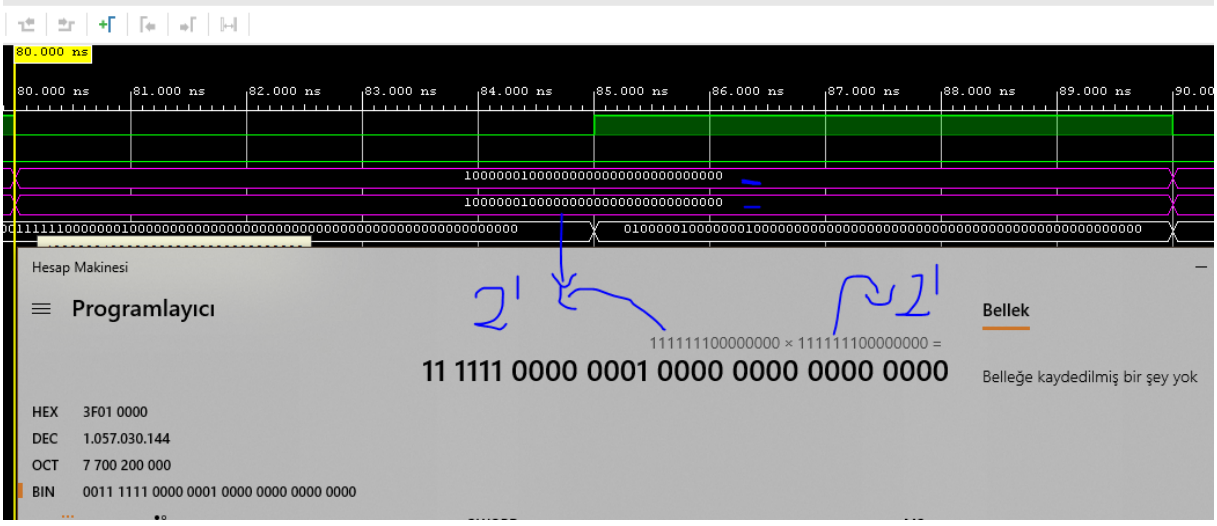
70ns – 80ns



- İşaret biti olan 32. Bit bu analizde 0 değerinde olduğu için signed(70ns -75ns) ve unsigned(75ns-80ns) çarpımlarda aynı değerleri vermiştir.

80ns – 90ns





- 80ns – 90ns arasındaki sonuç analiz edildiginde; 70ns – 75ns deki deger 80 – 85ns deki degerin 2 ye tümleyenidir. İşaretli çarpımda 2'tümleyen yapıldıkdan sonra çarpım gerçekleştirildigi için sonuçlar aynıdır. 85ns – 90ns arasında unsigned çarpım gerçekleştirilmiştir. 4101 0000 0000 0000 (hex formatında) saglanmıştır.

(ZİP DOSYASINDA KOD DOSTALARI MEVCUTTUR)

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

KOD

```
module odev64_bit(a,b,z,z_1,z_2,clk,rst);
   input   clk,rst;
   input   [31:0] a, b;                        // a, b
   output [63:0] z;                           // z = a * b
   output [63:0] z_1,z_2;
   reg     [31:0] abi[31:0];                    // a[i] & b[j]
   integer       i, j;
   reg  u;

      reg     [2 : 0] state, next_state;
      parameter       unsigned_durumu = 1'b0,
                                          signed_durumu   = 1'b1;



      always @(posedge clk or negedge rst) begin
                  if (rst) begin
                              state <= signed_durumu;
                  end else
                              state <= next_state;
      end

      always @(*) begin
                  case(state)

                              unsigned_durumu : begin
               for (j = 0; j < 32; j = j + 1)
                for (i = 0; i < 32; i = i + 1)
                   abi[i][j] = a[i] & b[j];
                                          next_state <= signed_durumu;
                                          u <= 1'b0;
                                    end
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

```
                    signed_durumu : begin
                                        for (i = 0; i < 31; i = i + 1)
                                                for (j = 0; j < 31; j = j + 1)
                                                        abi[i][j] = a[i] & b[j];
                                        for (i = 0; i < 31; i = i + 1)
                                                abi[i][31] = ~(a[i] & b[31]);
                                        for (j = 0; j < 31; j = j + 1)
                                                abi[31][j] = ~(a[31] & b[j]);
                                        abi[31][31] = a[31] & b[31];
                                        next_state <= unsigned_durumu;
                                        u <= 1'b1;
            end
              endcase
    end

      assign z_1 = (({32'b0, abi[0][31:0]}          +
            {31'b0,   abi[1][31:0] ,  1'b0})     +
           ({30'b0,   abi[2][31:0] ,  2'b0}      +
            {29'b0,   abi[3][31:0] ,  3'b0}))    +
          (({28'b0,   abi[4][31:0] ,  4'b0}      +
            {27'b0,   abi[5][31:0] ,  5'b0})     +
           ({26'b0,   abi[6][31:0] ,  6'b0}      +
            {25'b0,   abi[7][31:0] ,  7'b0}))    +
          (({24'b0,   abi[8][31:0] ,  8'b0}      +
            {23'b0,   abi[9][31:0] ,  9'b0})     +
           ({22'b0,   abi[10][31:0],  10'b0}     +
            {21'b0,   abi[11][31:0],  11'b0}))  +
          (({20'b0,   abi[12][31:0],  12'b0}     +
            {19'b0,   abi[13][31:0],  13'b0})    +
           ({18'b0,   abi[14][31:0],  14'b0}     +
            {17'b0,   abi[15][31:0],  15'b0}))  +
          (({16'b0,   abi[16][31:0],  16'b0}     +
            {15'b0,   abi[17][31:0],  17'b0})    +
           ({14'b0,   abi[18][31:0],  18'b0}     +
            {13'b0,   abi[19][31:0],  19'b0}))  +
          (({12'b0,   abi[20][31:0],  20'b0}     +
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

```
                {11'b0,   abi[21][31:0],  21'b0})    +
               ({10'b0,   abi[22][31:0],  22'b0}     +
                {9'b0,    abi[23][31:0],  23'b0}))   +
              (({8'b0,    abi[24][31:0],  24'b0}     +
                {7'b0,    abi[25][31:0],  25'b0})    +
               ({6'b0,    abi[26][31:0],  26'b0}     +
                {5'b0,    abi[27][31:0],  27'b0}))   +
              (({4'b0,    abi[28][31:0],  28'b0}     +
                {3'b0,    abi[29][31:0],  29'b0})    +
               ({2'b0,    abi[30][31:0],  30'b0}     +
                {1'b0,    abi[31][31:0],  31'b0}));

assign z_2 = (({32'b1, abi[0][31:0]}           +
                {31'b0,   abi[1][31:0] ,  1'b0})     +
               ({30'b0,   abi[2][31:0] ,  2'b0}      +
                {29'b0,   abi[3][31:0] ,  3'b0}))    +
              (({28'b0,   abi[4][31:0] ,  4'b0}      +
                {27'b0,   abi[5][31:0] ,  5'b0})     +
               ({26'b0,   abi[6][31:0] ,  6'b0}      +
                {25'b0,   abi[7][31:0] ,  7'b0}))    +
              (({24'b0,   abi[8][31:0] ,  8'b0}      +
                {23'b0,   abi[9][31:0] ,  9'b0})     +
               ({22'b0,   abi[10][31:0],  10'b0}     +
                {21'b0,   abi[11][31:0],  11'b0}))   +
              (({20'b0,   abi[12][31:0],  12'b0}     +
                {19'b0,   abi[13][31:0],  13'b0})    +
               ({18'b0,   abi[14][31:0],  14'b0}     +
                {17'b0,   abi[15][31:0],  15'b0}))   +
              (({16'b0,   abi[16][31:0],  16'b0}     +
                {15'b0,   abi[17][31:0],  17'b0})    +
               ({14'b0,   abi[18][31:0],  18'b0}     +
                {13'b0,   abi[19][31:0],  19'b0}))   +
              (({12'b0,   abi[20][31:0],  20'b0}     +
                {11'b0,   abi[21][31:0],  21'b0})    +
               ({10'b0,   abi[22][31:0],  22'b0}     +
                {9'b0,    abi[23][31:0],  23'b0}))   +
```

```
                (({8'b0,   abi[24][31:0], 24'b0}    +
                  {7'b0,   abi[25][31:0], 25'b0})   +
                 ({6'b0,   abi[26][31:0], 26'b0}    +
                  {5'b0,   abi[27][31:0], 27'b0}))  +
                (({4'b0,   abi[28][31:0], 28'b0}    +
                  {3'b0,   abi[29][31:0], 29'b0})   +
                 ({2'b0,   abi[30][31:0], 30'b0}    +
                  {1'b1,   abi[31][31:0], 31'b0}));

        assign z = u ? z_2 : z_1;
```

endmodule

TESTBENCH

```
`timescale 1ns / 1ps



module odev_64_bit_tb();


                                        reg   clk,rst;
  reg   [31:0] a, b;
  wire  [63:0] z,z_1,z_2;


                                        odev64_bit aktif_modul(a,b,z,z_1,z_2,clk,rst);
                                        initial begin

    clk <= 0;
    rst <= 1;
    #50;
    rst <= 0;
    #10

      a  = 32'hffffffff;
      b  = 32'hffffffff;
    #10 a  = 32'h7f000000;
      b  = 32'h7f000000;
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

```
        #10 a  = 32'h81000000;
           b  = 32'h81000000;
        #10 a  = 32'h7e000000;
           b  = 32'h7e000000;
        #10 a  = 32'h82000000;
           b  = 32'h82000000;
        #10 a  = 32'h7d000000;
           b  = 32'h7d000000;
        #10 a  = 32'h83000000;
           b  = 32'h83000000;
        #10 a  = 32'h7e000000;
           b  = 32'h81000000;
        #10 a  = 32'h82000000;
           b  = 32'h7d000000;
        #10 a  = 32'h00000000;
           b  = 32'h00000000;
        #10 a  = 32'h01000000;
           b  = 32'h01000000;
        #10 a  = 32'h02000000;
           b  = 32'h02000000;
        #10 a  = 32'h03000000;
           b  = 32'h03000000;

    end

    always #5 clk = !clk;
endmodule
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

KODLAR EKRAN GÖRÜNTÜSÜ

```
1  module odev64_bit(a,b,z,z_1,z_2,clk,rst);
2      input   clk,rst;
3      input   [31:0] a, b;
4      output [63:0] z;
5      output [63:0] z_1,z_2;
6      reg     [31:0] abi[31:0];
7      integer       i, j;
8      reg  u;
9
10     reg     [2 : 0] state, next_state;
11     parameter       unsigned_durumu = 1'b0,
12                     signed_durumu   = 1'b1;
13
14
15
16     always @(posedge clk or negedge rst) begin
17         if (rst) begin
18            state <= signed_durumu;
19         end else
20            state <= next_state;
21     end
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

```
23      always @(*) begin
24          case(state)
25
26              unsigned_durumu : begin
27                      for (j = 0; j < 32; j = j + 1)
28                       for (i = 0; i < 32; i = i + 1)
29                           abi[i][j] = a[i] & b[j];
30                          next_state <= signed_durumu;
31                          u <= 1'b0;
32                  end
33
34
35              signed_durumu : begin
36                      for (i = 0; i < 31; i = i + 1)
37                          for (j = 0; j < 31; j = j + 1)
38                              abi[i][j] = a[i] & b[j];
39                      for (i = 0; i < 31; i = i + 1)
40                          abi[i][31] = ~(a[i] & b[31]);
41                      for (j = 0; j < 31; j = j + 1)
42                          abi[31][j] = ~(a[31] & b[j]);
43                      abi[31][31] = a[31] & b[31];
44                      next_state <= unsigned_durumu;
45                      u <= 1'b1;
46                end
47          endcase
48      end
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

```
50      assign z_1 = (({32'b0, abi[0][31:0]}              +
51                    {31'b0,   abi[1][31:0] ,  1'b0})     +
52                   ({30'b0,   abi[2][31:0] ,  2'b0}      +
53                    {29'b0,   abi[3][31:0] ,  3'b0}))    +
54                  (({28'b0,   abi[4][31:0] ,  4'b0}      +
55                    {27'b0,   abi[5][31:0] ,  5'b0})     +
56                   ({26'b0,   abi[6][31:0] ,  6'b0}      +
57                    {25'b0,   abi[7][31:0] ,  7'b0}))    +
58                  (({24'b0,   abi[8][31:0] ,  8'b0}      +
59                    {23'b0,   abi[9][31:0] ,  9'b0})     +
60                   ({22'b0,   abi[10][31:0], 10'b0}      +
61                    {21'b0,   abi[11][31:0], 11'b0}))    +
62                  (({20'b0,   abi[12][31:0], 12'b0}      +
63                    {19'b0,   abi[13][31:0], 13'b0})     +
64                   ({18'b0,   abi[14][31:0], 14'b0}      +
65                    {17'b0,   abi[15][31:0], 15'b0}))    +
66                  (({16'b0,   abi[16][31:0], 16'b0}      +
67                    {15'b0,   abi[17][31:0], 17'b0})     +
68                   ({14'b0,   abi[18][31:0], 18'b0}      +
69                    {13'b0,   abi[19][31:0], 19'b0}))    +
70                  (({12'b0,   abi[20][31:0], 20'b0}      +
71                    {11'b0,   abi[21][31:0], 21'b0})     +
72                   ({10'b0,   abi[22][31:0], 22'b0}      +
73                    {9'b0,    abi[23][31:0], 23'b0}))    +
74                  (({8'b0,    abi[24][31:0], 24'b0}      +
75                    {7'b0,    abi[25][31:0], 25'b0})     +
76                   ({6'b0,    abi[26][31:0], 26'b0}      +
77                    {5'b0,    abi[27][31:0], 27'b0}))    +
78                  (({4'b0,    abi[28][31:0], 28'b0}      +
79                    {3'b0,    abi[29][31:0], 29'b0})     +
80                   ({2'b0,    abi[30][31:0], 30'b0}      +
81                    {1'b0,    abi[31][31:0], 31'b0}));
82
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

```
83      assign z_2 = (({32'b1, abi[0][31:0]}              +
84                    {31'b0,   abi[1][31:0] ,  1'b0})     +
85                   ({30'b0,   abi[2][31:0] ,  2'b0}      +
86                    {29'b0,   abi[3][31:0] ,  3'b0}))    +
87                  (({28'b0,   abi[4][31:0] ,  4'b0}      +
88                    {27'b0,   abi[5][31:0] ,  5'b0})     +
89                   ({26'b0,   abi[6][31:0] ,  6'b0}      +
90                    {25'b0,   abi[7][31:0] ,  7'b0}))    +
91                  (({24'b0,   abi[8][31:0] ,  8'b0}      +
92                    {23'b0,   abi[9][31:0] ,  9'b0})     +
93                   ({22'b0,   abi[10][31:0], 10'b0}      +
94                    {21'b0,   abi[11][31:0], 11'b0}))    +
95                  (({20'b0,   abi[12][31:0], 12'b0}      +
96                    {19'b0,   abi[13][31:0], 13'b0})     +
97                   ({18'b0,   abi[14][31:0], 14'b0}      +
98                    {17'b0,   abi[15][31:0], 15'b0}))    +
99                  (({16'b0,   abi[16][31:0], 16'b0}      +
100                   {15'b0,   abi[17][31:0], 17'b0})     +
101                  ({14'b0,   abi[18][31:0], 18'b0}      +
102                   {13'b0,   abi[19][31:0], 19'b0}))    +
103                 (({12'b0,   abi[20][31:0], 20'b0}      +
104                   {11'b0,   abi[21][31:0], 21'b0})     +
105                  ({10'b0,   abi[22][31:0], 22'b0}      +
106                   {9'b0,    abi[23][31:0], 23'b0}))    +
107                 (({8'b0,    abi[24][31:0], 24'b0}      +
108                   {7'b0,    abi[25][31:0], 25'b0})     +
109                  ({6'b0,    abi[26][31:0], 26'b0}      +
110                   {5'b0,    abi[27][31:0], 27'b0}))    +
111                 (({4'b0,    abi[28][31:0], 28'b0}      +
112                   {3'b0,    abi[29][31:0], 29'b0})     +
113                  ({2'b0,    abi[30][31:0], 30'b0}      +
114                   {1'b1,    abi[31][31:0], 31'b0}));
115
116     assign z = u ? z_2 : z_1;
117 endmodule
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

TESTBENCH

```
1  `timescale 1ns / 1ps
2
3  module odev_64_bit_tb();
4
5      reg   clk,rst;
6      reg   [31:0] a, b;
7      wire  [63:0] z,z_1,z_2;
8
9      odev64_bit aktif_modul(a,b,z,z_1,z_2,clk,rst);
10     initial begin
11
12         clk <= 0;
13         rst <= 1;
14         #50;
15         rst <= 0;
16         #10
```

Öğrenci No: 171110001
Adı Soyadı: Can Ahmet ACAR

```
17
18              a   = 32'hffffffff;
19              b   = 32'hffffffff;
20          #10 a   = 32'h7f000000;
21              b   = 32'h7f000000;
22          #10 a   = 32'h81000000;
23              b   = 32'h81000000;
24          #10 a   = 32'h7e000000;
25              b   = 32'h7e000000;
26          #10 a   = 32'h82000000;
27              b   = 32'h82000000;
28          #10 a   = 32'h7d000000;
29              b   = 32'h7d000000;
30          #10 a   = 32'h83000000;
31              b   = 32'h83000000;
32          #10 a   = 32'h7e000000;
33              b   = 32'h81000000;
34          #10 a   = 32'h82000000;
35              b   = 32'h7d000000;
36          #10 a   = 32'h00000000;
37              b   = 32'h00000000;
38          #10 a   = 32'h01000000;
39              b   = 32'h01000000;
40          #10 a   = 32'h02000000;
41              b   = 32'h02000000;
42          #10 a   = 32'h03000000;
43              b   = 32'h03000000;
44
45   end
46
47   always #5 clk = !clk;
48  endmodule
49
```