



ISTANBUL TECHNICAL UNIVERSITY

Uygulama-6

Pulse Width Modulation işareti ve Modül Tasarımı

13.07.2021

PWM(Pulse Width Modulation)

1. Periyodu 20 ms olan, her 10 ms de bir durumunu tersleyen bir sinyal üretiniz. Ürettiğiniz sinyali simülasyon ortamında gösteriniz. Simulasyonda periyodu 20 ns olan bir saat sinyali kullanınız.
2. PWM(Pulse Width Modulation, Darbe Genlik Modulasyonu) sinyallerinin yapısını araştırınız.
3. Doluluk oranı %20 olan ve periyodu 20ms olan bir sinyal üretiniz. Ürettiğiniz sinyali simülasyon ortamında gösteriniz. Simulasyonda periyodu 20 ns olan bir saat sinyali kullanınız.
4. Doluluk oranı duty girişinin değerine göre belirlenen bir PWM sinyali üretiniz. Sistemin giriş ve çıkışları aşağıdaki gibidir. Duty değeri 0000 durumunda doluluk oranı %0, 1111 durumunda doluluk %100 olacak şekilde sisteminizi tasarlayınız. Sisteminizin davranışsal simülasyonunu yapınız.

```
entity PWM is
  port (
    clock:in std_logic;
    duty:in std_logic_vector(3 downto 0) ;
    pwm_out: out std_logic
  ) ;
end PWM ;
```

Figure 1: PWM Giriş-Çıkış Örneği

Modül Tasarımı

Aşağıda gösterilen sistem, **Load** sinyali 1 olduğu durumda girişten aldığı 8- bitlik paralel veriyi, sonuna **even parity** bitini ekledikten sonra (9-bit), ilk önce **MSB**'den başlayarak her saat periyodunda 1-biti sırayla çıkışa verecektir. Sistem tasarımını ve davranışsal simülasyonunu gerçekleştiriniz.



Figure 2: Modülün Girişleri ve Çıkışı