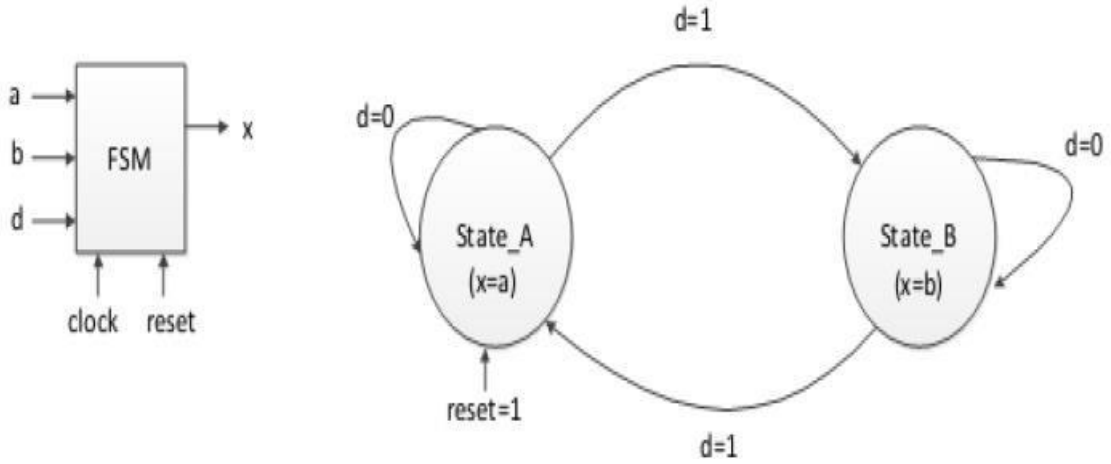


12 TEMMUZ 2021

1. Aşağıda solda blok diyagramı çizilen, sağda da durum makinesinin çalışması gösterilen modül, **senkron reset** 1 olunca, ilk durum olarak **State_A**’ dan başlamaktadır. **State_A** durumunda modülünüz **a** girişinizden gelen değeri çıkışa, yani **x**’e gönderecektir. **State_A** durumunda **d** girişinden 0 gelirse aynı durumda kalmaya devam edecek, eğer 1 gelirse bir sonraki duruma, **State_B**’ye geçecektir. Bu yeni durumda **b** girişinden gelen değer çıkışa, **x**’e göndereilecektir. Sistemi tasarladıktan sonra davranışsal simülasyonunu yapınız.



2. Bir bitlik **datain** girişinden seri olarak veri okuması yapılacaktır. Okunan veriler önceden bir düzende gelirse, saat periyodu kadar bir süre boyunca **dataout** çıkışı 1 değerini alacaktır. Örnek olarak, **a** girişinden sıra ile gelen 1-0-1-1-0-1-0-1-0 geldiğini kabul edelim. Yakalamak istediğimiz sayı düzenide 1101 olsun. 1-0-**1-1-0-1-0-1-0** siyahla gösterilen düzeni yakaladığında **dataout** 1 saat periyodu kadar 1 değerini alacaktır. Yakalamanız gereken **sayı düzeni 1101011**’dir. Sisteminiz **mealy machine** olarak tasarlayınız. Sistemi tasarladıktan sonra davranışsal simülasyonunu yapınız.

```
module pattern_recog(datain, clk, dataout);  
    input datain;  
    input clk;  
    output dataout;
```

3. Tasarlayacağınız sistemin giriş ve çıkışları aşağıdaki gibidir.

```
module serial_to_parallel(a, clk, start, ready, out_p);  
  
    input a;  
    input clk;  
    input start;  
    output reg ready;  
    output reg [7:0] out_p;
```

start girişi 1 olana kadar sistem beklemede kalmalıdır. **start** girişi 1 olduktan sonra **a girişinden** gelen veriler örneklendirilerek sistemin hafızasında tutulmalıdır. 8 adet örnekleme yapıldıktan sonra, ilk örnek LSB, son örnek MSB olacak şekilde paralel bir hale getirilip **out_p çıkışında** gösterilmelidir. Aynı zamanda 8 adet örnekleme işleminin bittiğini göstermek için, **ready** çıkışı 1 saat periyodu boyunca, 1 durumunda tutulmalıdır. Bu aşamadan sonra sistem tekrardan bekleme durumuna geri dönmelidir. Sistemi **moore machine** olarak tasarlayınız. Sistemi tasarladıktan sonra davranışsal simülasyonunu yapınız.