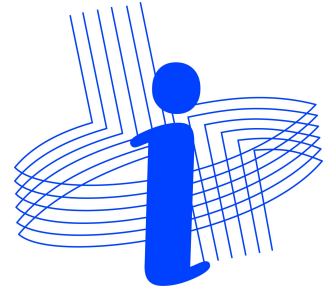




Universidade Federal de Viçosa
Departamento de Informática
INF 498 - Seminário I



Implementação de algoritmos de mineração em FPGA

Aluno: Michael Canesche

Orientador: Ricardo dos Santos Ferreira

Co-orientador: Giovanni Ventorim Comarela

Sumário

- O que será feito
- Objetivos
- Motivação
- Ferramentas
 - FPGA
- Cronograma
- Referência
- Agradecimentos



* Imagem sugestiva retirada no google imagens

O que será feito

- Serão implementados três algoritmos de mineração de dados
 - K-Means
 - K-Medoids
 - K-Center
- Os algoritmos serão implementados em FPGA
 - Placa Mercurio IV (FPGA Cyclone IV) da Intel/Macnica
 - HARPV2
- Eficiência será comparada com outros aceleradores em plataformas heterogêneas
 - GPU
- Validação dos algoritmos será por meio de bases de dados
 - Ainda para se definir
- O trabalho final será entregue em forma de artigo

Objetivos

- Implementar algoritmos em FPGA e compará-los utilizando alguma base de dados com outros aceleradores em plataforma heterogêneas (GPU).
 - Foco voltado em performance e eficiência energética

Objetivos Secundários

- Aplicar todos os conhecimentos adquiridos em iniciação científica e aulas do curso de Ciência da Computação no trabalho de conclusão de curso.
- Publicar artigo em revista.

Motivação

- Econômica

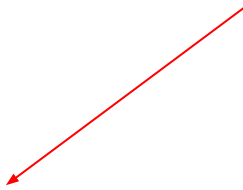
SEP 29, 2016 @ 12:57 PM

5,764

The Little Black Book of Billionaire Secrets

Intel's Investment In FPGAs To Enable Reconfigurable Data Centers And AI Processing Of The Future

Famosa revista de negócios e economia dos EUA



Fonte: <https://www.forbes.com/sites/davealtavilla/2016/09/29/intels-investment-in-fgpa-technology-enables-reconfigurable-datacenter/#46bfddca63c3> - Último acesso - 12/04/2018

Motivação

- Econômica

DELL EMC AND FUJITSU ROLL INTEL FPGAS INTO SERVERS

April 11, 2018 Jeffrey Burt



[Read more](#)

Nvidia caused a shift in high-end computing more than a decade ago when it introduced its general-purpose GPUs and CUDA development platform to work with CPUs to increase the performance of compute-intensive workloads in HPC and other environments and drive greater energy efficiencies in datacenters.

Nvidia and to a lesser extent AMD, with its Radeon GPUs, took advantage of the growing demand for more speed and less power consumption to build out their **portfolios of GPU accelerators** and expand their **use in a range of systems**, to the point where in the last Top500 list of the world's fastest ...

Motivação

- Acadêmica

15.300

Google Acadêmico

fpga

Artigos

Aproximadamente 15.300 resultados (0,04 s)

Dica: Pesquisa para resultados somente em **português (Brasil)**. Você pode especificar seu idioma para pesquisa em [Configurações do Acadêmico..](#)

High-Throughput Pattern Matching With CMOL FPGA Circuits: Case for Logic-in-Memory Computing [\[PDF\] ieee.org](#)
[A Madhavan, T Sherwood...](#) - IEEE Transactions on ..., 2018 - [ieeexplore.ieee.org](#)
In this paper, we propose a novel CMOS+ MOlecular (CMOL) field-programmable gate array (**FPGA**) circuit architecture to perform massively parallel, high-throughput computations, which is especially useful for pattern matching tasks and multidimensional ...

FPGA-based LSTM Acceleration for Real-Time EEG Signal Processing
[Z Chen, A Howe, HT Blair, J Cong](#) - Proceedings of the 2018 ACM ..., 2018 - [dl.acm.org](#)
Abstract Closed-loop neurofeedback is a growing area of research and development for novel therapies to treat brain disorders. A neurofeedback device can detect disease

A qualquer momento
[Desde 2018](#)
[Desde 2017](#)
[Desde 2014](#)
Período específico...

[Classificar por relevância](#)
Classificar por data

[Em qualquer idioma](#)
Pesquisar páginas em Português

Informação obtida em: https://scholar.google.com.br/scholar?as_ylo=2018&q=fpga&hl=pt-BR&as_sdt=0,5 -
Último acesso em 12/04/18

Motivação

- Acadêmica

The screenshot shows a Google Scholar search interface. The search bar contains the text "fpga implementation data mining". Below the search bar, it says "Aproximadamente 1.450 resultados (0,08 s)". A red box highlights the number "1.450", with an arrow pointing to it from the number "1.450" located above the search bar. On the left side, there are filters for "Artigos" (Articles), "Desde 2018", "Desde 2017" (highlighted with a red box), "Desde 2014", "Período específico...", "Classificar por relevância", "Classificar por data", "Em qualquer idioma", and "Pesquisar páginas em". On the right side, there are search results. The first result is titled "Micro Sequence Identification of DNA Data Using Pattern Mining Techniques" by A Surendar, S Shaik, NUR Rani, published in Materials Today: Proceedings, 2018 - Elsevier. The second result is titled "[HTML] A shared synapse architecture for efficient FPGA implementation of autoencoders" by A Suzuki, T Morie, H Tamukoh, published in PloS one, 2018 - journals.plos.org.

Google Acadêmico

fpga implementation data mining

Artigos

Aproximadamente 1.450 resultados (0,08 s)

A qualquer momento

Desde 2018

Desde 2017

Desde 2014

Período específico...

Classificar por relevância

Classificar por data

Em qualquer idioma

Pesquisar páginas em

Dica: Pesquisa para resultados somente em português (Brasil). Você pode especificar seu idioma para pesqui

Micro Sequence Identification of DNA Data Using Pattern Mining Techniques

A Surendar, S Shaik, NUR Rani - Materials Today: Proceedings, 2018 - Elsevier

... The hardware **implementation** should match a sequence with NCBI database, which grows rapidly in ... in **implementing** the BLAST algorithm in previous versions of **FPGA** configurations due to ... Recent **FPGAs** provide embedded blocks of RAM which offers flexibility in design and ...

☆ 99

[HTML] A shared synapse architecture for efficient **FPGA implementation** of autoencoders

A Suzuki, T Morie, H Tamukoh - PloS one, 2018 - journals.plos.org

Informação obtida em: https://scholar.google.com.br/scholar?as_ylo=2018&q=fpga&hl=pt-BR&as_sdt=0,5 -
Último acesso em 16/04/18

Motivação

- Pessoal

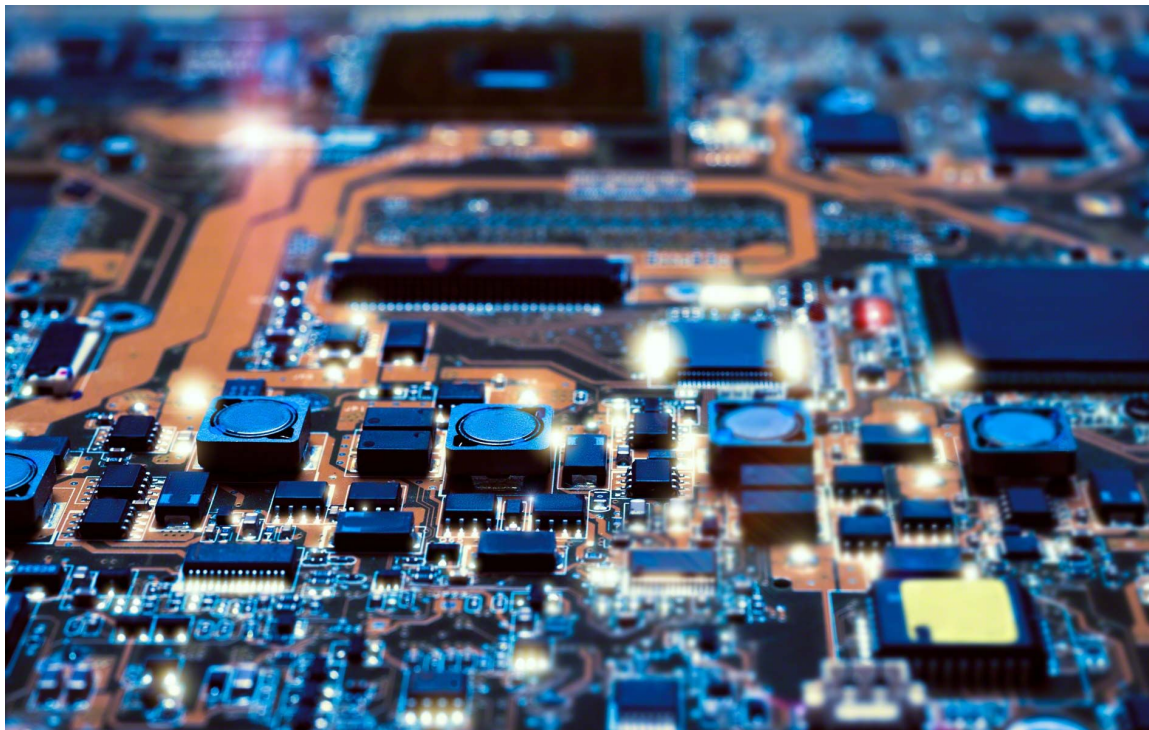


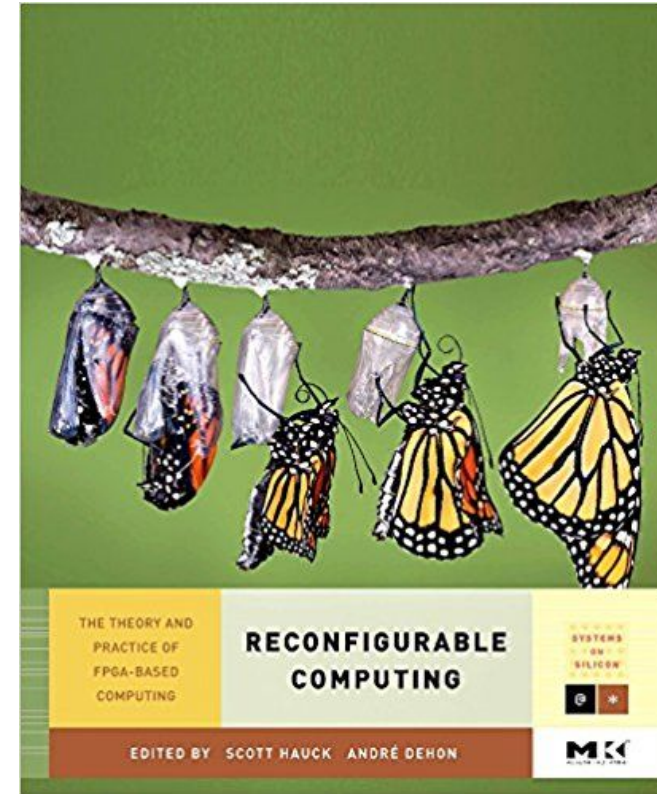
Imagem ilustrativa: <https://www.mecalux.com/software/services/hardware> - Último acesso em 16/04/18

FPGA (Field-Programmable Gate Arrays)

- “Array de portas programáveis em campo”

De acordo com o livro **Computação reconfigurável FPGA**

“São dispositivos verdadeiramente revolucionários que combinam os benefícios do hardware e do software. Eles implementam circuitos como o hardware, proporcionando enormes benefícios de energia, área e desempenho no software, ainda podem ser reprogramados de forma barata e fácil para implementar em uma gama de tarefas”.



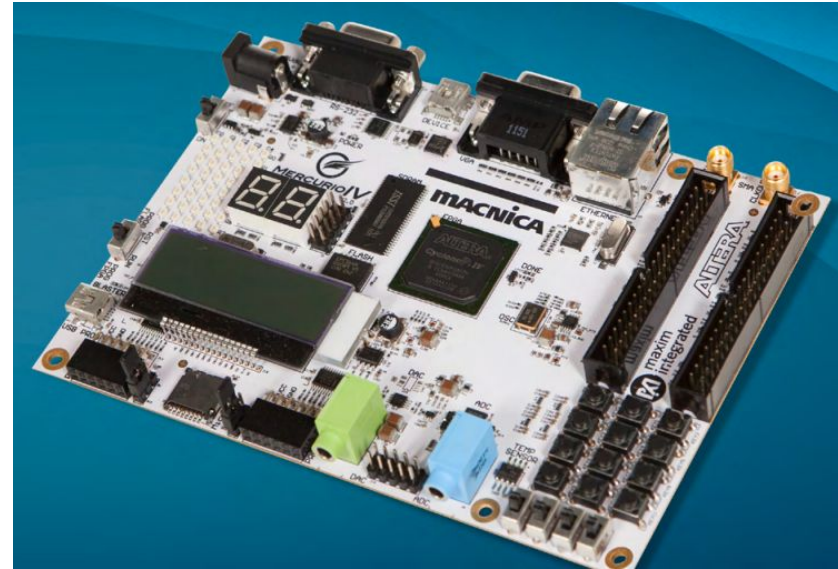
Livro: Hauck, S. and DeHon, A.; **Reconfigurable Computing**; Morgan Kaufmann, 2007, 944 p.

FPGA (Field-Programmable Gate Arrays)

De uma maneira “um pouco” mais técnica:

FPGAs são dispositivos semicondutores que podem ser utilizados como acelerador de processos[1] ou até como prototipação de hardware[2]. São baseados em uma arquitetura reconfigurável e possui três componentes importantes:

- bloco de entrada e saída
- blocos lógicos reconfiguráveis
- chaves de interconexão [3,4]



Obs.: Cada autor possui uma definição para FPGA, foi feito um apanhado geral de cada artigo e criado minha própria definição.

Referências: No slide Referências.

Imagens retirada do manual no site: <http://macnicadhw.com.br/produtos/kits/mercurio-iv>

FPGA (Field-Programmable Gate Arrays)

- Vantagens
 - Altamente paralelo
 - Flexível
 - Eficiência energética (cerca de 28% mais econômico que uma GPU)
 - Arquitetura reconfigurável
 - Algumas operações são altamente eficientes (Ex.: shift constante, bit)
- Desvantagens
 - Existem operações que possui pouca eficiência.
 - Operações com Ponto flutuantes*
 - Tempo de compilação extremamente lento (muitas horas dependendo da complexidade do problema)
 - Complexidade na programação (Verilog/VHDL)

Analogia FPGA



Gif animado retirado em: <http://www.victortrucco.com/Diversos/OQueueFPGA/OQueueFPGA> - Último acesso em 16/04/2018

Cronograma - 2018/1*

Tarefas	Março	Abril	Maio	Junho
Definição do Tema	X			
Revisão Bibliográfica	X	X	X	X
Implementação		X	X	X
Redação do artigo			X	X

* O cronograma pode ser mutável.

Referência

- [1] Alam, S. R. *et al*, **Using FPGA Devices to Accelerate Biomolecular Simulations**, IEEE Xplore, Vol. 40, 2007.
- [2] Gschwind, M.; Salapura, V.; Maurer, D. **FPGA prototyping of a RISC processor core for embedded applications**, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 9, 2001.
- [3] Chen, D.; Cong, J. and Pan, P; **FPGA Design Automation: A Survey**, Electronic Design Automation, Vol. 1, N° 3, 2006.
- [4] Cong, J.; *et al*; **Understanding Performance Differences of FPGAs and GPUs**, FCCM, 2018

Links Interessantes: <https://www.nextplatform.com/>
<http://isfpga.org/>

Agradecimentos



Agradecimentos

Em especial a todos presentes!

Agradecimentos

Em especial a todos presentes!

E para quem estiver fazendo Física 3, força pessoal!!!



* Imagem retirada do google

Contatos



Michael Canesche
canesche

I'm student Computer Science at UFV. I love coffee and code.

📍 Brazil

✉ michael.canesche@gmail.com

E-mail: michael.canesche@gmail.com

Projeto: <https://github.com/canesche/INF496>

Dúvidas?

Respostas para possíveis perguntas (Aplicações)

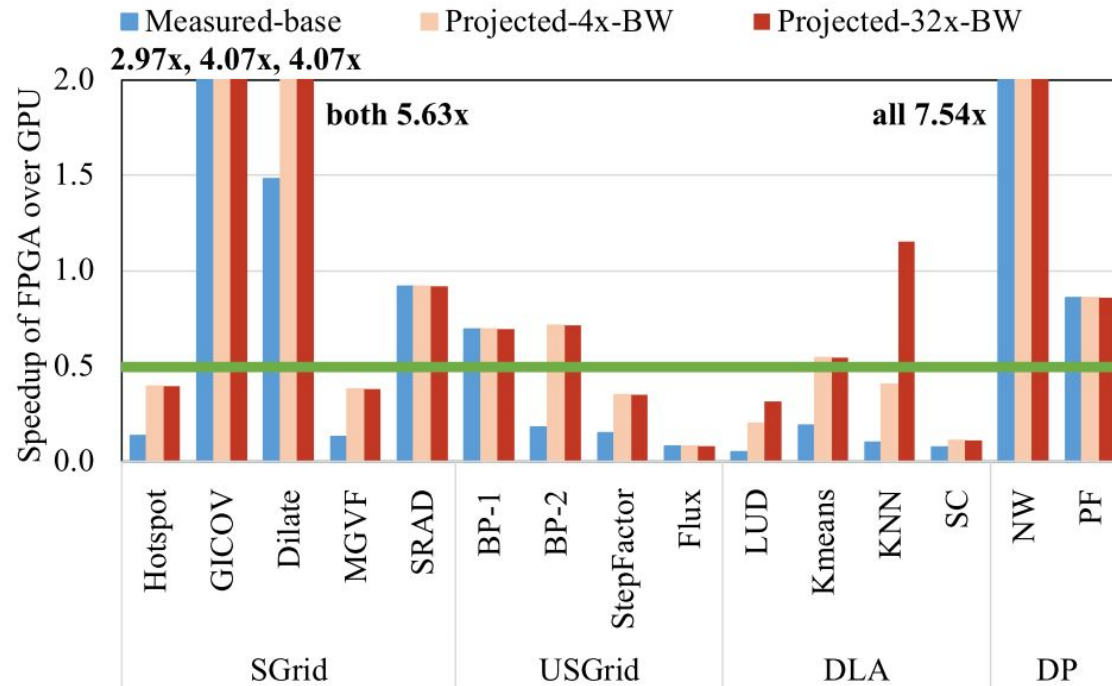
- Machine learning [5]
- Deep Learning [6]
- Servidores [7]
- Roteamento de comunicações [8]
- Bioinformática [9]

- e muitas outras aplicações...

Link Interessante:

<https://www.altera.com/products/fpga/new-to-fpgas/resource-center/overview.html>

Respostas para possíveis perguntas (FPGA x GPU)



FPGA

- Alpha Data ADM-PCIE-7V3
 - 28 nm
 - Xilinx
 - 16GB DDR3 RAM
 - BW 12.8 GB/s
 - Software
 - Xilinx SDAccel 2016.4

GPU

- Nvidia Tesla K40c
 - 28 nm
 - Clock 745 Mhz
 - 16GB GDDR5 RAM
 - BW 288 GB/s
 - Software
 - CUDA 9.0

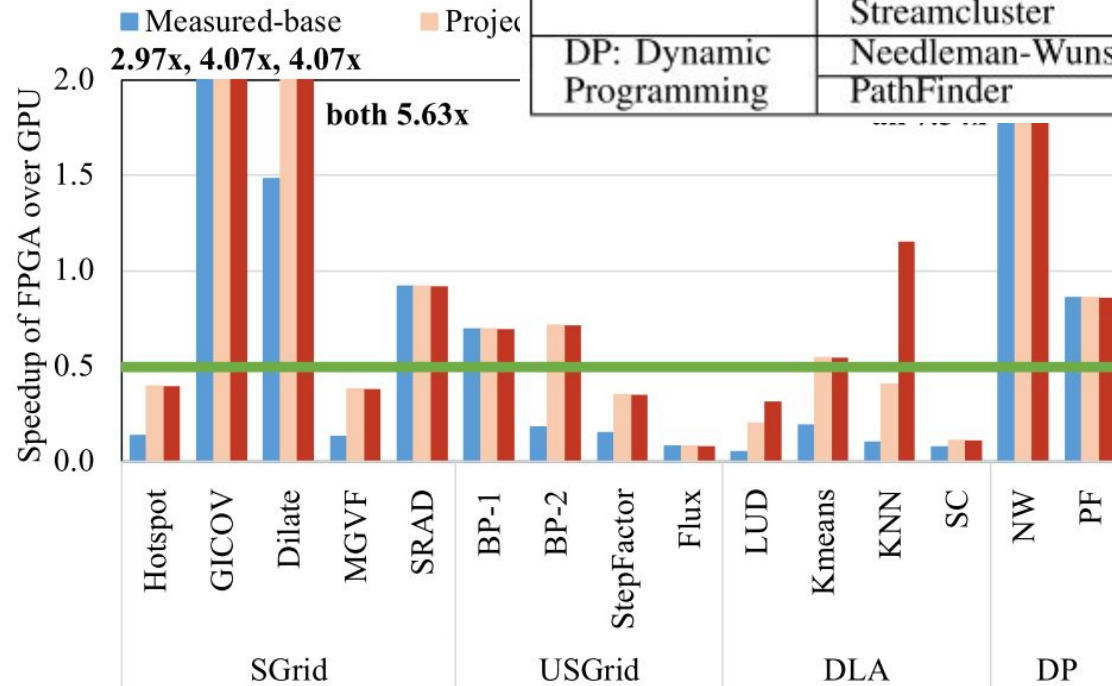
Ambas são conectadas

- Xeon CPU pela PCIe

Respostas para possíveis perguntas (FPGA x GPU)

Legenda

Dwarfs	Benchmark	Kernel Names	Domains
Structured Grid: SGrid	HotSpot	Hotspot	Physics Simulation
	Leukocyte	GICOV, Dilate and MGVF	Medical Imaging
	SRAD	SRAD	Image Processing
Unstructured Grid: USGrid	BackPropagation	BP-1, BP-2	Pattern Recognition
	CFDSolver	StepFactor, Flux	Fluid Dynamics
Dense Linear Algebra: DLA	LUDecomposition	LUD	Linear Algebra
	Kmeans	Kmeans	Data Mining
	k-Nearest Neighbors	KNN	Data Mining
	Streamcluster	SC	Data Mining
DP: Dynamic Programming	Needleman-Wunsch	NW	Bioinformatics
	PathFinder	PF	Grid Traversal



Respostas para possíveis perguntas (FPGA x GPU)

Cálculo da performance

$$runtime \approx \frac{total_ops * overhead_factor}{pipe_OPC * e_para_factor * freq}$$

Intervalo de
inicialização

Legenda

total_ops: número total de operações executadas pelo kernel

overhead_factor:

$$pipeline_overhead = 1 + \frac{pipe_depth}{II * pipe_iterations}$$

$$buffer_overhead \approx \frac{buffer_iterations}{number_tiles}$$

FPGA

GPU

Respostas para possíveis perguntas (FPGA x GPU)

Cálculo da performance

$$runtime \approx \frac{total_ops * overhead_factor}{pipe_OPC * e_para_factor * freq}$$

Intervalo de
inicialização

Legenda

pipe_OPC:

$$pipe_OPC \approx ops_per_PE / II$$

FPGA

Utilizou-se a própria ferramenta da NVidia (nvprof)

GPU

Respostas para possíveis perguntas (FPGA x GPU)

Cálculo da performance

$$runtime \approx \frac{total_ops * overhead_factor}{pipe_OPC * e_para_factor * freq}$$

Legenda

e_para_factor: números efetivos de pipelines paralelos

$$e_para_factor \approx \min \left\{ \frac{total_FPGA_resource}{resource_per_PE}, \frac{total_memory_BW}{BW_per_PE} \right\}$$

FPGA

$$e_para_factor \approx number_SMs * SM_activity\%$$

GPU

SM_activity% é um fator de medição da ativação do SM (nvprof)

Respostas para possíveis perguntas (Referência)

[5] Nazemi, M.; Eshratifar, A. E., and Pedram, M.; **A Hardware-Friendly Algorithm for Scalable Training and Deployment of Dimensionality Reduction Models on FPGA**, ARXIV, 2018.

[6] Moss, D. J. M. et al; **A Customizable Matrix Multiplication Framework for the Intel HARPv2 Xeon+FPGA Platform: A Deep Learning Case Study**; FPGA 2018; 2018

[7] Cho, S. *et al*; **A Full-System VM-HDL Co-Simulation Framework for Servers with PCIe-Connected FPGAs**, Stone Brook University, 2018.

[8] Proietti, R., *et al*; **Low-Latency Interconnect Optical Network Switch (LIONS)**, Springer Link, Optical Switching in Next Generation Data Centers, p 107-127, 2018.

[9] Surendar, A.; Shaik, S.; Rani, N. U. R., **Micro Sequence Identification of DNA Data Using Pattern Mining Techniques**, ScienceDirect, Vol. 5, Issue 1, Part 1, 2018, Pages 578-587