



**汇编与接口**

**课 程 设 计**

团队实验报告

|  |  |
| --- | --- |
| 学 院 | 计算机学院 |
| 专 业 | 计算机科学与技术 |
| 指导老师 | 王殿欣 |
| 组 长 | 杨昊 |
| 组 员 | 王欣宇、李昊阳 |
| 组长联系方式 | 13818794782 |

二O二一年八月

## 1 项目概述

本项目是一个基于 Verilog 的 VGA 接口设计，旨在将 0-0x400 的内存映射到屏幕上一块 16×16 的区域。通过 VGA 接口，用户可以在屏幕上显示文本、图像和其他内容。该项目使用 FPGA 实现，可以与任何具有 VGA 接口的计算机或显示器兼容。

项目的核心是 VGA 控制器，它负责将内存中的数据转换为 VGA 信号，并在屏幕上显示。VGA 控制器使用 Verilog 代码编写，并实现了一个简单的 16×16 像素的显示缓冲区，用于存储要显示的图像数据。该缓冲区可以通过用户程序进行写入，以更新屏幕上的内容。

同时，我们建立了顶层控制模块将接口和在上一阶段实现的CPU进行了连接，使VGA接口可以在需要的时候从CPU内存中读取数据，刷新自己的缓存，由此便实现了CPU对VGA的控制。

项目还包括一些辅助模块，如地址生成器、时钟管理器和状态机等。地址生成器用于生成内存地址，以便将数据写入显示缓冲区。时钟管理器用于控制 VGA 接口的时序，以确保数据在正确的时间被写入屏幕。状态机则用于管理 VGA 接口的状态，包括显示模式、颜色和分辨率等。

## 2 成员分工

## 3 开发环境