



1. Thiết kế IP Wishbone-to-APB bridge

1.1. Yêu cầu thiết kế

IP Wishbone-to-APB bridge thực hiện chuyển đổi tín hiệu từ giao thức Wishbone sang giao thức APB.

Thiết kế IP Wishbone-to-APB bridge với các yêu cầu chức năng sau:

- Chức năng giống như một Wishbone Slave trên Wishbone Bus và một APB Master trên APB Bus.
- Wishbone Slave và APB Master sử dụng cùng clock (synchronous).
- Độ rộng Data Wishbone Bus là 32/16/8 bits tương ứng với độ rộng Data APB Bus là 32/16/8 bits.
- Wishbone Slave supports:
 - Reset cycle synchronous.
 - SINGLE READ/WRITE, BLOCK READ/WRITE Cycles, READ MODIFY WRITE (RMW) Cycle.
 - BYTE, WORD, DWORD Ordering [SEL_IO()] with LITTLE ENDIAN.
 - Asynchronous/Synchronous cycle termination.
 - Cycle Type Identifier [CTI_IO()]: Classic cycle, Constant address burst cycle, Incrementing burst cycle, End-of-Burst.
 - Burst Type Extension [BTE_IO()] for Incrementing burst: Linear, 4-beat wrap, 8-beat wrap, 16-bit wrap burst.
- APB Master supports:
 - Read/Write transfers with
 - no wait states
 - wait states
 - Write strobes.
 - Error response.
- Có thể thêm chức năng khi thiết kế (phải đúng chuẩn).

Yêu cầu thực hiện dự án:

- Viết bản đặc tả kỹ thuật của thiết kế (Specifications).
- Triển khai thiết kế bằng ngôn ngữ mô tả phần cứng (Verilog hoặc SystemVerilog).
- Kiểm thử thiết kế sử dụng thư viện UVM.
- Tổng hợp (Synthesize) thiết kế sử dụng thư viện StandardCell, phân tích kết quả timing.



1.2. Mô tả tín hiệu

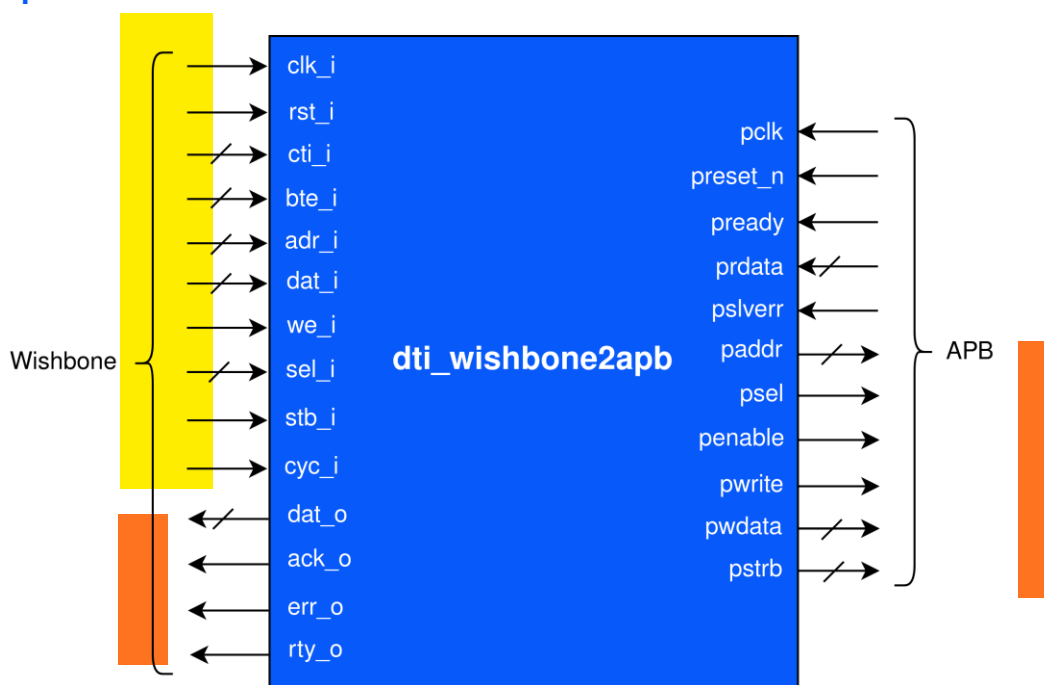


Figure 1.1. Wishbone-to-APB Bridge

Table 1. Wishbone Slave – Mô tả tín hiệu

Tên tín hiệu	Độ rộng	I/O	Mô tả
clk_i	1	Input	Clock đầu vào
rst_i	1	Input	Reset đồng bộ, tích cực mức cao
adr_i	WB_ADDR_WIDTH	Input	Địa chỉ đầu vào
dat_i	WB_DATA_WIDTH	Input	Data đầu vào được xác định bởi kích thước cổng
cyc_i	1	Input	Cycle đầu vào thể hiện một bus cycle hợp lệ. Tín hiệu này chuyển lên mức cao trong lần truyền data đầu tiên và giữ ở mức cao cho đến lần truyền data cuối cùng
sel_i	WB_SEL_WIDTH	Input	Chọn đầu vào thể hiện vị trí data hợp lệ
stb_i	1	Input	Strobe đầu vào thể hiện Slave được chọn
we_i	1	Input	Đầu vào cho phép ghi thể hiện bus cycle là đọc hay ghi 0: Đọc 1: Ghi
cti_i	WB_CTI_WIDTH	Input	Kiểu cycle. Slave có thể sử dụng thông tin này để chuẩn bị phản hồi cho cycle tiếp theo
bte_i	WB_BTE_WIDTH	Input	Kiểu burst. Sử dụng cho burst tăng dần
ack_o	1	Output	Acknowledge đầu ra thể hiện sự kết thúc một bus cycle
dat_o	WB_DATA_WIDTH	Output	Data đầu ra được xác định bởi kích thước cổng
err_o	1	Output	Error đầu ra thể hiện sự kết thúc bất thường một bus cycle
rty_o	1	Output	Retry đầu ra thể hiện master không sẵn sàng chấp nhận hoặc gửi data và cycle được thử lại



Table 2. APB Master – Mô tả tín hiệu

Tên tín hiệu	Độ rộng	I/O	Mô tả
pclk	1	Input	Clock đầu vào
preset_n	1	Input	Reset không đồng bộ, tích cực mức thấp
paddr	APB_ADDR_WIDTH	Output	Địa chỉ đầu vào
psel	APB_SEL_WIDTH	Output	Chọn slave thể hiện slave được chọn và một lần truyền data được yêu cầu
penable	1	Output	Enable thể hiện cycle thứ hai và các cycle tiếp theo của một lần truyền data
pwrite	1	Output	Hướng thể hiện truy cập ghi hay đọc 0: Đọc 1: Ghi
pwdata	APB_DATA_WIDTH	Output	Dữ liệu ghi được gửi trong chu kỳ ghi
pstrb	APB_STRB_WIDTH	Output	Thể hiện byte lanes nào sẽ cập nhật trong khi chu kỳ ghi
pready	1	Input	Slave sử dụng tín hiệu sẵn sàng để mở rộng một lần truyền data
prdata	APB_DATA_WIDTH	Input	Dữ liệu đọc được gửi trong chu kỳ đọc
pslverr	1	Input	Thể hiện một lần truyền data bị lỗi

Table 3. Wishbone-to-APB – Mô tả tham số

Tham số	Giá trị mặc định	Mô tả
Wishbone Interface		
WB_ADDR_WIDTH	32	Độ rộng Bus địa chỉ
WB_DATA_WIDTH	32	Độ rộng Bus dữ liệu
WB_SEL_WIDTH	4	Enable thể hiện cycle thứ hai và các cycle tiếp theo của một lần truyền data
WB_CTI_WIDTH	3	Thể hiện byte lanes nào sẽ cập nhật trong khi chu kỳ ghi
WB_BTE_WIDTH	2	Slave sử dụng tín hiệu sẵn sàng để mở rộng một lần truyền data
APB Interface		
APB_ADDR_WIDTH	32	Độ rộng Bus địa chỉ
APB_DATA_WIDTH	32	Độ rộng Bus dữ liệu
APB_SEL_WIDTH	1	Độ rộng tín hiệu chọn Slave
APB_STRB_WIDTH	4	Số byte dữ liệu của một lần ghi bus dữ liệu

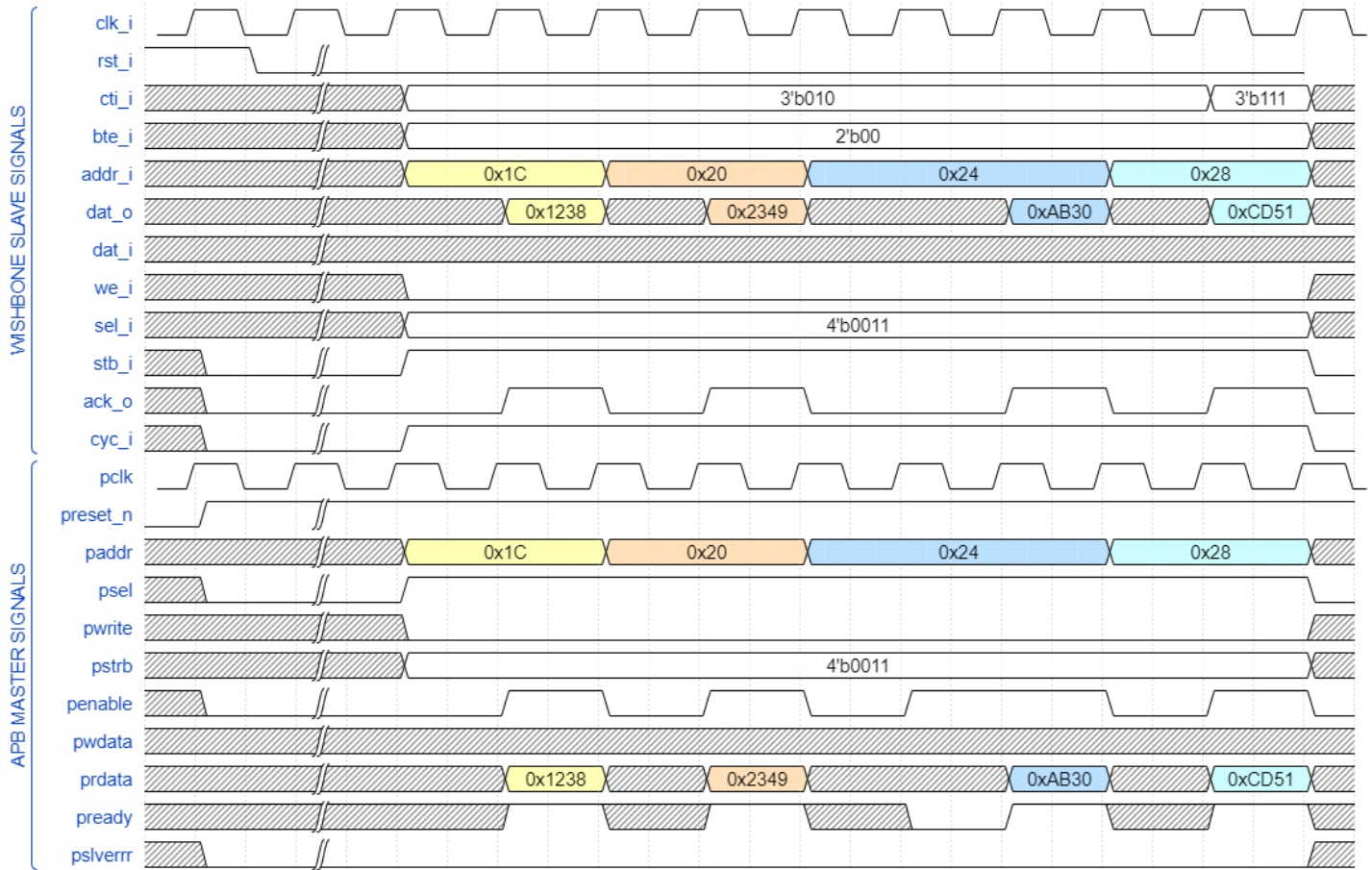


Figure 1.2. READ Linear Incrementing Burst Wishbone to Read Burst APB

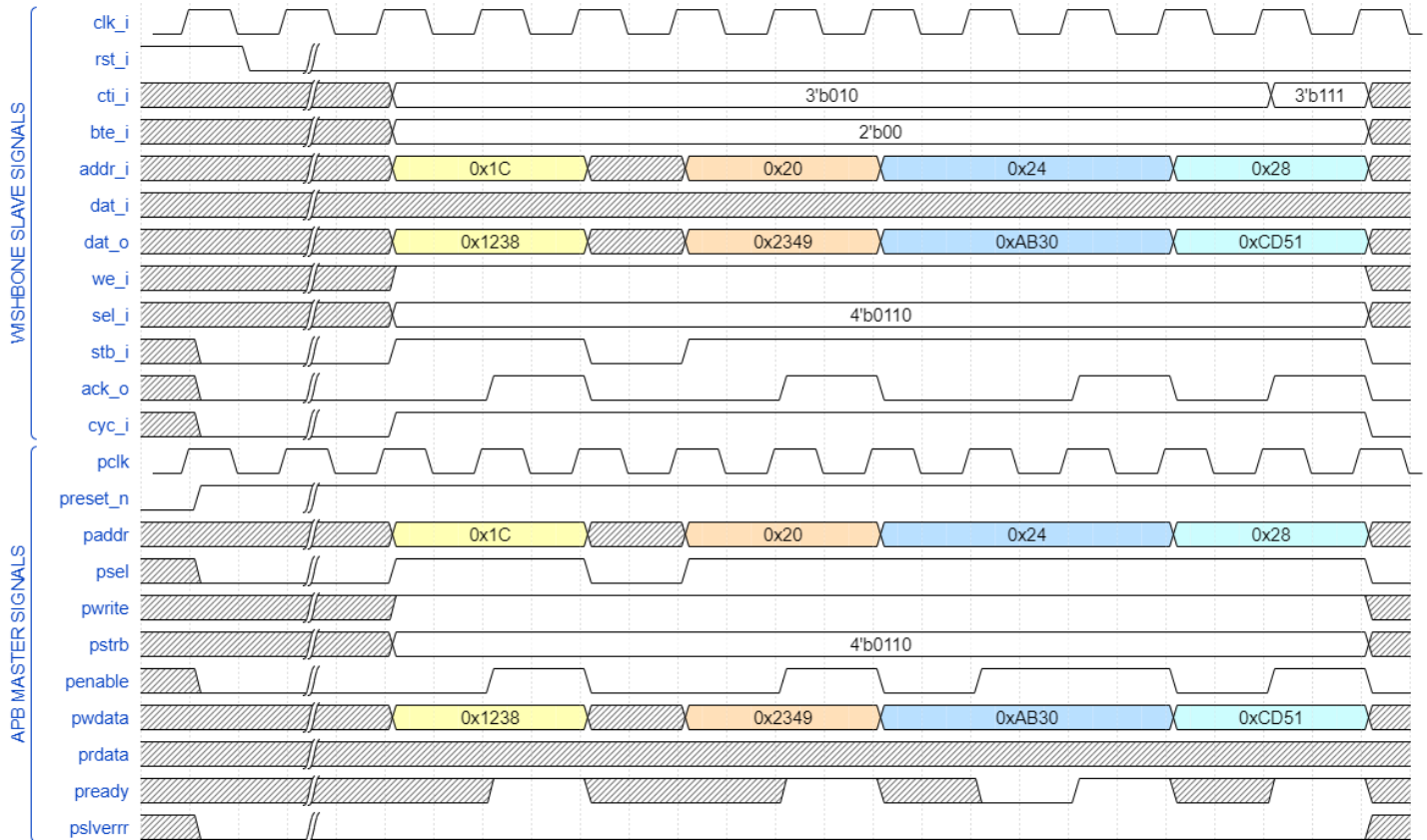


Figure 1.3. WRITE Linear Incrementing Burst Wishbone to Read Burst APB