



Intel® Agilex™ 高级信息简述

(器件概述)

本翻译版本仅供参考，如果本翻译版本与其英文版本存在差异，则以英文版本为准。某些翻译版本尚未更新对应到最新的英文版本，请参考[英文版本](#)以获取最新信息。



在线版本



发送反馈

AG-OVERVIEW

ID: **683458**

版本: **2019.04.02**

内容

1. Intel® Agilex™ FPGA 器件概述.....	3
1.1. Intel Agilex FPGA 器件系列.....	5
1.1.1. Intel Agilex F 系列 FPGA.....	5
1.1.2. Intel Agilex I 系列 FPGA.....	5
1.1.3. Intel Agilex M 系列 FPGA.....	5
1.1.4. 共同特征.....	5
1.2. 可用选项.....	6
1.3. Intel Agilex FPGA 和 SoC 特性汇总.....	6
1.4. Intel Agilex FPGA 和 SoC 中的创新.....	10
1.5. Intel Agilex FPGA 和 SoC 结构图.....	12
1.6. Intel Agilex FPGA 和 SoC 系列规划.....	12
1.7. Intel Hyperflex 内核体系结构 Core Architecture.....	16
1.8. 异构 3D SiP 收发器 Tile.....	18
1.9. Intel Agilex FPGA 收发器.....	18
1.9.1. E-Tile 收发器.....	19
1.9.2. P-Tile 收发器.....	20
1.9.3. F-Tile 收发器.....	20
1.9.4. R-Tile 收发器.....	21
1.10. PCI Express Gen1 / Gen2 / Gen3 / Gen4 / Gen5 Hard IP.....	21
1.11. Ethernet Hard IP.....	21
1.12. 外部存储器和通用 I/O.....	22
1.13. 自适应逻辑模块(ALM).....	24
1.14. 内核时钟网络.....	25
1.15. I/O PLL.....	25
1.16. 内部嵌入式存储器.....	25
1.17. 精度可调 DSP.....	26
1.18. 硬核处理器系统(HPS).....	29
1.19. 电源管理.....	33
1.20. 器件配置和安全器件管理器(SDM).....	33
1.21. 器件安全.....	35
1.22. 使用 PCI Express 的 CvP.....	35
1.23. 部分和动态配置.....	35
1.24. 快进编译(Fast Forward Compile).....	36
1.25. 单粒子翻转(SEU)检错和纠错.....	36
1.26. 附加信息.....	36
A. 修订历史.....	37

1. Intel® Agilex™ FPGA 器件概述

Intel 的 10-nm Intel® Agilex™ FPGA 和 SoC 是使用创新的小芯片(chiplet)体系结构进行构建的,可在系统级封装(SiP)中灵活地集成异构技术单元。小芯片(chiplet)体系结构使 Intel 能够通过定制的灵活解决方案来满足广泛的加速和高带宽应用需求。利用先进的 3D 封装技术(例如 Intel 嵌入式多芯片互连桥接(EMIB)),小芯片方法支持将传统 FPGA 芯片与专用半导体芯片相结合,创建针对目标应用进行独特优化的器件。

与上一代高性能 FPGA 相比,内核性能提升高达 40%,或功耗降低多达 40%, Intel Agilex FPGA 和 SoC 通过提供突破性功能使系统工程师能够加速实现当今和未来最先进的高带宽应用:

- 高级模拟功能(例如 112G 收发器)
- 高带宽处理器接口互连,在一个 FPGA 中包含 PCIe* Gen5 和业界首款 Compute Express Link (CXL)
- 在一个器件中包含高达 4 x 400GE 或 8 x 200GE 网络接口连接
- 第四代可扩展集成存储控制器,包括对 DDR5 的支持,以及 Intel Optane™ DC 持久存储器技术
- 业界领先的 DSP 支持,最多可包含 40 个 TFLOP
- 第二代 Intel Hyperflex™ 内核架构

通过使用 Intel One API Software,软件开发人员可以访问 Intel Agilex FPGA 和 SoC 以实现加速解决方案。Intel One API Software 为各种计算引擎提供了一个统一的,单源,面向软件的异构编程环境。该软件包括一个全面统一的开发人员工具组合,用于将软件映射到可加速代码的硬件。

Intel Agilex FPGA 和 SoC 中的主要创新

- Intel Advanced 10nm FinFET (第 3 代)工艺
- 创新的小芯片体系结构,在系统级封装(SiP)中敏捷,灵活地集成异构技术,以满足高度特定的应用需求
- 上一代高性能 FPGA 相比,第二代 Intel Hyperflex 内核架构的性能提升高达 40%
- 超过 300 万个等效逻辑单元(LE)的器件密度
- 高达 112 Gbps 的收发器数据速率
- 可配置的网络支持,在支持 IEEE 1588 的 select tile 中包含 Hard 10/25/50/100/200/400 GE MAC, PCS, FEC
- 在一个器件中高达 4 x 400GE 或者 8 x 200GE 网络性能
- Hard PCI Express* Gen4 x16 (每通道高达 16 Gbps)和 Gen5 x16 (每通道高达 32 Gbps)知识产权(IP)模块,支持 2x8 endpoint 或 4x4 rootport 的端口分叉(port bifurcation)
- Compute Express Link (CXL) Hard IP 模块

- 硬核存储控制器和 PHY，支持每管脚 3200 Mbps 上的 DDR4 x72，每管脚 4400 Mbps 上的 DDR5(仅限于 Intel Agilex I 系列器件)和 Intel Optane DC Persistent Memory 支持
- 支持高达 16 GB 高带宽存储器的器件选项
- 硬核定点和 IEEE 754 兼容的硬核浮点精度可调数据信号处理(DSP)模块，提供高达 40 TFLOPS 的 FP16 或者 BFLOAT16 的计算性能
- 与上一代高性能 FPGA 相比，超过 17K 的 18x19 乘法器或超过 34K 的 9x9 乘法器
- 多级片上存储器层次结构，在最大器件中具有超过 300 Mb 的嵌入式 RAM，由 640b MLAB，20Kb M20K 模块和 18Mb eSRAM 组成
- SoC 系列中的四核 64-bit Arm* Cortex* A53 嵌入式处理器，运行速度高达 1.5 GHz
- 可编程时钟树综合，用于灵活、低功耗、低偏移时钟
- 小数分频综合和基于极低抖动 LC tank 的发送锁相环的(PLL)
- Rectangular 和 Hex Pattern 封装，支持更多功能/区域，同时简化 BOM 列表
- 专用安全设备管理器(SDM):
 - 管理引导过程，加密，身份验证和所有密钥
 - 管理篡改传感器和脚本器件擦除
 - 对 FPGA 上的秘钥根信任(Private Key Root Trust)，仅在 FPGA 上的公钥(Public Key)基于物理不可克隆功能(PUF)的密钥提供安全的引导支持(Boot Support)
 - 提供平台证明
- 与上一代高性能 FPGA 相比，一组全面的节能特性使功耗降低多达 40%
- 非破坏性的寄存器状态读回和写回，支持 ASIC 原型开发和其它应用

1.1. Intel Agilex FPGA 器件系列

1.1.1. Intel Agilex F 系列 FPGA

Intel Agilex F 系列 FPGA 和 SoC 针对要求功耗与性能最佳平衡的各种 FPGA 应用进行了优化，具备 Intel 的业界领先的 10-nm FinFET 工艺技术的功率效率。与上一代 FPGA 相比，这些器件的内核架构性能提高了 40%，并包含高达 270 万个 LE 和 289 Mb 的片上 RAM。它们还具有通用收发器，PCIe Gen4 x16 和 3200 Mbps DDR4 外部存储器接口性能。收发器最高可达到 32 Gbps NRZ 和 58 Gbps (PAM4)。SoC 器件包含一个嵌入式四核 64-bit Arm Cortex -A53 硬处理器系统。

1.1.2. Intel Agilex I 系列 FPGA

Intel Agilex I 系列 FPGA 和 SoC 为带宽密集型应用提供高性能处理器接口和收发器速率。Intel Agilex I 系列 FPGA 和 SoC 包含的收发器最高可达 112 Gbps (PAM4)，可在单个器件中支持高达 4 x 400G 的可配置网络，包括高达 400GE 的硬核 Ethernet MAC，PCS，FEC。它们的特性还包括 32 Gbps 数据速率的 PCIe Gen5 x16 以及业界首个在 FPGA 中的 Compute Express Link (CXL)实现。Intel Agilex I 系列包括一个嵌入式四核 64 位 Arm Cortex -A53 硬处理器系统。

1.1.3. Intel Agilex M 系列 FPGA

Intel Agilex M 系列 FPGA 和 SoC 为计算密集型，高存储器带宽应用提供处理器和存储器接口。Intel Agilex M 系列 FPGA 和 SoC 包含超过 300 万个 LE，超过 300 Mb 的片上 RAM，以及高达 40TFLOP 的 DSP 支持。它还包括 32 Gbps 数据速率的 PCIe Gen5 x16，Compute Express Link (CXL)，HBM 选项，Intel Optane DC Persistent Memory 支持，以及 4400 Mbps DDR5 外部存储器接口性能。Intel Agilex M 系列 FPGA 包括嵌入式四核 64 位 Arm Cortex -A53 硬处理器系统。

1.1.4. 共同特征

所有的 Intel Agilex FPGA 器件系列都有一个基于第二代 Intel Hyperflex 内核体系结构的高性能架构，在整个互连路由和所有功能模块的输入端包含额外的超级寄存器(Hyper-Registers)。此内核架构还包含一个采用 Intel 的自适应逻辑模块(ALM)的增强逻辑阵列和一组高性能构建模块，包括：

- 片上多级存储器层级模块，包括 MLAB (640 b)，M20K (20 Kb)和 eSRAM (18 Mb)
- 具有符合 hard IEEE 754 的浮点单元的可变精度 DSP 模块，包括对半精度 FP16 (16-bit 算术)浮点模式和 BFLOAT16 浮点格式的支持。
- 整数 PLL
- 用于外部存储器接口的硬核存储控制器和 PHY
- 通用 I/O 单元

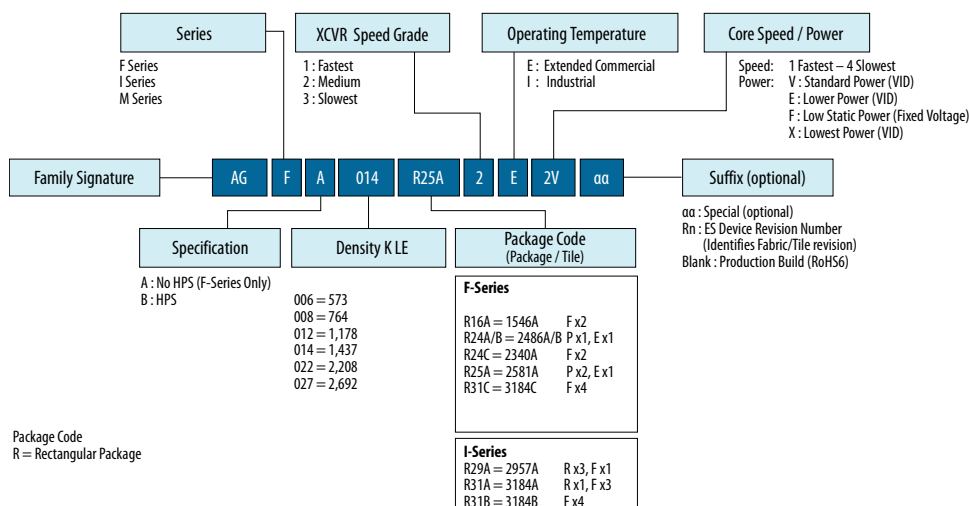
为对这些构建模块提供时钟，Intel Agilex FPGA 器件采用可编程时钟树综合，使用专用时钟树布线来综合应用所需的时钟树的那些分支。所有器件都支持逻辑阵列的系统内精细部分重配置，运行时可以从系统中添加和减去逻辑。

所有系列变体的高速串行收发器都包含物理介质附加层(PMA)和物理编码子层(PCS)，可用于实现各种行业标准和专有协议，如 E-tiles 中的 10/25/100 GE MAC，PCS，FEC 和 F-tiles 中的 10/25/50/100/200/400 GE MAC，PCS，FEC。

除了 hard PCS，Intel Agilex FPGA 器件还包含 PCI Express hard IP 的多个实例，支持 x1/x2/x4/x8/x16 通道配置中的 Gen1/Gen2/Gen3/Gen4/Gen5 速率(Gen5 仅存在于 Intel Agilex I 系列器件中)。hard PCS 和 PCI Express IP 释放宝贵的内核逻辑资源，节能并提高产量。

1.2. 可用选项

图 1. Intel Agilex 订购部件编号(OPN)



1.3. Intel Agilex FPGA 和 SoC 特性汇总

表 1. 特性总结

特性	描述
技术	<ul style="list-style-type: none"> 10-nm Intel 三栅极(FinFET)工艺技术 SmartVID 控制的核心电压，标准功耗器件 0.8-V 固定核心电压，低静态功耗器件
低功耗串行收发器	<p>PCIe (P-Tile and F-Tile)</p> <ul style="list-style-type: none"> 在 NRZ 模式下高达 Gen4，16 Gbps 的 PCIe 速率 <p>PCIe (R-Tile)</p> <ul style="list-style-type: none"> 在 NRZ 模式下高达 Gen5，32 Gbps 的 PCIe 速率 Compute Express Link (CXL)支持 <p>Networking (E-Tile)</p> <ul style="list-style-type: none"> NRZ 模式下 1 Gbps 至 28.9 Gbps 的连续操作范围，在 PAM4 模式下 2 Gbps 到 58 Gbps 的连续操作范围 符合 802.3bj, CEI 25G-LR 和 CEI 56G-LR 的插入损耗 针对低于 1 Gbps 数据速率的过采样功能 具有用户可配置的小数综合性能的 ATX 发送 PLL (ATX transmit PLL) XFP, QSFP-DD, OSFP, QSFP/QSFP28, QSFP56, SFP+, SFP28, SFP56, CFP/CFP2/CFP4 光模块支持 自适应线性和判决反馈均衡 发送预加重和去加重 单独收发器通道的动态部分重配置 片上仪器(Eye Viewer 非侵入性数据眼图监控)

继续...

特性	描述
	Networking (F-Tile) <ul style="list-style-type: none"> NRZ 模式下 1 Gbps 至 32 Gbps 的连续操作范围，在 PAM4 模式下 20 Gbps 到 58 Gbps 的连续操作范围 在 NRZ 模式下 24-29 Gbps & 48-58 Gbps 的操作范围，在 PAM4 模式下 24-29 Gbps, 48-58 Gbps, & 96-112Gbps 的操作范围
通用 I/O	<ul style="list-style-type: none"> 超过 1000 个 GPIO 可用 与 LVDS/ RSDS/ Mini-LVDS/ LVPECL 兼容的 1.6 Gbps 1.5V True Differential Signaling—每对可配置成一个输入或输出 1600 MHz/3200 Mbps DDR4 外部存储器接口 2200 MHz/4400 Mbps DDR5 外部存储器接口 1.2 V 单端 LVCMOS/LVTTL 接口连接 片上匹配(OCT)
嵌入式 hard IP	<ul style="list-style-type: none"> DDR4/DDR5/HBM2e/Intel Optane DC Persistent Memory 硬核存储控制器 (RLDRAM3/QDR IV 使用软核存储控制器) 每个器件中有多个 hard IP 例化 Single Root I/O Virtualization (SR-IOV)
收发器 hard IP	PCIe (P-Tile and F-Tile) <ul style="list-style-type: none"> 高达 Gen4 x 16 EP 和 RP 端口分叉(Port Bifurcation)支持: 2 x 8 Endpoint 或者 4 x 4 Rootport TL 旁路特性 SR-IOV (8 个物理功能/2K 虚拟功能) VirtIO 支持 可扩展 IOV 共享虚拟存储器 PCIe (R-Tile) <ul style="list-style-type: none"> 高达 Gen5 x 16 EP 和 RP 端口分叉(Port Bifurcation)支持: 2 x 8 Endpoint 或者 4 x 4 Rootport TL 旁路特性 SR-IOV (8 个物理功能/2K 虚拟功能) VirtIO 支持 可扩展 IOV 共享虚拟存储器 PMA Direct 模式 Precise Time Management Networking (E-Tile) <ul style="list-style-type: none"> Ethernet IP Configurations <ul style="list-style-type: none"> 24 x 10/25GE MAC, PCS, RS-FEC 4 x 100GE MAC, PCS, RS-FEC CPRI 和光纤通道 FEC CR/KR (AN/LT) 1588 PTP MAC, PCS 和 FEC 旁路选项 PMA Direct 模式 Networking (F-Tile)

继续...

特性	描述
	<ul style="list-style-type: none"> Ethernet IP Configurations: <ul style="list-style-type: none"> 16 x 10/25GE MAC, PCS, FEC 8 x 50GE MAC, PCS, FEC 4 x 100GE MAC, PCS, FEC 2 x 200GE MAC, PCS, FEC 1 x 400GE MAC, PCS, FEC 对高达 600G Interlaken 的 KP FEC 支持 Flex-O FEC, FlexE PCS and FEC, Ethernet over OTN Mode, SyncE, Fibre Channel, CPRI FEC CR/KR (AN/LT) 1588 PTP MAC, PCS 和 FEC 旁路选项 PMA Direct 模式
电源管理	<ul style="list-style-type: none"> SmartVID 控制的核心电压, 标准功耗器件 0.8-V 固定核心电压, 低静态功耗器件 Intel Quartus® Prime Pro Edition 集成的功耗分析
高性能内核架构	<ul style="list-style-type: none"> 第二代 Intel Hyperflex 内核体系结构, 包含在整个互连布线和所有功能模块的输入上的超级寄存器(Hyper-Register) 增强型自适应逻辑模块(ALM) 经过改进的多轨布线体系结构可以减少阻塞, 并且缩短编译时间 具有可编程时钟树综合的分层内核时钟体系结构 精细粒度部分重配置
内部存储器模块	<ul style="list-style-type: none"> M20K: 20-Kbit 支持 hard ECC MLAB: 640-bit 分布的 LUTRAM eSRAM: 18Mb 嵌入式存储器模块
精度可调 DSP 模块	<ul style="list-style-type: none"> IEEE 754 兼容的硬核单精度浮点功能 支持半精度 FP16 和 BFLOAT16 支持精度范围从 18x19 到 54x54 的信号处理 Native 27x27, 18x19 和 9x9 乘法模式 64-bit 累加器和脉动 FIR 的级联 内部系数存储器 bank 预加法器/减法器提高了效率 额外的流水线寄存器提高了性能并且降低了功耗
锁相环(PLL)	<ul style="list-style-type: none"> 小数分频综合 PLL (fPLL)支持小数分频和整数模式 三阶 delta-sigma 调制的小数分频模式 精度频率综合 与通用 I/O 相邻的整数 PLL, 支持外部存储器和 LVDS 兼容接口、时钟延迟补偿、零延迟缓存
内核时钟网络	<ul style="list-style-type: none"> 800 MHz 外部存储器接口时钟, 支持 3200 Mbps DDR4 接口 800 MHz LVDS 接口时钟, 通过与 LVDS/ RSDS/ Mini-LVDS/ LVPECL 兼容的 V True Differential Signaling 来支持 1600 Mbps LVDS 接口 可编程时钟树综合、向后兼容全局、区域和外设时钟网络 仅在必要时进行综合的时钟, 以最小化动态功耗
配置	<ul style="list-style-type: none"> 专用的安全器件管理器(Dedicated Secure Device Manager) 软件可编程器件配置 串行和并行闪存接口 使用 PCI Express Gen1/Gen2/Gen3/Gen4/Gen5 通过协议进行配置(Configuration via protocol (CvP)) 内核架构的精细粒度部分重配置

继续...

特性	描述
	<ul style="list-style-type: none"> 收发器和 PLL 的动态重配置 一组全面的安全特性，包括 AES-256、SHA-256/384 和 ECDSA-256/384 加速器和多因子认证 物理反复制技术(Physically Unclonable Function (PUF))服务 平台证明(Platform Attestation) 防篡改特性
封装	<ul style="list-style-type: none"> Intel 嵌入式多管芯互连桥接(EMIB)封装技术 封装面积相同的多个器件支持在不同的器件密度之间的无缝移植 1.0 mm ball-pitch FBGA 封装 矩形封装和六角球栅
软件和工具	<ul style="list-style-type: none"> 包含新的编译器和 Hyper-Aware 设计流程的 Intel Quartus Prime Pro Edition 设计套件 支持 Intel Hyperflex 体系结构性能探索的 Fast Forward compiler 收发器工具包 Platform Designer 集成工具 DSP Builder 高级模块集 OpenCL* 支持 SoC 嵌入式设计套件(EDS)

表 2. Intel Agilex SoC 特定器件特性

SoC 子系统	特性	描述
硬核处理器系统	多处理器单元(MPU)内核	<ul style="list-style-type: none"> 四核 ARM Cortex-A53 MPCore 处理器，具有 ARM CoreSight 调试和追踪技术 标量浮点单元支持单双精度 用于每个处理器的 ARM NEON 介质处理引擎
	系统控制器	<ul style="list-style-type: none"> 系统存储器管理单元(SMMU) 高速缓存一致性单元(CCU)
	Layer 1 高速缓存	<ul style="list-style-type: none"> 带奇偶校验的 32 KB L1 指令高速缓存 带 ECC 的 32 KB L1 数据高速缓存
	Layer 2 高速缓存	<ul style="list-style-type: none"> 带 ECC 的 1 MB 共享 L2 高速缓存
	片上存储器	<ul style="list-style-type: none"> 256 KB 片上 RAM
	直接存储器访问(DMA)控制器	<ul style="list-style-type: none"> 8 通道 DMA
	以太网介质访问控制器(EMAC)	<ul style="list-style-type: none"> 集成 DMA 的 3 个 10/100/1000 EMAC
	USB On-The-Go 控制器(OTG)	<ul style="list-style-type: none"> 集成 DMA 的 2 个 USB OTG
	UART 控制器	<ul style="list-style-type: none"> 可兼容 16550 的 2 个 UART
	串行外设接口(SPI)控制器	<ul style="list-style-type: none"> 4 个 SPI
	I ² C 控制器	<ul style="list-style-type: none"> 5 个 I²C 控制器
	SD/SDIO/MMC 控制器	<ul style="list-style-type: none"> 具备 DMA 和 CE-ATA 支持的 1 个 4.5 版本的 eMMC SD，包括 eSD，3.0 版本 SD，包括 eSDIO，3.0 版本 CE-ATA - 1.1 版本
	NAND 闪存控制器	<ul style="list-style-type: none"> 1 ONFI 1.0, 8-和 16-bit 支持
	通用 I/O (GPIO)	<ul style="list-style-type: none"> 最多 48 个软件可编程的 GPIO
继续...		

SoC 子系统	特性	描述
	计时器	<ul style="list-style-type: none"> 4 个通用计时器 4 个看门狗计时器
安全器件管理器	安全	<ul style="list-style-type: none"> 安全启动 高级加密标准(AES)和认证(SHA/ECDSA)
外部存储器接口	外部存储器接口	<ul style="list-style-type: none"> 包含 DDR4 的硬核存储控制器

1.4. Intel Agilex FPGA 和 SoC 中的创新

与上一代高性能 Intel Stratix® 10FPGA 相比，Intel Agilex FPGA 和 SoC 进行了诸多重大改进。

表 3. Intel Stratix 10 和 Intel Agilex FPGA 之间的特性比较

特性	Intel Stratix 10 FPGA	Intel Agilex FPGA
工艺技术	14 nm Intel Tri-Gate (FinFET)	10 nm Intel FinFET
硬核处理器内核	四核 64 位 Arm Cortex -A53 (仅限 SoC)	四核 64 位 ARM Cortex-A53 (仅限 SoC)
FPGA 内核体系结构	在互连中有超级寄存器(Hyper-Register)的 Intel Hyperflex 内核体系结构	在互连中有超级寄存器(Hyper-Register)的第二代 HyperFlex 内核体系结构
FPGA 内核性能	1.0x	1.4x
功耗	1.0x	0.6x
最大逻辑密度	2,800 KLE	超过 3,000 KLE
嵌入式存储器	229 Mbits	超过 300 Mbits
18x19 乘法器	11,520	超过 17,000
9x9 乘法器	11,520	超过 34,000
浮点 DSP 功能	多达 10 个 TFLOPS，硬核 IEEE 754 兼容的单精度浮点加法和乘法器	高达 40 个支持半精度 FP16 或 BFLOAT16 的 TFLOP
最大收发器数据速率	28.9 Gbps L-Tile 28.9 Gbps H-Tile E-Tile 中的 28.9 Gbps NRZ 或者 57.8 Gbps PAM4	<ul style="list-style-type: none"> E-Tile 中的 28.9 Gbps NRZ 或者 57.8 Gbps PAM4 用于处理器互连应用的 P-Tile 中的 16 Gbps NRZ F-Tile 中的 32 Gbps NRZ 或者 58Gbps PAM4 通用收发器 F-Tile 中的 112 Gbps PAM4 高速收发器 用于处理器互连应用的 R-Tile 中的 32 Gbps NRZ
硬核存储控制器	DDR4 @ 1333 MHz/2666 Mbps DDR3 @ 1067 MHz/2133 Mbps	DDR4 @ 1600 MHz / 3200 Mbps DDR5 @ 2200 MHz / 4400 Mbps HBM2e @ 2.8 Gbps
硬核协议 IP	PCIe Gen3 x16 (多达 4 个实例) H-Tile 器件上的 SR-IOV (4 个物理功能/2K 虚拟功能) 10GBASE-KR/40GBASE-KR4 FEC Networking (E-Tile)	PCIe (P-Tile 和 F-Tile) <ul style="list-style-type: none"> 高达 PCIe Gen4 x 16 EP 和 RP Port Bifurcation 支持: 2x8 Endpoint 或者 4x4 Rootport TL 旁路特性 SR-IOV (8 个物理功能/2K 虚拟功能) VirtIO 支持 可扩展 IOV 共享虚拟存储器 PCIe (R-Tile)

继续..

特性	Intel Stratix 10 FPGA	Intel Agilex FPGA
	<ul style="list-style-type: none"> Ethernet IP 配置 <ul style="list-style-type: none"> 24 x 10/25GE MAC, PCS, RS-FEC 4 x 100GE MAC, PCS, RS-FEC CPRI 和光纤通道 FEC CR/KR (AN/LT) 1588 PTP MAC, PCS 和 FEC 旁路选项 PMA Direct 模式 	<ul style="list-style-type: none"> 高达 PCIe Gen5 x 16 EP 和 RP Port Bifurcation 支持: 2x8 Endpoint 或者 4x4 Rootport TL 旁路特性 SR-IOV (8 个物理功能/2K 虚拟功能) VirtIO 支持 可扩展 IOV 共享虚拟存储器 PMA Direct 模式 精确时间管理 <p>Hardened CXL IP (R-Tile)</p> <p>Networking (E-Tile)</p> <ul style="list-style-type: none"> Ethernet IP 配置 <ul style="list-style-type: none"> 24 x 10/25GE MAC, PCS, RS-FEC 4 x 100GE MAC, PCS, RS-FEC CPRI 和光纤通道 FEC CR/KR (AN/LT) 1588 PTP MAC, PCS 和 FEC 旁路选项 PMA Direct 模式 <p>Networking (F-Tile)</p> <ul style="list-style-type: none"> Ethernet IP 配置: <ul style="list-style-type: none"> 16 x 10/25GE MAC, PCS, FEC 8 x 50GE MAC, PCS, FEC 4 x 100GE MAC, PCS, FEC 2 x 200GE MAC, PCS, FEC 1 x 400GE MAC, PCS, FEC 对高达 600G Interlaken 的 KP FEC 支持 Flex-O FEC, FlexE PCS and FEC, Ethernet over OTN Mode, SyncE, Fibre Channel, CPRI FEC CR/KR (AN/LT) 1588 PTP MAC, PCS 和 FEC 旁路选项 PMA Direct 模式
内核时钟和 PLL	小数分频综合 fPLL 和整数 I/O PLL 的可编程时钟树综合	小数分频综合 fPLL 和整数 I/O PLL 的可编程时钟树综合
寄存器状态读回和写回	用于 ASIC 原型开发和其它应用的非破坏性的寄存器状态读回和写回	用于 ASIC 原型开发和其它应用的非破坏性的寄存器状态读回和写回

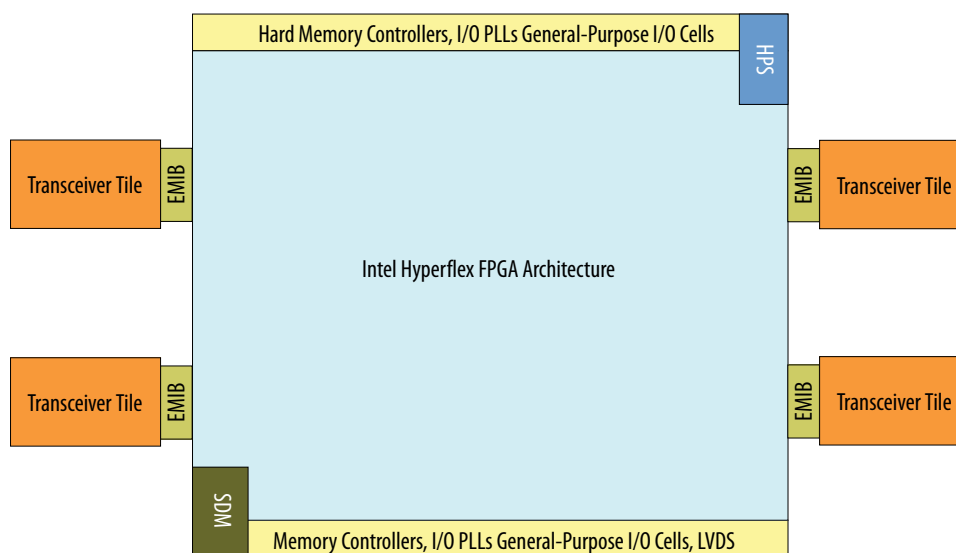
这些创新促成如下改进:

- 改进的内核逻辑性能:** 与 Intel 的 10-nm FinFET 技术相结合的第二代 Intel Hyperflex 内核体系结构与上一代相比, 使 Intel Agilex FPGA 实现了高达 40% 的内核性能提升。
- 更低功耗:** 与上一代相比, Intel Agilex FPGA 使用多达 40% 的更低功耗, 这是通过 10-nm Intel FinFET 技术, Intel Hyperflex 内核体系结构以及体系结构中内置的可选功耗节省功能来实现的
- 更高密度:** Intel Agilex FPGA 提供超过 2 倍的集成度, 在最大器件中包含超过 3M 的逻辑单元(LE), 超过 300 Mbits 的嵌入式存储器模块和超过 17K 的 18x19 乘法器或者超过 34K 的 9x9 乘法器
- 改进的收发器性能:** 通过使用在异构 3D SiP 收发器 tile 中实现的收发器, Intel Agilex FPGA 支持 E-Tile 中高达 28.9 Gbps NRZ 或 58 Gbps PAM4 的数据速率和 F-Tile 中的 32 Gbps NRZ 或 58 Gbps PAM4 通用收发器以及 112 Gbps PAM4 高速收发器

- **改进的 DSP 性能：** Intel Agilex FPGA 中的可变精度 DSP 模块具有固定和浮点性能，包括 IEEE 754 单精度浮点，半精度 FP16 和 BFLOAT 16 支持
- **额外的硬核 IP：** Intel Agilex FPGA 包含比上一代器件更多的硬核 IP 模块，由 96 个通用 I/O 组成的每个 bank 中包含一个硬核存储控制器， Intel Agilex F-Series 和 I-Series 器件中的 hard PCIe Gen4 x16 完整协议栈， Intel Agilex I-Series 器件中 PCIe Gen5 x16 完整协议栈和 Compute Express Link (CXL)， E-Tile 中的 hard 10/25/100 GE MAC， PCS， FEC 和 F-Tile 中的 0/25/50/100/200/400 GE MAC， PCS， FEC。
- **增强的内核时钟：** Intel Agilex FPGA 具有可编程时钟树综合的功能；该时钟树仅进行必要的综合，这样增加了灵活性，并且降低了时钟解决方案的功耗
- **额外的内核 PLL：** Intel Agilex FPGA 的内核架构被整数 I/O PLL 支持，从而使 PLL 数量的总数超过了上一代 FPGA。

1.5. Intel Agilex FPGA 和 SoC 结构图

图 2. Intel Agilex FPGA 结构图



1.6. Intel Agilex FPGA 和 SoC 系列规划

表 4. Intel Agilex F-Series FPGA 系列规划第 1 部分

Intel Agilex F-Series 器件名称	逻辑单元(LE)	eSRAM 模块	eSRAM Mbits	M20K 模块	M20K Mbits	MLAB 数量	MLAB Mbits	精度可调 DSP 模块	18x19 乘法器
AGF 004	392,000	0	0	1,900	38	6644	4.3	1,640	2.3K
AGF 006	573,480	0	0	2,844	56	9720	6.2	1,640	3.3K
AGF 008	764,640	0	0	3,792	74	12960	8.3	2,296	4.6K
AGF 012	1,200,000	2	36	5,568	110	20338	13	4,000	8K
继续...									

Intel Agilex F-Series 器件名称	逻辑单元(LE)	eSRAM 模块	eSRAM Mbits	M20K 模块	M20K Mbits	MLAB 数量	MLAB Mbits	精度可调 DSP 模块	18x19 乘法器
AGF 014	1,437,240	2	36	7,110	139	24,360	15.6	4,510	9K
AGF 022	2,200,000	0	0	11,616	210	37288	21	6,250	12.5K
AGF 027	2,692,760	0	0	13,272	259	45,640	29.2	8,736	17K

表 5. Intel Agilex F-Series FPGA 系列规划第 2 部分

Intel Agilex F-Series 器件名称	F-Tile 收发器通道 ⁽¹⁾	F-Tile Ethernet ⁽²⁾	F-Tile PCIe ⁽³⁾	P-Tile PCIe ⁽⁴⁾	E-Tile Ethernet ⁽⁵⁾	E-Tile 收发器通道 ⁽⁶⁾	HPS 选项
AGF 004	24x PAM-4 32x NRZ	2	1	0	0	0	Yes
AGF 006	24x PAM-4 32x NRZ	2	1	0	0	0	Yes
AGF 008	24x PAM-4 32x NRZ	2	1	1	4	12x PAM-4 24x NRZ	Yes
AGF 012	24x PAM-4 32x NRZ	2	1	1	4	12x PAM-4 24x NRZ	Yes
AGF 014	24x PAM-4 32x NRZ	2	1	1	4	12x PAM-4 24x NRZ	Yes
AGF 022	48x PAM-4 64x NRZ	4	1	1	4	12x PAM-4 24x NRZ	Yes
AGF 027	48x PAM-4 64x NRZ	4	1	1	4	12x PAM-4 24x NRZ	Yes

⁽¹⁾ 最大 F Tile 收发器通道 PAM4 (高达 58 Gbps) - RS & KP FEC NRZ (高达 32 Gbps)

⁽²⁾ 最大 F Tile 10/25/50/100/200/400G Ethernet MAC + FEC hard IP 模块

⁽³⁾ 最大 F-Tile PCIe hard IP 模块(Gen4 x 16)或者 Bifurcateable 2x PCIe Gen4 x8 (EP)或 4x Gen4 x4 (RP)

⁽⁴⁾ 最大 P Tile PCIe hard IP 模块(Gen4x16)或者 Bifurcateable 2x PCIe Gen4 x8 (EP)或 4x Gen4 x4 (RP)

⁽⁵⁾ 最大 E Tile 100G Ethernet MAC + FEC hard IP 模块

⁽⁶⁾ 最大 E Tile 收发器通道 PAM4 (高达 58 Gbps) - RS & KP FEC NRZ (高达 28.9 Gbps)

表 6. 包括 F-Tile 封装选项和 I/O 管脚的 Intel Agilex F-Series FPGA

注意: **Key:** GPIO (LVDS) / F-Tile 32G (58G) **Example:** 如果下表中的条目包含 384(192)/32(24), 那么意思是 384 个 GPIO, 其中的 192 个是 LVDS; 32 个 32G NRZ 通道和 24 个 58G PAM4 通道

Intel Agilex F-Series 器件名称	F894A ⁽⁷⁾	R1681A ⁽⁸⁾	R1957A ⁽⁹⁾	R2280A ⁽¹⁰⁾	R3343A ⁽¹¹⁾
AGF004	384(192)/16(12)	384(192)/32(24)	384(192)/32(24)		
AGF006	384(192)/16(12)	384(192)/32(24)	384(192)/32(24)		
AGF008		384(192)/32(24)	576(288)/32(24)		
AGF012			576(288)/32(24)	768(384)/32(24)	
AGF014			576(288)/32(24)	768(384)/32(24)	
AGF022					768(384)/64(48)
AGF027					768(384)/64(48)

表 7. 包括 P-Tile 和 E-Tile 封装选项和 I/O 管脚的 Intel Agilex F-Series FPGA

注意: **Key:** GPIO (LVDS) / E-Tile 28.9G (58G) / P-Tile 16G PCIe **Example:** 如果下表中的条目包含 576(288)/24(12)/16, 那么意思是 576 个 GPIO, 其中 288 个是 LVDS; 24 个 28.9 NRZ 通道和 12 个 58G PAM4 通道; 16 个高达 16G/lane PCIe

Intel Agilex F-Series 器件名称	R2068A ⁽¹²⁾	R2486A ⁽¹³⁾	R2486B ⁽¹⁴⁾
AGF004			
AGF006			
AGF008	576(288)/24(12)/16		
AGF012	576(288)/24(12)/16	768(384)/16(8)/16	768(384)/24(12)/16
AGF014	576(288)/24(12)/16	768(384)/16(8)/16	768(384)/24(12)/16
AGF022			768(384)/24(12)/16
AGF027			768(384)/24(12)/16

⁽⁷⁾ (F-Tile x1) (29 mm x 29mm, Hex 1.0 mm pitch)

⁽⁸⁾ (F-Tile x2) (46 mm x 35 mm, Hex 1.0 pitch)

⁽⁹⁾ (F-Tile x2) (50 mm x 37.5 mm, Hex 1.0mm pitch)

⁽¹⁰⁾ (F-Tile x2) (50 mm x 37.5 mm, Hex 1.0 mm pitch)

⁽¹¹⁾ (F-Tile x4) (59 mm x 53 mm, Hex 1.0 mm pitch)

⁽¹²⁾ (E-Tile + P-Tile) (52 mm x 37.5mm, Hex 1.0mm pitch)

⁽¹³⁾ (E-Tile + P-Tile) (55 mm x 42.5 mm, Hex 1.0 mm pitch)

⁽¹⁴⁾ (E-Tile + P-Tile) (55 mm x 42.5 mm, Hex 1.0 mm pitch)

表 8. Intel Agilex I-Series FPGA 系列规划第 1 部分

Intel Agilex I-Series 器件名称	逻辑单元(LE)	eSRAM 模块	eSRAM Mbits	M20K 模块	M20K Mbits	MLAB 数量	MLAB Mbits	精度可调 DSP 模块	18x19 乘法器
AGI022	2,200,000	0	0	11,616	210	32,788	21	6,250	12.5K
AGI027	2,692,760	0	0	13,272	259	45,640	29.2	8,736	17K

表 9. Intel Agilex I-Series FPGA 系列规划第 1 部分

Intel Agilex I-Series 器件名称	R-Tile PCIe 模块 ⁽¹⁵⁾	Compute Express Link (CXL) 通道 ⁽¹⁶⁾	F-Tile Ethernet ⁽¹⁷⁾	F-Tile PCIe ⁽¹⁸⁾	F-Tile 高速 ⁽¹⁹⁾	F-Tile 通用 ⁽²⁰⁾	HPS 选项
AGI022	3	48	2	3	8x PAM-4 8x NRZ	48x PAM-4 64x NRZ	Yes
AGI027	3	48	2	3	8x PAM-4 8x NRZ	48x PAM-4 64x NRZ	Yes

表 10. 包括 F-Tile 封装选项和 I/O 管脚的 Intel Agilex I-Series FPGA

注意:

Key: GPIO (LVDS) / F-Tile 32G (58G) / High Speed 56G (112G). **Example:** 如果下表中的条目包含 768(384)/64(48)/8(8), 那么意思是 768 个 GPIO, 其中 384 个是 LVDS; 64 个 32G NRZ 通道和 48 个 58G PAM4 通道; 8 个 56G NRZ 通道和 8 个 112G PAM4 通道

Intel Agilex I-Series 器件名称	R3343A ⁽²¹⁾
AGI 022	768(384) / 64(48)/ 8(8)
AGI 027	768(384) / 64(48)/ 8(8)

-
- (15) 最大 R-Tile PCIe hard IP 模块(Gen5x16)或者 Bifurcateable 2x PCIe Gen5 x8 (EP)或 4x Gen5 x4 (RP)
- (16) Intel Xeon® Scalable Processor 的最大 Compute Express Link (CXL)通道数
- (17) 最大 F Tile 10/25/50/100/200/400G Ethernet MAC + FEC hard IP 模块
- (18) 最大 F-Tile PCIe hard IP 模块(Gen4x16)或者 Bifurcateable 2x PCIe Gen4 x8 (EP)或 4x Gen4 x4 (RP)
- (19) 最大 F Tile 高速收发器通道模块 PAM4 (高达 112 Gbps) - RS & KP FEC NRZ (高达 56 Gbps)
- (20) 最大 F Tile 通用收发器通道 PAM4 (高达 58 Gbps) - RS & KP FEC NRZ (高达 32 Gbps)
- (21) (F-Tile x4) (59 mm x 53 mm, Hex 1.0 mm pitch)

表 11. 包括 F-Tile 和 R-Tile 封装选项和 I/O 管脚的 Intel Agilex I-Series FPGA

注意:

Key: GPIO (LVDS) / F-Tile 32G (56G) / High Speed 56G (112G) / R-Tile 32G PCIe (CXL) 通道。**Example:** 如果下表中的条目包含 768(384)/16(12)/0(0)/48(48), 那么意思是 768 个 GPIO, 其中的 384 个是 LVDS; 16 个 32G NRZ 通道和 12 个 58G PAM4 通道; 0 个 56G NRZ 通道和 0 个 122G PAM4 通道; 48 个高达 32G/lane PCIe 和 48 个通道 CXL

Intel Agilex I-Series 器件名称	R2979A ⁽²²⁾	R3803A ⁽²³⁾
AGI 022	768(384)/16(12)/0(0)/48(48)	1104(552)/48(36)/8(8)/16(16)
AGI 027	768(384)/16(12)/0(0)/48(48)	1104(552)/48(36)/8(8)/16(16)

1.7. Intel Hyperflex 内核体系结构 Core Architecture

Intel Agilex FPGA 和 SoC 基于第二代 Intel Hyperflex 内核体系结构特性的内核架构。与上一代高端 FPGA 相比, Intel Hyperflex 内核体系结构实现了高达 40% 的更高时钟频率性能或者多达 40% 的更低功耗。

伴随着这种性能突破, Intel Hyperflex 内核体系结构实现了许多优势, 包括:

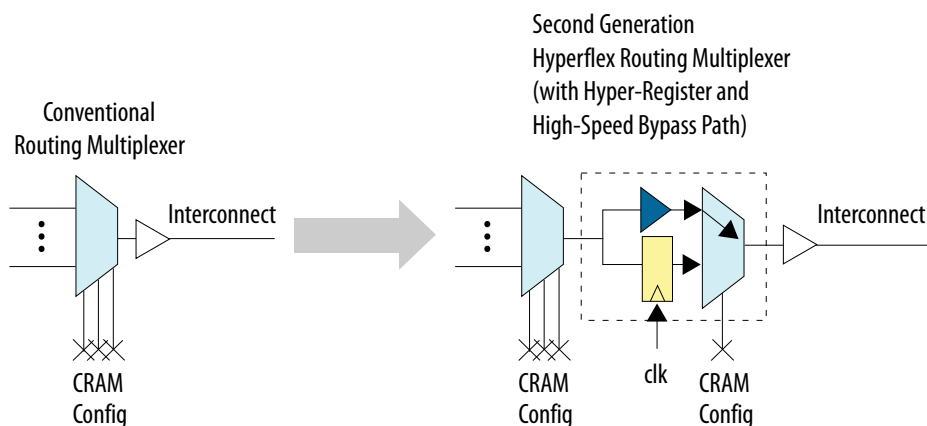
- **更高的吞吐量:** 在上一代高端 FPGA 中利用高达 40% 的更高时钟频率性能来实现吞吐量突破
- **提高功效:** 使用通过 Intel Hyperflex 体系结构而减少的 IP 大小将之前跨多个器件的设计整合到单个器件中, 从而与上一代器件相比, 功耗降低多达 40%
- **更大的设计功能:** 使用更快的时钟频率来减少总线宽度并减小 IP 大小, 释放额外的 FPGA 资源以增添更高的功能
- **提高设计人员的工作效率:** 使用 Hyper-Aware 设计工具来提高性能, 减少布线拥塞, 减少设计迭代, 从而获得更大的时序裕量, 实现更快速的时序收敛

除了自适应逻辑模块(ALM)中的传统用户寄存器, Intel Hyperflex 内核体系结构还采用了额外的可旁路寄存器, 分布在整个 FPGA 架构中。这些额外的寄存器称为超级寄存器(Hyper-Registers), 位于每个互连布线部分和所有功能模块的输入端。在第二代 Intel Hyperflex 内核体系结构中, 寄存器的数量已被优化来改进时序收敛以及架构区域。

⁽²²⁾ (F Tile & R-Tile x 3) (57.5 mm x 49 mm, Hex 1.0 mm pitch)

⁽²³⁾ (F Tile x 3 & R-Tile) (60 mm x 59 mm, Hex 1.0 mm pitch)

图 3. 可旁路的超级寄存器(Bypassable Hyper-Register)

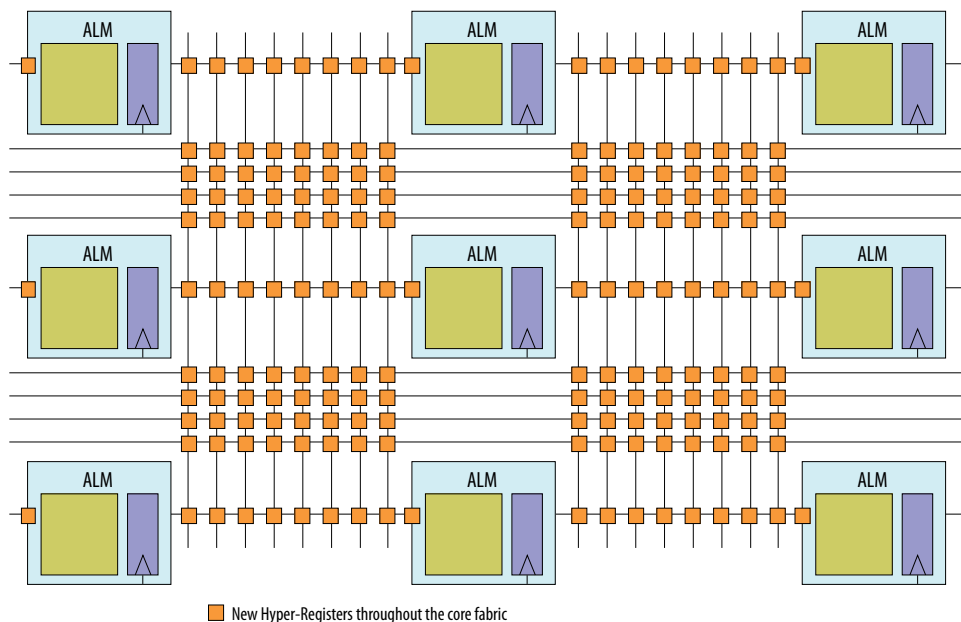


Hyper-Registers 支持以下关键设计技术，可实现高达 40% 的内核性能提升：

- 精细颗粒 **Hyper-Retiming**，消除关键路径
- 零延迟 **Hyper-Pipelining**，消除布线延迟
- 灵活的 **Hyper-Optimization**，实现一流的性能

通过在设计中实现这些技术，Hyper-Aware 设计工具会自动使用 Hyper-Register 来实现最大的内核时钟频率。

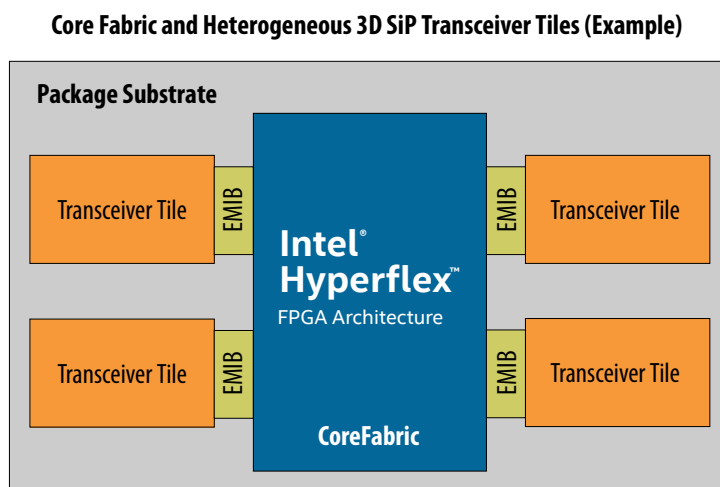
图 4. Intel Hyperflex 内核体系结构



1.8. 异构 3D SiP 收发器 Tile

Intel Agilex FPGA 和 SoC 具有高能效，高带宽和低延迟收发器的功能。收发器在异构 3D 系统级封装(SiP)收发器 tile 中实现。除了提供高性能收发器解决方案来满足当前的连接需要，随着数据速率、调制方案和协议 IP 的演变，这也将支持未来的灵活性和可扩展性。

图 5. 内核架构和异构 3D SiP 收发器 Tile



Intel Agilex FPGA 中有四种收发器 tile:

- E-Tile: 通用收发器
- P-Tile: PCIe Gen4 收发器
- F-Tile: 通用和 PCIe Gen4 收发器
- R-Tile: PCIe Gen5 和 Compute Express Link (CXL)

1.9. Intel Agilex FPGA 收发器

Intel Agilex FPGA 提供不同的收发器，针对各种优化进行了优化，NRZ 模式下 1 Gbps 到 32 Gbps 的范围，在 PAM4 和 112G PAM4 中的 2 Gbps 到 58 Gbps 的范围。

下表总结了每种 tile 中收发器的性能，以及每个器件系列中 tile 的可用情况。

表 12. Tile 名称和性能

Tile	最大数据速率和通道数量	Hard IP (HIP)	应用
E-Tile	12 x 58G PAM4 or 24 x 28.9G NRZ	10/25/100GE MAC, PCS and RSFEC (528,514) , RSFEC (544,514)	通用收发器, 支持 CEI, Ethernet, CPRI, FlexE, Interlaken, Fibre Channel, SRIO, Serial Lite, OTN, JESD204B/C, FlexO, IEEE1588 多种协议
P-Tile	16 x 16G NRZ	PCIe Gen4 x16 with 8 PF/2K VF SR-IOV EP/RP	PCIe Gen4 x16, 包括对 2x8 EP 或 4x4 RP, CvP Initialization, Autonomous HIP, SR-IOV 8PF/2kVF, VirtIO, Scalable IOV 和 Shared Virtual Memory 的端口分叉(port bifurcation)支持
F-Tile	4 x 112G PAM4 12 x 58G PAM4 or 16 x 32G NRZ	10/25/50/100/200/400GE MAC, PCS, and KR/KP RSFEC PCIe Gen4 x16 with 8 PF/2K VF SR-IOV EP/RP	通用收发器, 支持 CEI, Ethernet, CPRI, FlexE, 600G Interlaken, Fibre Channel, SRIO, Serial Lite, OTN, JESD204B/C, IEEE1588, FlexO, GPON, SDI, Vby1, HDMI, Display Port P-Tile PCIe features plus Precise Time Management 和 PMA direct 模式的多种协议支持
R-Tile	16 x 32G NRZ	PCIe Gen5 x16 with 8 PF/2K VF SR-IOV EP/RP Compute Express Link (CXL)	PCIe Gen5 x16, 包括对 2x8 EP 或 4x4 RP, CvP Initialization, Autonomous HIP, SR-IOV 8PF/2kVF, VirtIO, Scalable IOV 和 Shared Virtual Memory 的多种协议支持, 在用户接口上有单独的 header 和有效载荷接口, Precise Time Management, PMA Direct

表 13. 器件系列中的 Tile 可用性

Tile 名称	Intel Agilex F-Series FPGAs	Intel Agilex I-Series FPGAs
E-Tile	Y	-
P-Tile	Y	-
F-Tile	Y	Y
R-Tile	-	Y

1.9.1. E-Tile 收发器

E-Tile 收发器提供 NRZ 模式下从 1 Gbps 到 28.9 Gbps 的连续数据速率以及 PAM4 模式下 2 Gbps 到 58 Gbps 的连续数据速率。对于长距离背板驱动应用, 高级自适应均衡电路用于均衡系统损耗。

所有收发器通道都有一个专用的 Physical Medium Attachment (PMA) 和一个硬化的 Physical Coding Sublayer (PCS)。

- PMA 对物理通道提供主要的接口功能。
- PCS 在数据传输到 FPGA 内核架构之前通常处理编码/解码, 字对齐和其他预处理功能。

在每个收发器 tile 中, 收发器被安排成一个具有独立时钟域的 PMA-PCS 通道。通过使用高度可配置的时钟分配网络, 在每个 bank 和 tile 内, 各种绑定和非绑定的数据速率配置都是可能的。

1.9.1.1. PMA 特性

PMA 通道由发送器(TX)、接收器(RX)和高速时钟资源组成。

发送特性在高达 58 Gbps PAM4/28.9 Gbps NRZ 的数据速率上实现了卓越的信号完整性。

每个 PMA 还具有高级的均衡电路, 对宽频谱范围内的传输损耗进行补偿。

表 14. 收发器 PMA 功能

特性	性能
数据速率	高达 58 Gbps
光模块支持	XFP, QSFP-DD, OSFP, QSFP/QSFP28, QSFP56, SFP+, SFP28, SFP56, CFP/CFP2/CFP4 光模块支持
电缆驱动支持	SFP+ Direct Attach, PCI Express over cable, eSATA
发送预加重	PAM4 的一个后抽头(post-tap)和三个预抽头(pre-tap) NRZ 的一个后抽头(post-tap)和一个预抽头(pre-tap)
动态重配置	支持每个收发器通道 Avalon 存储器映射接口的独立控制, 从而实现收发器的最大灵活性
多个 PCS-PMA 和 PCS-Core 到 FPGA 架构接口宽度	16, 20, 32, 40, 32 或 64 bit 接口宽度, 提供解串宽度、编码和减少延迟的灵活性

1.9.1.2. PCS 特性

Intel Agilex E-Tile PMA 通道通过可配置和可旁路的 PCS 接口层与内核逻辑进行接口连接。

PCS 包含多个变速箱实现以对 PMA 和 PCS 接口宽度进行去耦。此特性对每个收发器与内核逻辑之间的 8、10、16、20、32、40 或 64-bit 接口宽度的各种应用提供了很高的灵活性。

PCS 还包含硬核 IP, 支持各种数据速率和编码方案的各种标准和专有协议。Standard PCS 模式支持高达 12.5 Gbps 的 8B/10B 编码应用。Enhanced PCS 模式支持高达 58 Gbps 的 64B/66B 和 64B/67B 编码应用。Enhanced PCS 模式还包括集成 KP 和 KR 前向纠错(FEC)电路。对于高度自定义的实现, PCS Direct 模式提供一个高达 64 比特宽的接口, 以支持自定义编码和高达 30 Gbps 的数据速率。

1.9.2. P-Tile 收发器

Intel Agilex P-Tile 收发器专用于 PCIe 并支持 16G 数据速率上的 Gen4 x16。它具有以下特性:

- 端口分叉支持(port bifurcation support): 2x8 Endpoint or 4x4 Rootport
- TL Bypass 特性
- CvP 初始化
- 自主硬核 IP
- SR-IOV 8 PF/2 kVF
- VirtIO 支持
- 可扩展 IOV
- 共享虚拟存储器

1.9.3. F-Tile 收发器

Intel Agilex F-Tile 收发器是通用收发器, 具有以下速度选项:

- 4 channels at 112G PAM4
- 12 channels at 58G PAM4
- 16 channels at 32G NRZ

它具有多协议支持，支持的协议包括：CEI, Ethernet, CPRI, FlexE, 600G Interlaken, Fibre Channel, SRIO, SerialLite IV, OTN, JESD204B/C, FlexO, IEEE1588, GPON, SDI, Vby1, HDMI, Display Port。

此外，F-Tile 还具有 PCIe Gen4 x16 支持，包括 P-Tile 特性集以及 Precise Time Manangement 和 PMA direct 模式。

1.9.4. R-Tile 收发器

Intel Agilex R-Tile 收发器用于 PCIe 并支持 32G 数据速率上的 Gen5 x16。它们具有以下特性：

- 端口分叉支持(port bifurcation support): 2x8 Endpoint or 4x4 Rootport
- TL Bypass 特性
- CvP 初始化
- 自主硬核 IP
- 用户接口上单独的 header 和有效载荷接口
- SR-IOV 8 PF/2 kVF
- VirtIO 支持
- 可扩展 IOV
- 共享的虚拟存储器
- Precise Time Management
- PMA Direct

此外，R-Tile 还包含硬化的 Compute Express Link (CXL) IP。

1.10. PCI Express Gen1 / Gen2 / Gen3 / Gen4 / Gen5 Hard IP

Intel Agilex 器件含有嵌入式 PCI Express (PCIe)硬核 IP，专为高性能，易用性，新增功能性和设计人员的工作效率而设计。

PCIe 硬核 IP 由 PHY, Data Link 和 Transaction 层组成。它也支持具有 2x8 Endpoint 或 4x4 Rootport 的端口分叉支持的 x1/x2/x4/x8/x16 通道配置中的 PCIe Gen1/Gen2/Gen3/Gen4 (P-Tile 和 F-Tile)和高达 Gen5 (R-Tile)端点和根端口。

此外，还包括 TL 旁路模式，支持在 PCIe 交换，VirtIO 和其他应用程序中使用 PCIe Hard IP。PCIe hard IP 能够独立于内核逻辑(自治模式)运行。此特性支持 PCIe link 上电并在不到 100 毫秒内完成链路训练(link training)，而同时器件的其余部分仍在配置中。hard IP 还提供了附加功能，更容易地支持新兴功能，例如：具备 8 个物理功能/2k 虚拟功能的 Single Root I/O Virtualization (SR-IOV)，VirtIO，Scalable IOV 和可选的协议扩展。

PCIe hard IP 通过使用错误检查和纠正(ECC)对端到端数据路径保护进行了改进。此外，PCIe hard IP 还支持 PCIe Gen1/Gen2/Gen3/Gen4/Gen5 速率上的 CvP 功能。

1.11. Ethernet Hard IP

Intel Agilex 器件包括 E-tile 中的 hard 10/25/100 GE MAC, PCS, FEC 和 F-tile 中的 hard 10/25/50/100/200/400 GE MAC, PCS, FEC 以及 IEEE 1588 支持。这些 hard IP 节省了内核逻辑资源和时钟网络，并简化了复杂多端口 Ethernet 系统的设计。

E-Tile 支持的模式:

- Ethernet IP Configurations
 - 24 x 10/25GE MAC, PCS, RS-FEC
 - 4 x 100GE MAC, PCS, RS-FEC
- CPRI and Fiber Channel FECs
- CR/KR (AN/LT)
- 1588 PTP
- MAC, PCS 和 FEC 旁路选项
- PMA Direct Mode

F-Tile 支持的模式:

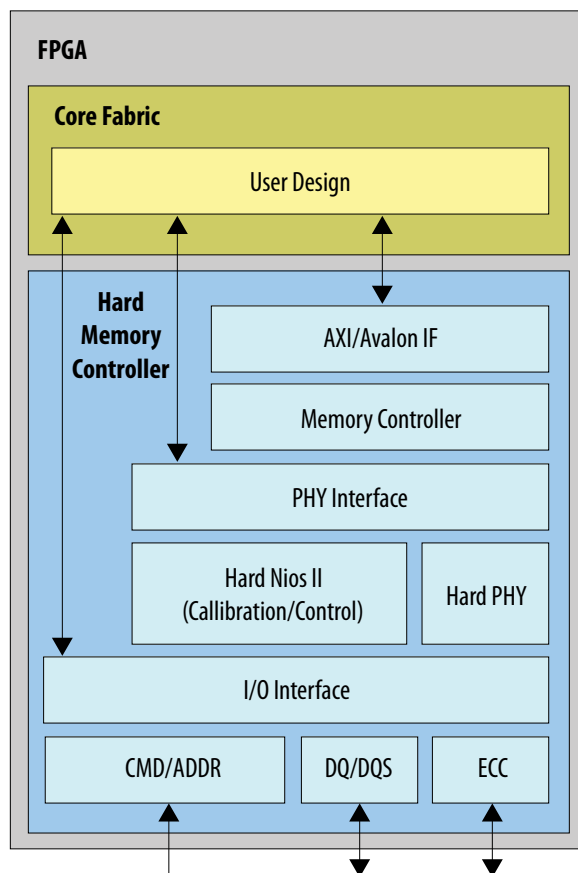
- Ethernet IP Configurations:
 - 16 x 10/25GE MAC, PCS, FEC
 - 8 x 50GE MAC, PCS, FEC
 - 4 x 100GE MAC, PCS, FEC
 - 2 x 200GE MAC, PCS, FEC
 - 1 x 400GE MAC, PCS, FEC
- 对高达 600G Interlaken 的 KP FEC 支持
- Flex-O FEC, FlexE PCS and FEC, Ethernet over OTN Mode, SyncE, Fibre Channel, CPRI FEC
- CR/KR (AN/LT)
- 1588 PTP
- MAC, PCS 和 FEC 旁路选项
- PMA Direct Mode

1.12. 外部存储器和通用 I/O

Intel Agilex 器件提供大量的外部存储器带宽，包括多达四个运行在高达 3200 Mbps 上的 72-bit 宽的 DDR4 存储器接口。

这个带宽同简化设计、降低功耗和硬化高性能存储控制器的资源效率一并提供。当使用硬核或软核存储控制器时，外部存储器接口可配置成 144 位的最大宽度。

图 6. 硬核存储控制器



每个 I/O bank 包含 96 个通用 I/O 和一个能够支持多种不同存储器类型(每种类型有不同的性能表现)的高效率硬核存储控制器。硬核存储控制器也能够被旁路，并且能够被用户逻辑中实现的软核控制器替代。每个 I/O 都有一个硬化的双倍数据速率(DDR)读/写路径(PHY)，能够执行关键的存储器接口功能，例如：

- Read/Write 整平
- FIFO 缓存，降低延迟并提高裕量
- 时序校准
- 片上匹配(On-chip termination)

基于 Nios® II 技术的硬核微控制器(旨在控制多个存储器接口的校准)对时序校准起了辅助作用。该校准使 Intel Agilex 器件能够对器件自身中或者外部存储器件中的工艺、电压或温度的变化进行补偿。高级校准算法确保了在所有操作条件下的最大带宽和可靠的时序裕量。

表 15. 外部存储器接口性能

外部存储器接口	存储控制器类型	性能
DDR4	Hard	3200 Mbps
DDR5 ⁽²⁴⁾	Hard	4400 Mbps
QDRIV	Soft	2133 Mbps
RLDRAM III	Soft	2400 Mbps

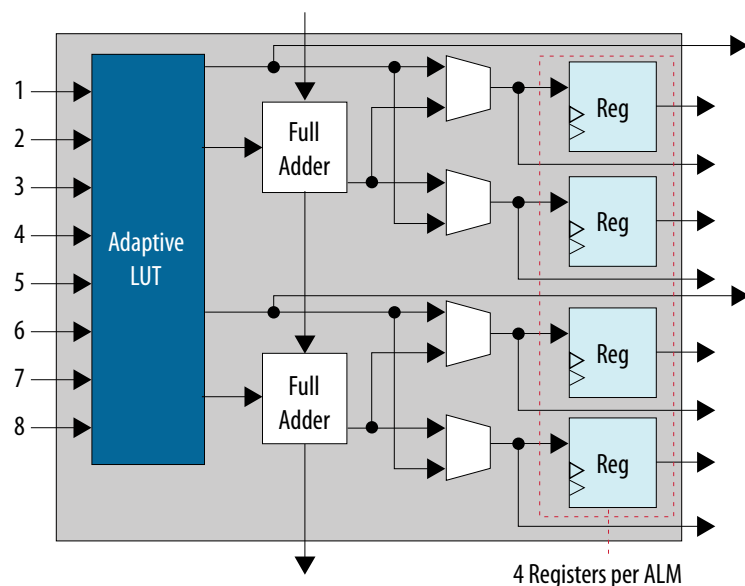
Intel Agilex 器件还具有通用 I/O，能够支持各种单端和差分 I/O 接口，包括与 LVDS/RSDS/Mini-LVDS/LVPECL 兼容的 1.5 V True Differential Signaling。高达 1.6 Gbps 的 LVDS 兼容解决方案速率是受支持的。

1.13. 自适应逻辑模块(ALM)

Intel Agilex 器件使用一个增强的自适应逻辑模块(ALM)(如同上一代 Intel Stratix 10 和 Intel Arria® 10 FPGA)，以支持逻辑功能的高效实现和器件之间轻松的 IP 转换。

下面的 ALM 结构图中有 8 个带有分段式查找表(LUT)的输入，2 个专用嵌入式加法器和 4 个专用寄存器。

图 7. ALM 结构图



ALM 的主要特性和功能包括：

⁽²⁴⁾ 仅在 Intel Agilex M 系列器件中支持 DDR5

- 高寄存器数，每 8 输入分段式 LUT 有 4 个寄存器，与第二代 Intel Hyperflex 体系结构协同操作，使 Intel Agilex 器件能够以极高的内核逻辑利用率最大化内核性能
- 实现选择 7 输入逻辑功能，所有 6 输入逻辑功能和 2 个独立功能，包括更小的 LUT 尺寸(例如两个独立的 4 输入 LUT)，从而优化内核逻辑利用率
- Intel Agilex ALM 体系结构的新特性是每个 ALM 的两个时钟源，这两个时钟源生成两个正常时钟和两个延迟时钟以驱动 ALM 寄存器；从而产生更多的时钟域和时间借用能力(time-borrowing capability)
- 为组合功能提供额外的快速 6 LUT 和 5 LUT 输出；改进了逻辑级联的关键路径
- 改进的寄存器封装模式，包括具有 2 个封装寄存器了路径的 5-input LUT，更有效地利用了架构区域，从而改善了关键路径
- 对地址锁存使能中的锁存模式的新支持

Intel Quartus Prime 软件采用 ALM 逻辑结构来实现最高的性能，最佳的逻辑利用率和最少的编译次数。Intel Quartus Prime 软件自动将旧设计映射到 Intel Agilex FPGA 的 ALM 体系结构，从而简化了设计重用。

1.14. 内核时钟网络

Intel Agilex 器件中的内核时钟使用可编程时钟树综合。

这种技术使用专用的时钟树布线和切换电路，支持 Intel Quartus Prime 软件创建您设计所需要的时钟树。时钟树综合最小化时钟树插入延迟，降低了时钟树中的动态功耗，在保持与旧的全局时钟方案和局域时钟方案向后兼容的同时实现了内核更大的时钟灵活性。

Intel Agilex 器件中的内核时钟网络支持第二代 Intel Hyperflex 内核体系结构。它支持 DDR4 的高达 3200 Mbps (1/4 速率传输到内核)的硬核存储控制器。内核时钟网络受到专用时钟输入引脚和整数 I/O PLL 的支持。

1.15. I/O PLL

Intel Agilex FPGA 包含用于内核架构中通用的 I/O PLL 以及用于简化外部存储器接口和高速 LVDS 接口的设计的 I/O PLL。I/O PLL 与 I/O bank 中的硬核存储控制器和 LVDS serializer/deserializer (SERDES)模块相邻。这中布局使时序收敛更加容易，因为 IOPLL 与需要使用它们的 I/O 紧密地耦合在一起。I/O PLL 可用于内核中的通用应用，例如：时钟网络延迟补偿和零延迟时钟缓冲。

1.16. 内部嵌入式存储器

Intel Agilex 器件包含三种类型的嵌入式存储器模块：

- MLAB (640-bits)
- M20K (20-Kbits)
- eSRAM (18 Mbits)

M20K 和 MLAB 模块大小类似于以前的 Intel 器件系列的模块大小。MLAB 模块是宽而浅的存储器的理想选择，而 M20K 模块旨在支持更大的存储器配置，并包含硬核 ECC。M20K 和 MLAB 嵌入式存储器模块都可配置成一个单端口或双端口 RAM、FIFO、ROM 或移位寄存器。

此外，Intel Agilex 器件还包括支持组合(stitching)的 18-Megabit (Mb) eSRAM 模块。这些模块是大尺寸，快速路径，低延迟，高带宽片上存储器模块。

这些存储器模块非常灵活，支持多种存储器配置，如下表所示。

表 16. 内部嵌入式存储器模块配置

MLAB (640 bits)	M20K (20 Kbits)	eSRAM (18 Mbits)
64 x 10 (通过仿真支持) 32 x 20	2K x 10 (or x8) 1K x 20 (or x 16) 512 x 40 (or x32)	8 个 2.25Mb 通道(18Mb) (每个通道包含 32 个 72 x 1K 存储器的 bank)

1.17. 精度可调 DSP

Intel Agilex FPGA 的 DSP 模块基于 Intel 的上代器件中使用的精度可调 DSP 体系结构。它们具有硬核定点和符合 IEEE-754 的浮点性能的特性。Intel Agilex FPGA 的新特性是对半精度(16-bit 运算) FP16 浮点模式和 BFLOAT16 浮点格式的支持。与上一代 FPGA 相比，9x9 乘法器的数量也有增加，每一个 18x19 乘法器对应两个 9x9 乘法器。

DSP 模块通过配置可支持从 9x9 到 54x54 精度范围的信号处理。通过增添流水线寄存器来提高 DSP 模块的最大操作频率，并降低了功耗。此外，乘法器输入的动态切换也可以通过 scanin 和 chainout 功能实现。

图 8. 低精度定点模式

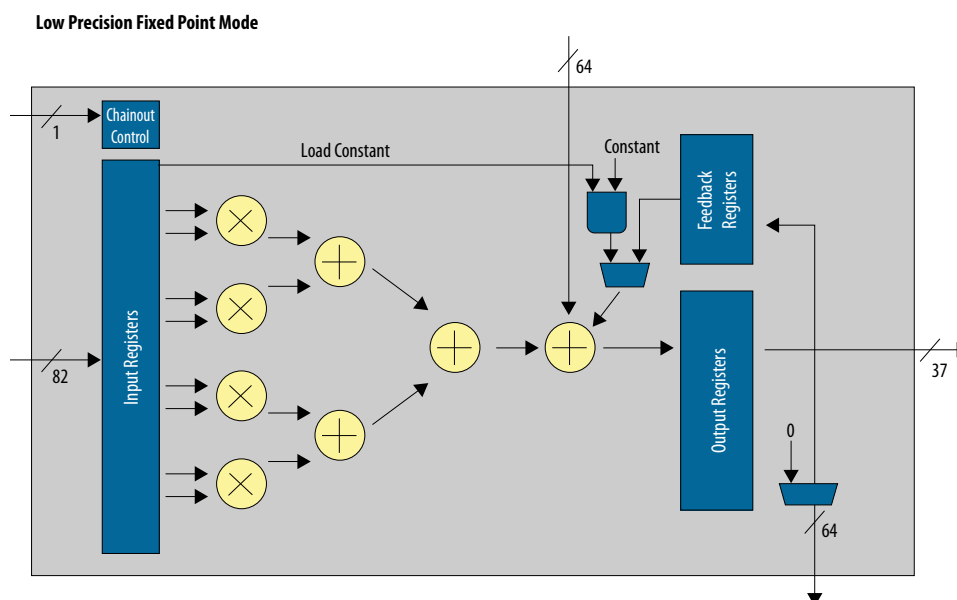


图 9. 标准精度定点模式

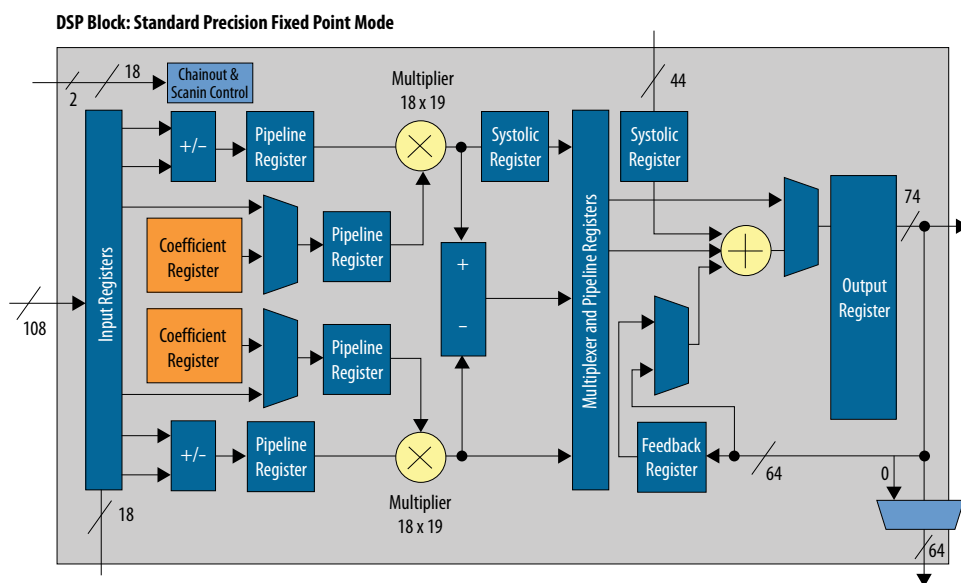


图 10. 高精度定点模式

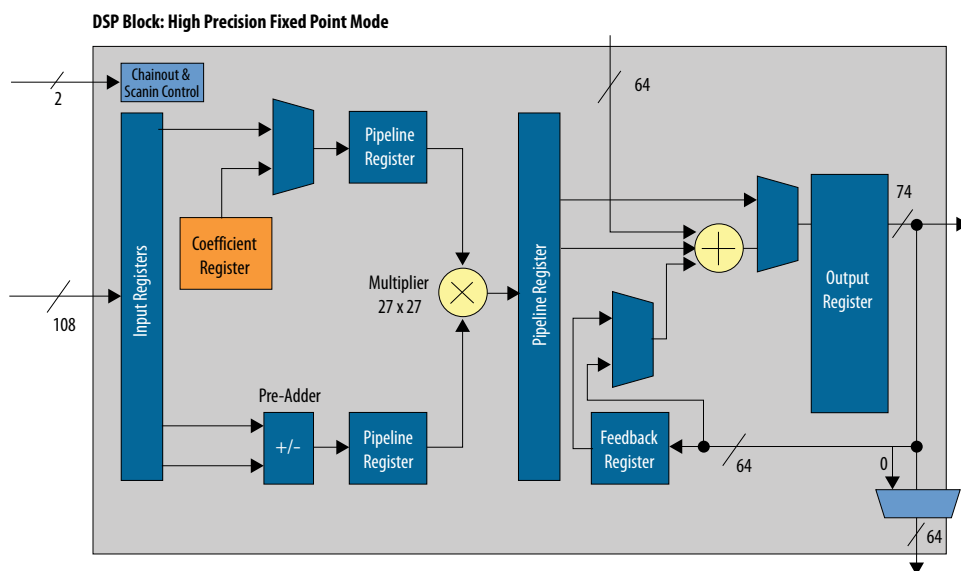
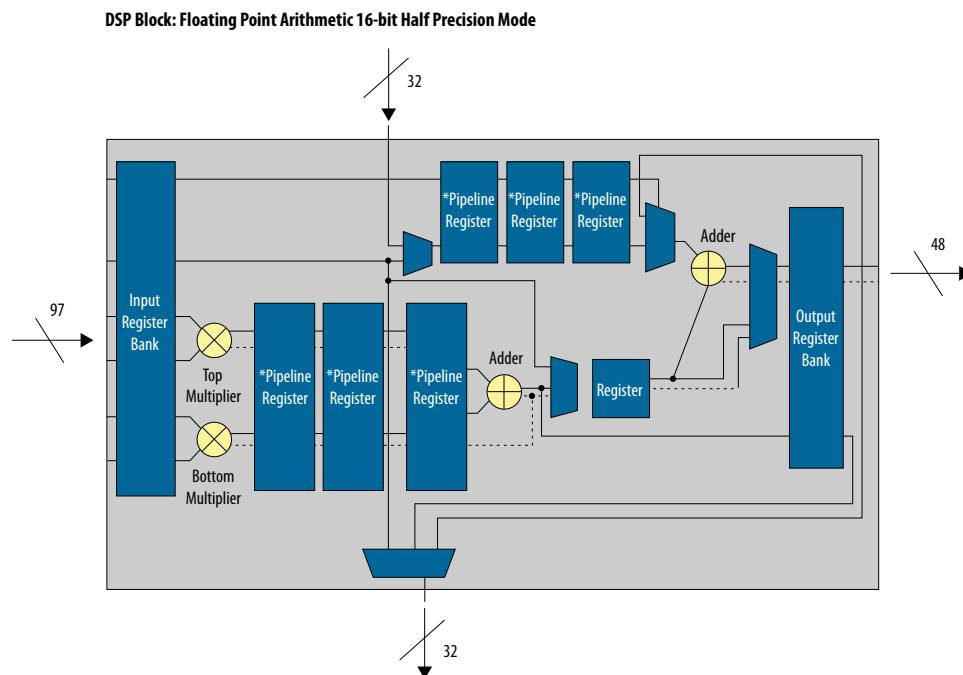
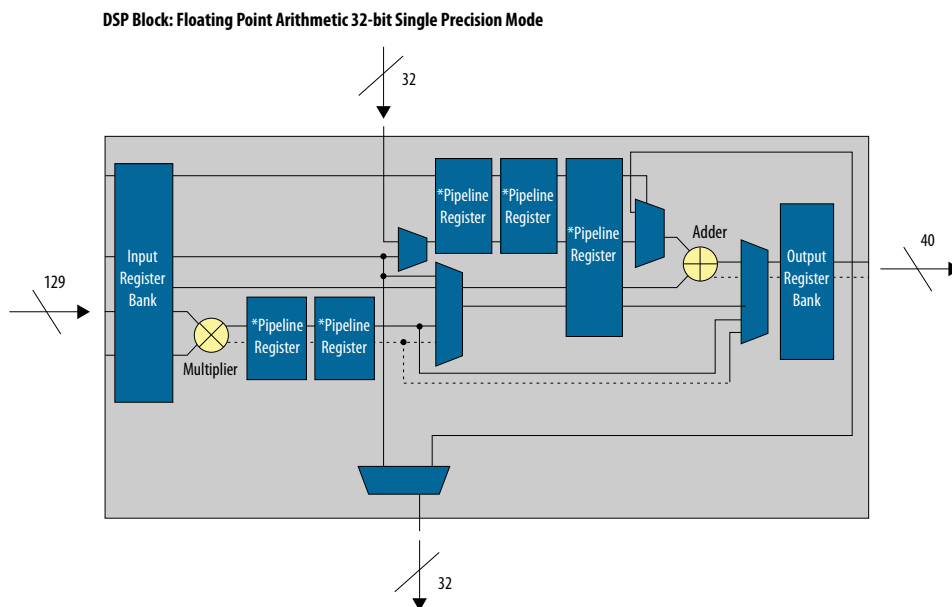


图 11. 半精度浮点运算 16-bit



*此结构图显示了DSP模块的功能表示。流水线寄存器嵌入在DSP模块的各种电路中。

图 12. 单精度浮点运算 32-bit



*此结构图显示了DSP模块的功能表示。流水线寄存器嵌入在DSP模块的各种电路中。

每个 DSP 模块在编译时间可独立地配置成 quad 9x9, dual 18x19 或者一个 27x27 乘法累加。通过使用专用的 64-bit 级联总线, 多个精度可调 DSP 模块可级联在一起来高效地实现甚至更高精度的 DSP 功能。

在浮点模式中, 每个 DSP 模块提供一个单精度或者半精度浮点(包括 FP16 和 BFLOAT16)乘法器和加法器。支持浮点加法, 乘法, 乘加, 乘法累加。

下表显示了在一个 DSP 模块中如何选择不同精度, 或者通过使用多个模块来实现不同精度。

表 17. 精度可调 DSP 模块配置

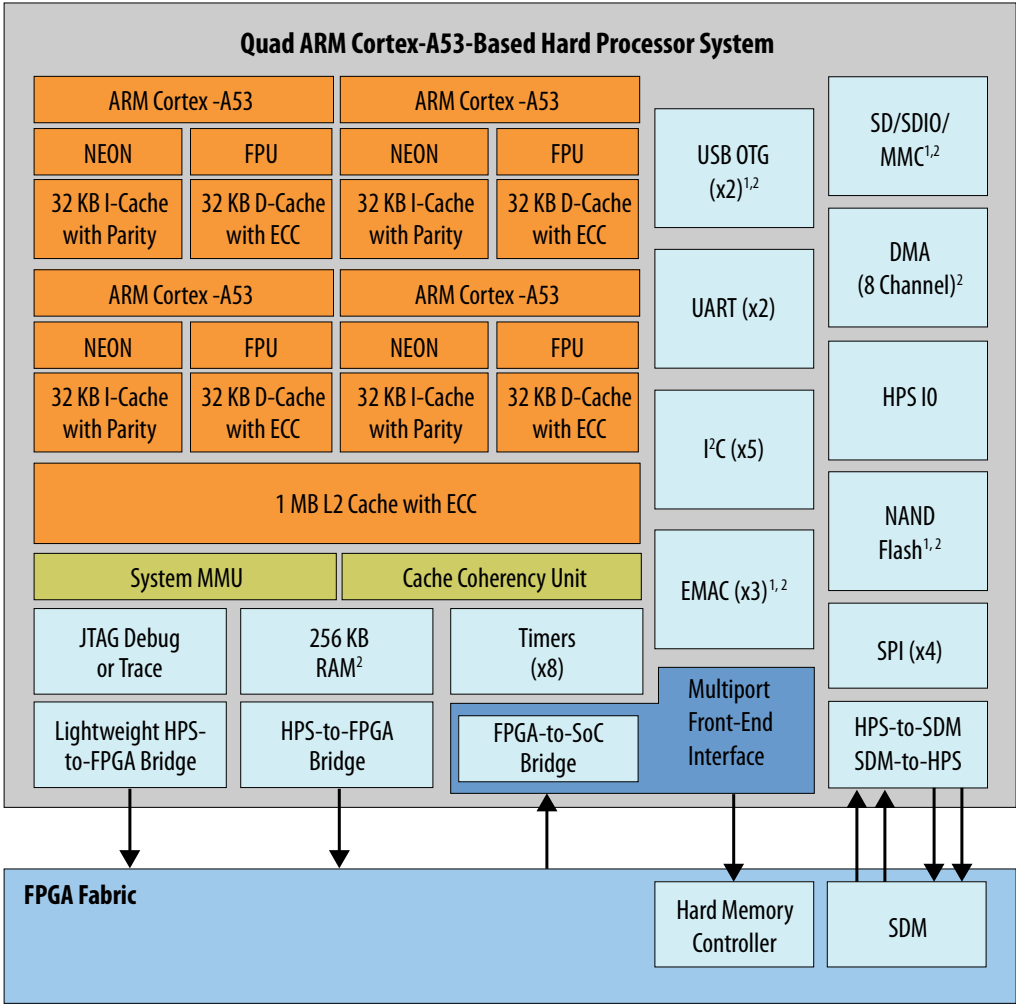
乘法器大小	DSP 模块资源	预期使用
9x9 bits	1/4 精度可调 DSP 模块	低精度定点
18x19 bits	1/2 精度可调 DSP 模块	中精度定点
27x27 bits	1 个精度可调 DSP 模块	高精度定点
19x36 bits	一个包括外部加法器的精度可调 DSP 模块	定点 FFT
36x36 bits	2 个包括外部加法器的精度可调 DSP 模块	非常高精度定点
54x54 bits	4 个包括外部加法器的精度可调 DSP 模块	双精度定点
半精度浮点	1 个精度可调 DSP 模块(包含加法器, 将两个 FP16 乘法器与一个累加器相加)	半精度浮点
单精度浮点	1 个精度可调 DSP 模块(包含一个 FP32 乘法器和一个累加器)	单精度浮点

1.18. 硬核处理器系统(HPS)

Intel Agilex SoC Hard Processor System (HPS)是 Intel 行业领先的第三代 HPS。HPS 是一个四核 Arm Cortex -A53, 使用户能够轻松地将现有的 SoC 设计从 Intel Stratix 10 SoC 移植到 Intel Agilex SoC 中。

HPS 通过添加系统存储器管理单元来实现系统范围的硬件虚拟化功能。这些架构上的改进确保了 SoC 满足当前和未来嵌入式市场的要求, 包括无线和有线通信, 数据中心加速以及众多军事应用。

图 13. HPS 结构图



注释：
1. 集成的直接存储器访问(DMA)
2. 集成的纠错码(ECC)

Intel Agilex HPS 的关键特性：

表 18. 关键特性汇总

特性	描述
Quad-core ARM Cortex-A53 MPCore processor unit	<ul style="list-style-type: none">2.3 MIPS/MHz 指令效率高达 1.5 GHz 的 CPU 频率在 1.5 GHz 上 13,800 MIPS 的总性能ARMv8-A 体系结构运行 64-bit 和 32-bit ARM 指令16-bit 和 32-bit Thumb 指令，使存储器占用空间减少 30%使用 8-bit Java 字节码的 Jazelle® RCT 执行体系架构超标量，可变长度，带动态分支预测的无序流水线(out-of-order pipeline)
继续...	

特性	描述
	<ul style="list-style-type: none"> 经过改进的 ARM NEON™媒体处理引擎 单精度和双精度浮点单元 CoreSight™调试和追踪技术
System Memory Management Unit	<ul style="list-style-type: none"> 使能一个统一的存储器模型，并将硬件虚拟化扩展到在 FPGA 架构中实现的外设中
Cache Coherency Unit	<ul style="list-style-type: none"> 在高速缓存中存储的共享数据的变更会在整个系统中传播，对协处理器单元提供双向一致性
Cache Memory	<ul style="list-style-type: none"> L1 Cache <ul style="list-style-type: none"> 带有奇偶校验的 32 KB 指令高速缓存 带 ECC 的 32 KB L1 数据高速缓存 奇偶校验检查 L2 Cache <ul style="list-style-type: none"> 1 MB 共享 8 路集关联(8-way set associative) 包括 TAG ram 上奇偶校验和 data RAM 上 ECC 的 SEU 保护 高速缓存锁定支持
On-Chip Memory	<ul style="list-style-type: none"> 256 KBB 的可擦除片上 RAM
External SDRAM and Flash Memory Interfaces for HPS	<ul style="list-style-type: none"> 支持 DDR4 的硬核存储控制器 <ul style="list-style-type: none"> 40-bit (32-bit + 8 bit ECC)，具有选择封装，支持 72-bit (64 bit + 8 bit ECC) 高达 3200 Mbps DDR4 的支持 纠错码(ECC)支持，包括计算，纠错，回写校正和错误计数器 单个 SDRAM 突发上的软件可配置优先级调度 对所有 JEDEC 指定的时序参数的完全可编程的时序参数支持 硬核存储控制器的多端口前端(MPFE)调度器接口，对 FPGA 架构的接口支持 AXI®服务质量(QoS) NAND 闪存控制器 <ul style="list-style-type: none"> ONFI 1.0 基于 DMA 的集成描述符 可编程硬件 ECC 支持 支持 8 bit 和 16 bit 闪存器件 安全数字 SD/SDIO/MMC 控制器 <ul style="list-style-type: none"> eMMC 4.5 基于集成描述符的 DMA 支持 CE-ATA 数字命令 50 MHz 操作频率 直接存储器访问(DMA)控制器 <ul style="list-style-type: none"> 8 通道 支持高达 32 个外设握手接口
继续...	

特性	描述
Communication Interface Controllers	<ul style="list-style-type: none"> 三个集成 DMA 的 10/100/1000 Ethernet 媒体访问控制(MAC) <ul style="list-style-type: none"> 支持 RGMII 和 RMII 外部 PHY 接口 通过 FPGA 逻辑支持其他 PHY 接口的选项 <ul style="list-style-type: none"> GMII MII RMII (需要 MII 到 RMII 适配器) RGMII (需要 GMII 到 RGMII 适配器) SGMII (需要 GMII 到 SGMII 适配器) 支持 IEEE 1588-2002 和 IEEE 1588-2008 标准, 用于精确网络时钟同步 支持接收帧的 IEEE 802.1Q VLAN 标记检测 支持 Ethernet AVB 标准 两个包含 DMA 的 USB On-the-Go (OTG)控制器 <ul style="list-style-type: none"> 双角色器件(器件和主机功能) <ul style="list-style-type: none"> 高速(480 Mbps) 全速(12 Mbps) 低速(1.5 Mbps) 支持 USB 1.1 (全速和低速) 基于集成描述符的分散-聚集 DMA 支持外部 ULPI PHY 高达 16 个双向端点, 包括控制端点 高达 16 个 host 通道 支持通用根集线器 可配置成 OTG 1.3 和 OTG 2.0 模式 五个 I²C 控制器(三个可被 EMAC 用于 MIO 到外部 PHY) <ul style="list-style-type: none"> 支持 100 Kbps 以及 400 Kbps 模式 支持 7 bit 和 10 bit 寻址模式 支持 Master 和 Slave 操作模式 可兼容 16550 的 2 个 UART <ul style="list-style-type: none"> 高达 115.2 Kbaud 的可编程波特率 四个串行外设接口(SPI) (2 Master, 2 Slaves) <ul style="list-style-type: none"> 全双工和半双工
计时器和 I/O	<ul style="list-style-type: none"> 计时器 <ul style="list-style-type: none"> 4 个通用计时器 4 个看门狗计时器 48 个 HPS direct I/O 支持 HPS 外设直接连接到 I/O 最多可将 2 个 IO96 bank 分配给 HPS, 用于 HPS DDR 访问
与逻辑内核的互连	<ul style="list-style-type: none"> HPS-to-FPGA 桥接 <ul style="list-style-type: none"> 允许 HPS bus masters 访问 FPGA 架构中的 bus slaves 可配置的 32, 64 或 128 bit AMBA AXI 接口支持到 FPGA 架构的高带宽 HPS master 传输 HPS-to-SDM 和 SDM-to-HPS 桥接 <ul style="list-style-type: none"> 支持 HPS 到达 SDM 模块, 并支持 SDM 引导 HPS 轻量 HPS-to-FPGA 桥接 <ul style="list-style-type: none"> 轻量 32 bit AXI 接口, 适用于从 HPS 到 FPGA 架构中软核外设的低延迟寄存器访问 FPGA-to-SoC 桥接 <ul style="list-style-type: none"> 可配置的 128, 256, 512 bit ACE-Lite 接口 以 HPS 为目标, 高达 256-bit FPGA-to-SoC 以 DDR 为目标, 高达 512-bit FPGA-to-SoC

1.19. 电源管理

Intel Agilex 器件采用先进的 Intel 10-nm FinFET 工艺技术，第二代 Intel Hyperflex 内核体系结构，电源门控(power gating)和几种可选的降耗技术，与上一代高性能 Intel Stratix 10 器件相比，功耗最多可降低 40%。

Intel Agilex 标准功耗器件(-V)是 SmartVID 器件。每个 SmartVID 器件的核心电压电源(VCC 和 VCCP)必须由专用于此 Intel Agilex 器件的 PMBus 稳压器驱动。对每个 SmartVID (-V)器件必须使用 PMBus 稳压器，这不是可选的。在 SmartVID 器件制造过程中，在每个 SmartVID 器件中都编进一个代码，从而使 PMBus 稳压器能够在最佳核心电压下操作，以满足器件性能规范。

此外，电源门控(power gating)通过对 FPGA 中未使用的资源进行断电来降低它们的静态功耗。Intel Quartus Prime 软件在配置期间自动对特定的未使用资源模块(例如 DSP 和 M20K 模块)进行断电。

Intel Agilex 器件中可选的降耗技术包括：

- **可用的低静态功率器件：** Intel Agilex 器件具有固定的核心电压，可提供比 SmartVID 标准功耗器件更低的静态功耗，同时保持器件性能不变

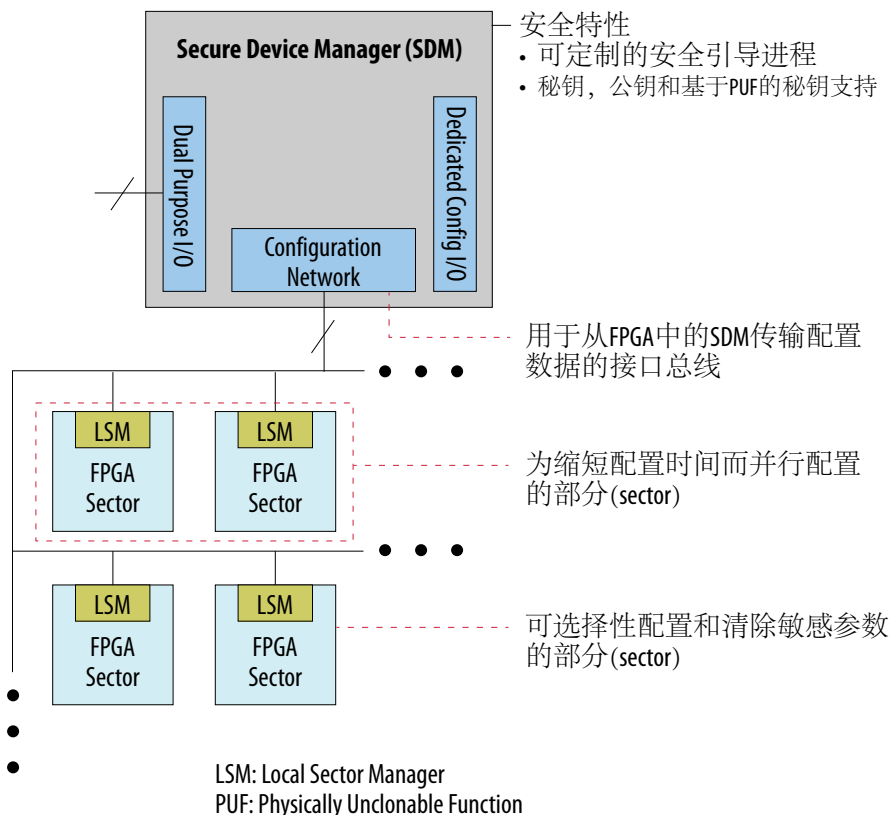
此外，Intel Agilex 器件还具有的业界领先的低功耗收发器，并包括一些硬核 IP 模块，不仅降低了逻辑资源，与软核实现相比，也实现了显著节能。一般来说，硬核 IP 模块的功耗要比等价的软核逻辑实现少 50%。

1.20. 器件配置和安全器件管理器(SDM)

所有的 Intel Agilex 器件都包含安全器件管理器(SDM)，它是一种专用的三重冗余处理器，用作所有 JTAG 和配置命令进入器件的入口点。SDM 也引导 SoC 器件中的 HPS，确保 HPS 能够使用 FPGA 器件具有的相同安全特性进行引导。

图 14. SDM 结构图

SDM Block Diagram



配置期间，Intel Agilex 器件被分成逻辑扇区，每个逻辑扇区由本地扇区管理器(LSM)进行管理。SDM 将配置数据传递到片上配置网络中的每个 LSM。这使扇区能够被独立地配置，一次一个，而不是一次多个。这种方法实现了简化的扇区配置和重配置，以及因固有并行性而缩短了总配置时间。基于相同扇区的方法被用于响应单粒子翻转和安全攻击。

虽然扇区对器件配置和器件重配置提供了一个逻辑分离，但它们也覆盖了 FPGA 逻辑和布线的正常行和列。这意味着对 Intel Quartus Prime 软件布局布线没有影响，对扇区边界范围上的逻辑信号的时序也没有影响。

SDM 使能了可靠，安全和充分认证的器件配置，它也支持配置方案的定制，以增强器件的安全性。对于配置和重配置，这种方法具备多种优点：

- 专用安全配置管理器
- 缩短的器件配置时间，因为可同时配置多个扇区
- 可更新的配置进程
- 部分重配置
- 远程系统更新
- 单独扇区或整个器件的归零

SDM 还提供了诸如寄存器回读和回写的额外功能，以支持 ASIC 原型设计和其它应用。

1.21. 器件安全

基于上一代器件强健的安全特性，Intel Agilex FPGA 和 SoC 包括了许多新增的和创新的安全增强功能。这些功能也由 SDM、紧密耦合器件配置和具有加密、认证、密钥存储和防篡改服务的重配置进行管理。

SDM 提供的安全服务包括：

- 比特流加密
- 多因子认证
- 硬加密和认证加速；AES-256，SHA-256/384，ECDSA-256/384
- 易失性和非易失性密钥存储和管理
- 物理反复制技术(Physically Unclonable Function (PUF))服务
- 可更新的配置进程
- 安全器件维护和升级功能
- 旁道攻击保护(side channel attack protection)
- 对传感器输入和安全攻击的脚本响应，包括选择性扇区归零
- 回读、JTAG 和测试模式禁用
- 对单粒子翻转(SEU)的增强响应
- 平台证明(Platform Attestation)

1.22. 使用 PCI Express 的 CvP

使用 PCI Express 的通过协议配置支持在 PCI Express 总线上配置 FPGA，从而简化电路板布局并提高系统集成度。在配置 FPGA 前，利用运行在自主模式下的嵌入式 PCI Express 硬核 IP，该技术可以使 PCI Express 总线在 PCI Express 规范所允许的 100 ms 时间内上电并处于活动状态。器件也支持 PCI Express 总线上的部分重配置，通过在重配置器件期间保持 PCI Express 链路处于活动状态来降低系统停机时间。

1.23. 部分和动态配置

部分重配置支持对部分 FPGA 进行重配置，而其它部分仍然能够继续运行。当系统的正常运行时间至关重要时，该功能是必需的，因为它能够在不中断服务的情况下进行更新和调整功能性。

除了降低功耗和成本，由于不再需要将不同时操作的功能布局在 FPGA 中，因此部分重配置也增加了有效逻辑密度。取而代之的是，这些功能可以存储在外部存储器中，并根据需要加载。通过允许单一 FPGA 上有多个应用而降低了所需 FPGA 的大小，从而节省了电路板空间并降低了功耗。部分重配置建立在 Intel Quartus Prime 设计软件中已验证增量式编译设计流程中的顶层。

Intel Agilex 器件的动态重配置支持在通道至通道的基础上动态地更改收发器数据速率、协议和模拟设置，并且能够保持相邻收发器通道上的数据传输。动态重配置非常适用于那些要求即时多协议支持或者多速率支持的应用。收发器中的 PMA 和 PCS 模块都能够使用这种技术进行重配置。收发器的动态重配置可与 FPGA 的部分重配置一起使用，以同时使能内核和收发器的部分重配置。

1.24. 快进编译(Fast Forward Compile)

Intel Quartus Prime 软件中这一创新的 Fast Forward Compile 功能能够发现您设计中的性能瓶颈，并提供详细逐步的性能提高建议。compiler 报告通过采用这些建议评估可以实现的最大操作频率。作为新的 Hyper-Aware 设计流程的一部分，Fast Forward Compile 使您能够最大限度地提高 Intel Agilex 设计的性能，并实现快速时序收敛。

以前，这类优化需要进行多个耗时的设计迭代，包括重新运行完整的设计编译来确定变更的效果。Fast Forward Compile 使您能够更好地专注于您的开发方向，以及如何提高设计性能和吞吐量。这种技术大大减少了在性能探索方面的猜测，从而减少了设计迭代，其 Intel Agilex 设计的内核性能也提升了 40%。

1.25. 单粒子翻转(SEU)检错和纠错

Intel Agilex FPGA 和 SoC 提供强大的 SEU 错误检测和纠正电路。该检测和纠正电路包括对 Configuration RAM (CRAM)编程位和用户存储器的保护。CRAM 受一个连续运行的奇偶校验检查电路保护，该电路集成了 ECC，自动纠正 1 位或 2 位错误并检查高阶多位错误。

CRAM 阵列的物理布局经过优化使大多数多比特翻转(multi-bit upsets)显示为独立的单比特或双比特错误，集成的 CRAM ECC 电路对这些独立的单比特或双比特错误进行自动纠正。除了 CRAM 保护，用户存储器还包括集成的 ECC 电路，并对错误检测和纠正进行了布局优化。

SEU 错误检测和纠正硬件受到软核 IP 以及 Intel Quartus Prime 软件的支持，以提供一个完整的 SEU 缓解解决方案。完整解决方案的组件包括：

- 对 CRAM 和用户 M20K 存储器模块的硬核错误检测和纠正
- 存储器单元的物理布局经过优化使 SEU 的可能性降到最低
- 敏感度处理软核 IP，报告 CRAM 翻转影响使用过的位还是未使用的位
- Intel Quartus Prime 软件支持的故障注入软核 IP，更改 CRAM 位的状态以用于测试目的
- Intel Quartus Prime 软件中的层次结构标记
- 用于 Secure Device Manager 和关键片上状态机的三重模式冗余(TMR)

除了以上列出的 SEU 缓解功能，用于 Intel Agilex 器件的 Intel 10-nm FinFET 工艺技术是基于 FinFET 晶体管的，与传统的平面型晶体管相比，FinFET 晶体管具有更低的 SEU 易感性。

1.26. 附加信息

关于 Intel Agilex 器件的附加信息，请参考 Intel 网站上的 Intel Agilex 产品页面。

相关链接

[Intel Agilex 产品页面](#)

A. 修订历史

表 19. Intel Agilex FPGA 高级信息简介的修订历史

文档版本	修订内容
2019.04.02	首次发布。