Agilex M系列器件分析

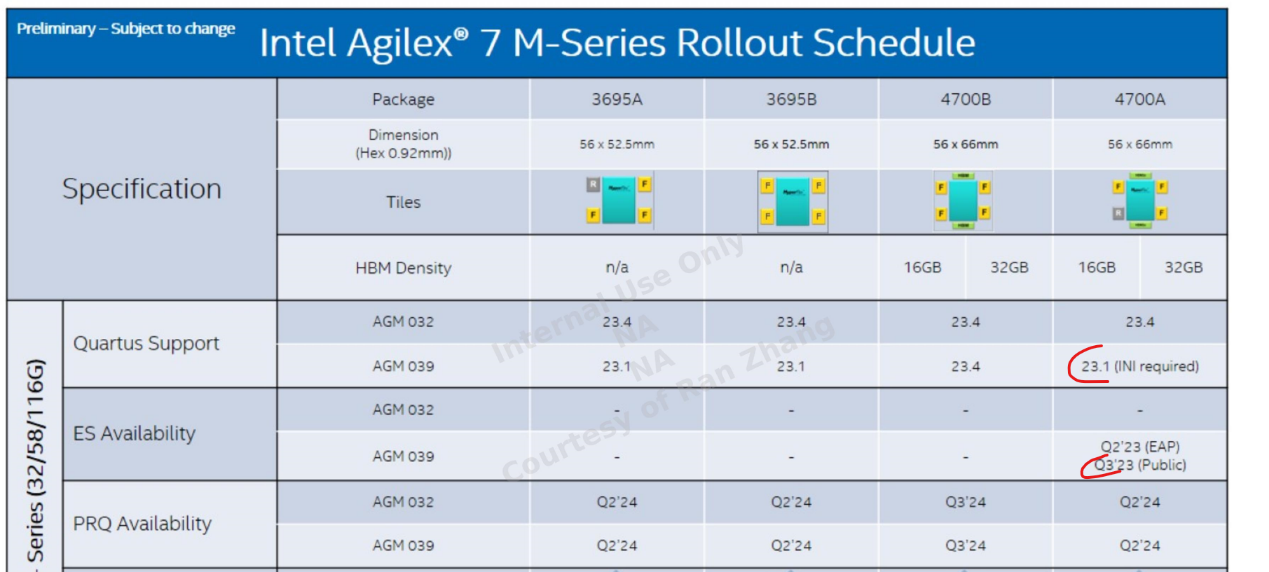
# 0 结论

器件初步选定型号：**AGM032 4700B**

# 1 背景

本文针对INTEL 7nm工艺芯片Agilex 7 M系列芯片特性进行分析，主要围绕高速serdes接口以及大容量存储(HBM2e、LPDDR)等内容。

以下为FAE反馈的芯片时间线：

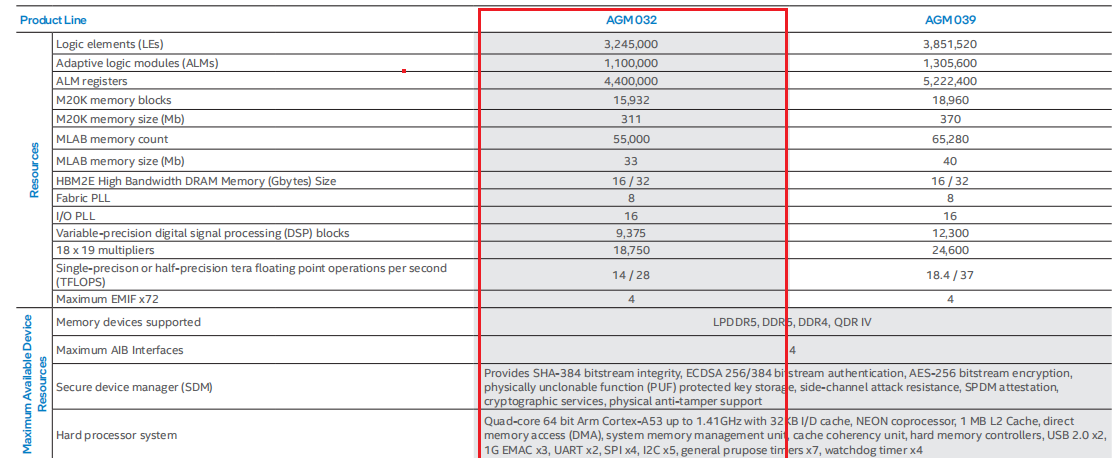


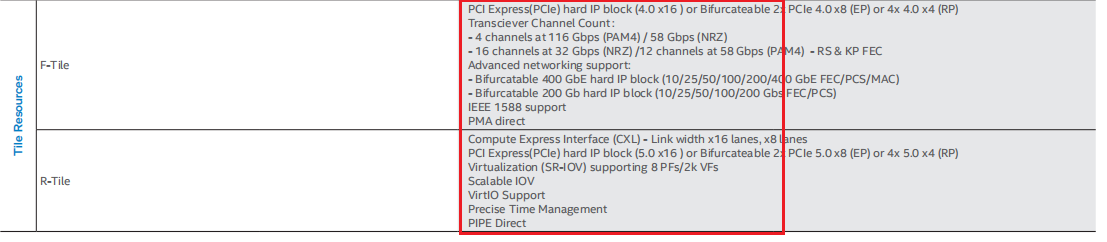
*2023/07/04邮件反馈信息：*

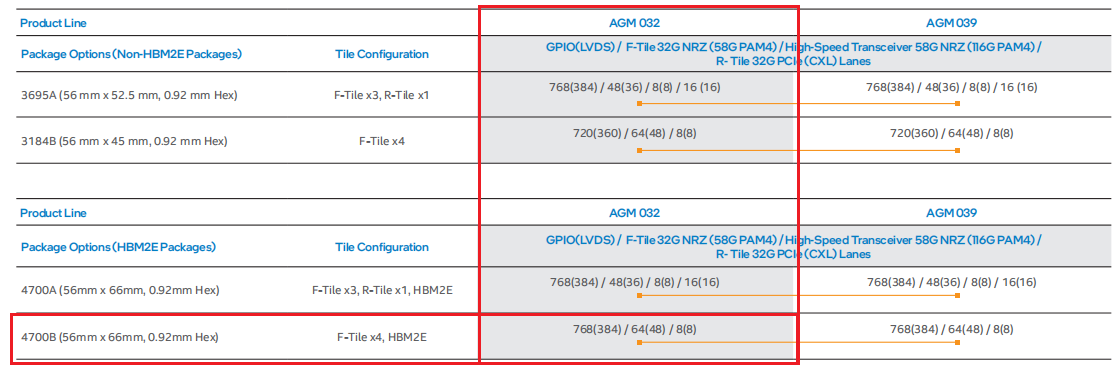
*这边看到最新的更新说M系列目前还只有EAP器件，这个EAP器件是试产，主要是用来做内部测试以及支持一到两个选定客户，估计一共就只生产几十片。咱们想买的话还是要等ES出来，ES目前看是在10月份可以买。*

# 器件类型

官网更新器件类型信息：







可以看到有2个型号，分别为AGM032和AGM039，这两个型号根据是否片内集成HBM2e又各自有两种封装，如下图所示，我们将重点分析带HBM2e的型号。

4700A和4700B封装的尺寸相同，都是56mm\*56mm，内置HBM2e(最大可扩展到32GB)，主要区别为高速serdes。

* 4700A： 3个F-Tile，1个R-Tile
* 4700B： 4个F-Tile

## 1.1 INTEL高速接口X-Tile介绍

### 1.1.1 F-Tile介绍

F-Tile收发器是通用收发器，F-Tile收发器的特性：

* 速度选项：

1. 四个通道的116 Gbps PAM4或者58 Gbps NRZ
2. 12个通道的58 Gbps PAM4或者16个通道的32 Gbps NRZ

* 对Ethernet和 PCIe\* 的硬核IP支持
* 其他协议支持：
* 多协议支持，包括CEI, Ethernet, CPRI, FlexE, 300 Gbps Interlaken, fibre channel, SR-IOV, SerialLite IV, OTN, JESD204B, JESD204C, FlexO, IEEE1588, GPON, SDI, Vby1, HDMI和Display Port
* PCIe\* 具有P-Tile特性集合，Precise Time Management和PMA Direct模式的4.0 ×16支持
* 通过协议配置(CvP)

F-Tile hard IP支持100GE(QSFP28)接口情况：

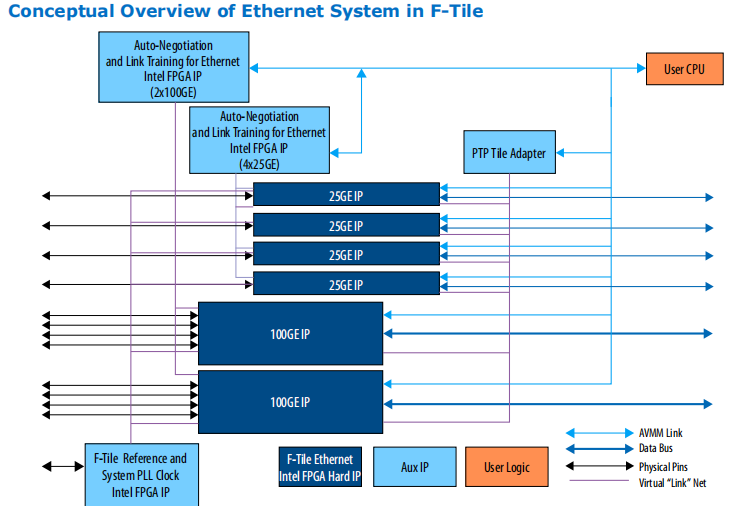
结论：初步分析一个F-tile可以支持2个100ge硬核接口。

硬 IP 内核为所有 IEEE 和联盟以太网模式实现了以下速率：10G、25G、40G、100G、200G 和 400G。MAC 提供直通转发帧处理以优化延迟并支持 64 字节的全线速帧长和背对背或混合长度的流量，同时也不会丢失任何数据包。所有 IP 内核实例都使用全双工模式。

**物理层**

支持的模式包括 10GE-1、25GE-1、40GE-4、50GE-1、50GE-2、100GE-1、100GE-2、100GE-4、200GE-2、200GE-4、200GE-8、400GE-4、400GE-8。

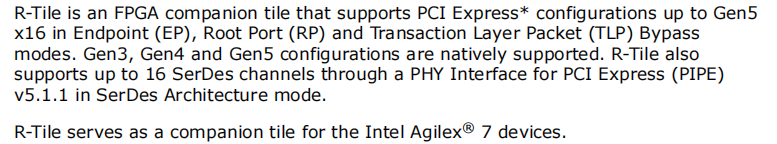
* 10GBASE-KR、10GBASE-CR、10GBASE-LR。
* 25GBASE-KR、25GBASE-CR、25GBASE-R、25GAUI-1。
* 40GBASE-KR4、40GBASE-CR4、40GBASE-R4。
* 50GBASE-KR1、50GBASE-CR1、50GBASE-KR2、50GBASE-CR2、50GAUI-1、50GAUI-2。
* 100GBASE-KR1、100GBASE-CR1、100GBASE-KR2、100GBASE-CR2、100GBASE-KR4、100GBASE-CR4、100GAUI-1、100GAUI-2、100GAUI-4、CAUI-2、CAUI-4。
* 200GBASE-KR2、200GBASE-CR2、200GBASE-KR4、200GBASE-CR4、200GAUI-2、200GAUI-4、200GAUI-8。
* 400GBASE-KR4、400GBASE-CR4、400GAUI-4、400GBASE-KR8、400GBASE-CR8、400GAUI-8。



Interlaken接口文档：

### R-Tile介绍

专门为PCIE和CXL定做的Tile。



**高速serdes分析遗留问题：**

**确认同一个F-Tile中是否支持2个100ge硬核IP；**

**确认同一个F-Tile中是否同时支持interlaken 12\*12.5G和pcie gen3\*4硬核IP。**

## INTEL 内存空间分析

### 1.2.1 HBM2E介绍

**HBM2e 容量：**

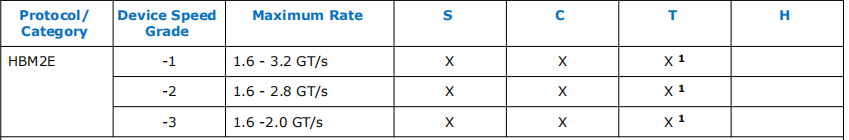
每个 HBM2e 堆栈可包含 4 层或 8 层，每层提供 2 GB 内存，因此单个英特尔® Agilex™ M 系列 FPGA 可包含 16 GB 或 32 GB 的高带宽内存。

**HBM2e控制器数量：**

每个堆栈具有一个通用接口总线 (UIB)，其中包括八个硬核控制器和物理层。每个硬核控制器服务于一条 HBM2e通道，每条通道又可分解为两条伪通道 (PC)，合计16个伪通道。

一颗FPGA芯片最多可以封装2个HBM2e，因此有32个伪通道。

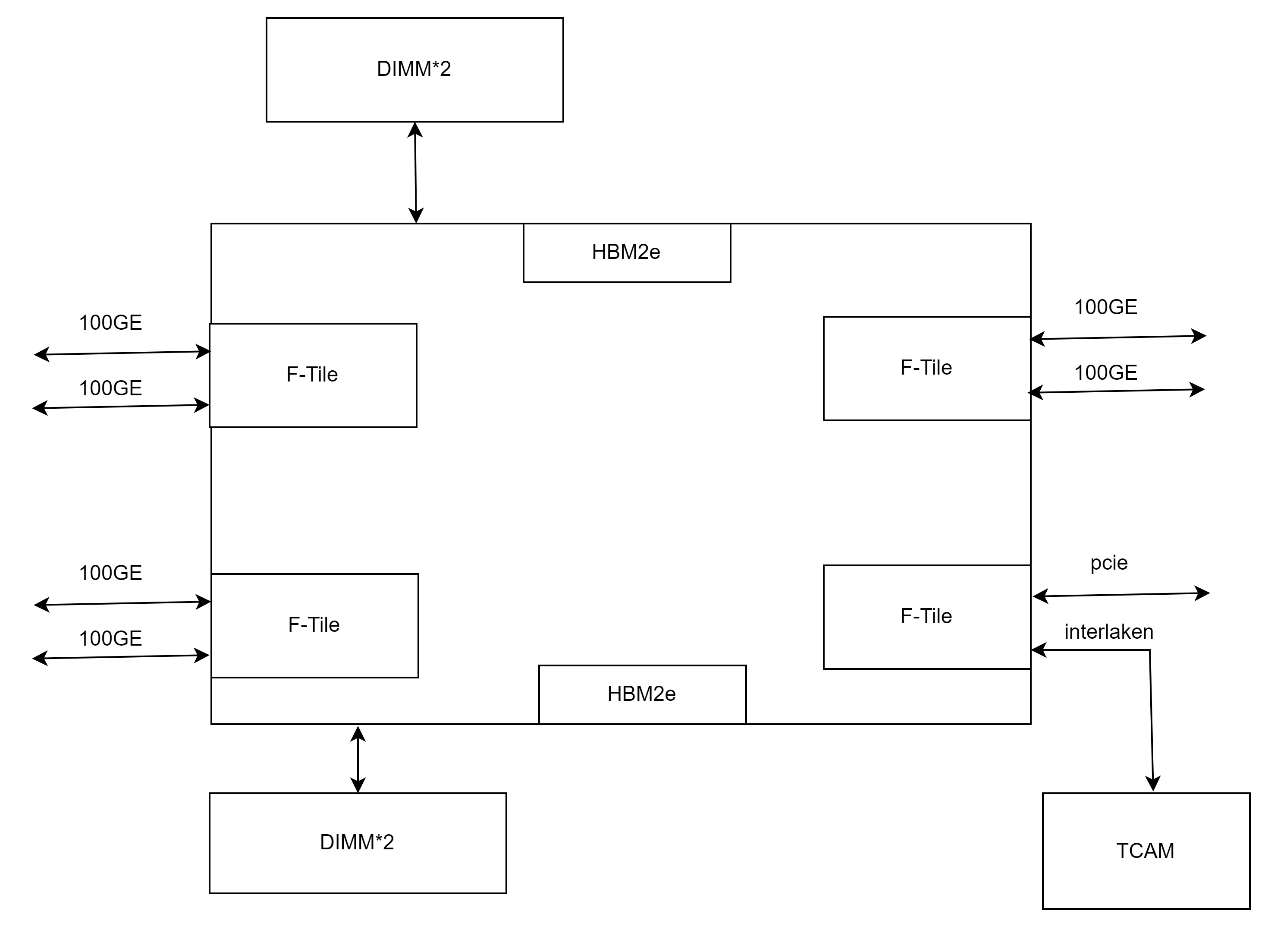
**HBM2e性能：**



### LPDDR5介绍

待补充，目前看最多外挂4个ddr内存条。

# 2. 系统框架



高速接口：

* 6个100GE，支持QSDP28；
* 1个interlaken接口，支持12\*12.5G性能；
* 1个 PCIE Gen3\*4。

外部存储：

* HBM2e：容量32G，支持32个伪通道；
* DDR：4个ddr4 RDIMM内存条或者4个LPDDR5